[单总线结构 2](#_Toc492488964)

[双总线结构 3](#_Toc492488965)

[三总线结构1 4](#_Toc492488966)

[三总线结构2 5](#_Toc492488967)

[四总线结构 6](#_Toc492488968)

[典型结构 7](#_Toc492488969)

[传统的总线结构 7](#_Toc492488970)

[VL-BUS总线结构 8](#_Toc492488971)

[PCI总线结构 9](#_Toc492488972)

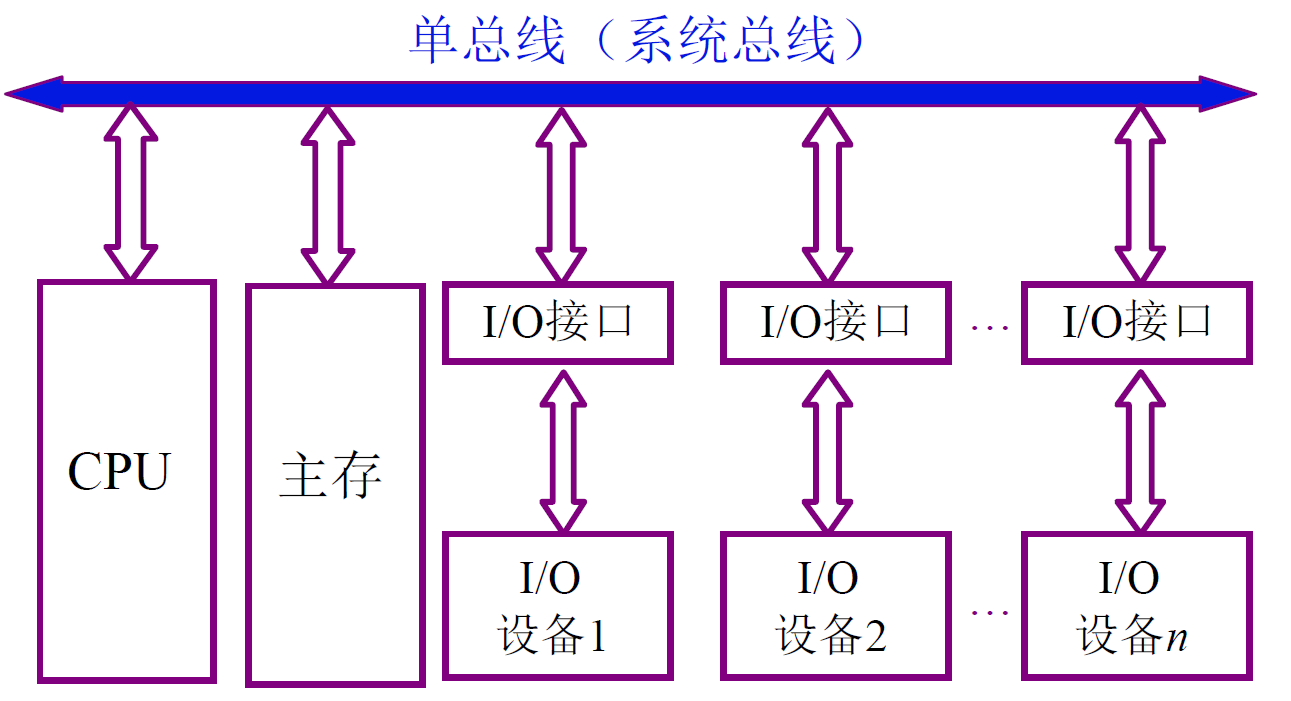
[多层PCI 10](#_Toc492488973)

[通信控制 11](#_Toc492488974)

[传输方式 12](#_Toc492488975)

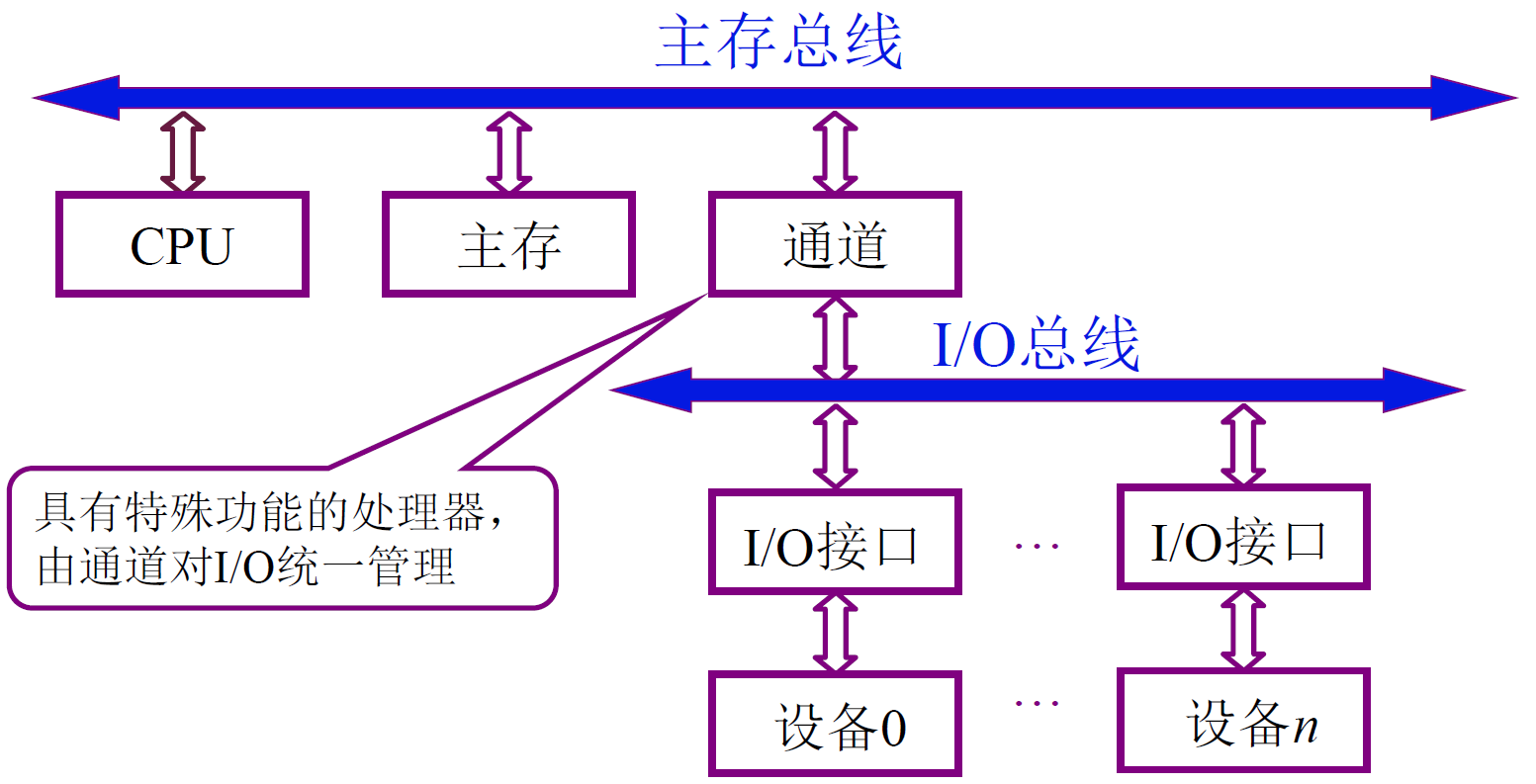
## 单总线结构

|  |  |
| --- | --- |
|  | 将CPU、主存、I/O设备(通过I/O接口) 都挂在一组总线上，  允许：I/O设备之间、I/O设备与CPU设备、I/O设备与主存，直接交换信息，无需经过中间设备的干预  优点：结构简单，便于扩充  缺点：所有的传送都通过这条共享总线，行成计算机系统的瓶颈问题。带宽低，负载中  不允许两个以上的部件在同一时刻向总线传输信息，即不支持并发传送  当I/O设备数目很多时，总线发出的控制信号从一端逐个顺序地传递到第n个设备，其传播的延迟时间就会严重影响系统的工作效率；  在数据传输需求量和传输速度要求不高的情况下，为克服总线瓶颈问题，尽可能采用增加总线宽度和提高传输速率来解决  在数据传输需求量和传输速度要求很高的情况下，如使用的I/O设备有高速视频显示器、网络传输接口等，单总线结果欧则不能腕足系统工作需要，而必须是用多总线结构  应用：小型、微型计算机  单周处理器不能使用单总线结构 |
| 如果将不同速率的I/O设备进行分类，然后将它们连接在不同的通道上，那么计算机系统的工作效率将会更高，由此发展成多总线结构 |



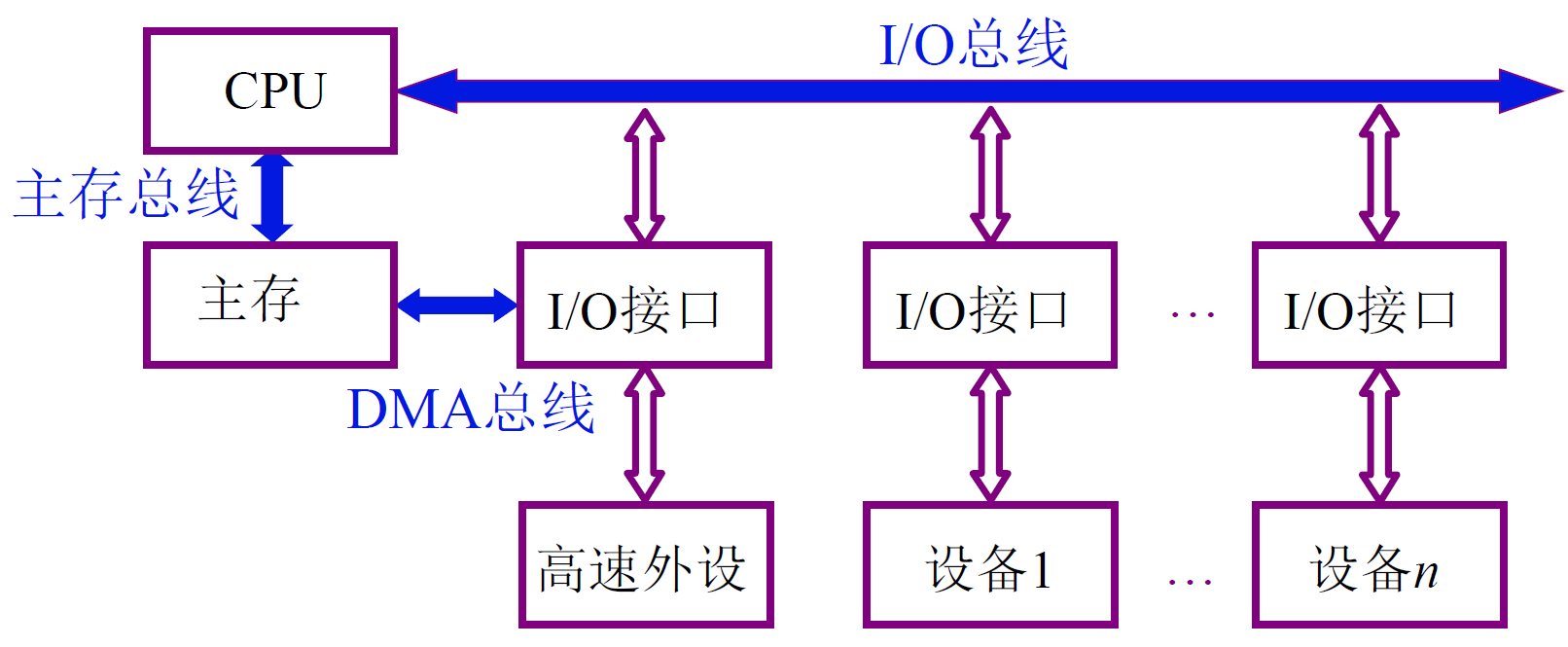
## 双总线结构

|  |  |  |
| --- | --- | --- |
|  |  | |
| 主存总线 | 用于CPU、主存和通道之间进行数据传送 |
| I/O总线 | 用于多个外部设备与通道之间数据传送  将速度较低的I/O设备从单总线上分离出来，  图中通道是一个具有特殊功能的处理器，CPU将一部分功能下放给通道，使其对I/O设备具有统一管理的功能，以完成外部设备与主存储器之间的数据传送，器系统的吞吐能里可以相当大。  这种结构大多用于大、中型计算机系统。 |
|  | 优点：将速度较低的I/O设备从单总线上分离出来，形成主存总线与I/O总线分开的结构。  缺点：需要增加通道等硬件设备 |



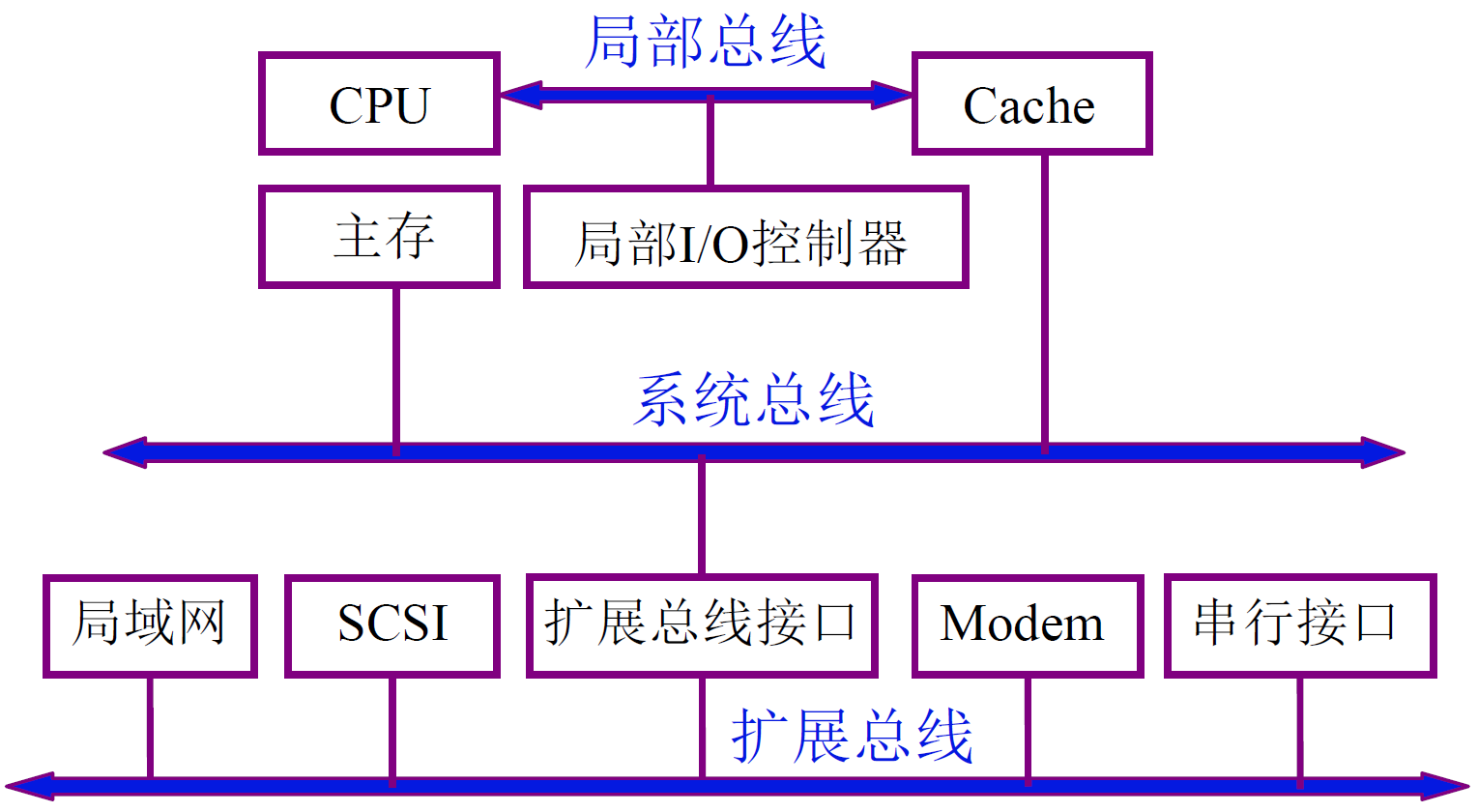
## 三总线结构1

|  |  |  |
| --- | --- | --- |
|  | 主存总线 | 用于CPU和内存之间进行传送地址、数据和控制信息 |
| I/O总线 | CPU和各类外设之间的通信 |
| DMA总线 | 内存和高速赛社之间直接传送数据 |
|  | 优点：提高I/O设备的性能，使其更快地相应命令，提高系统的吞吐量  缺点：系统工作效率低 |
| 三总线-1 | 主存总线用于CPU于主存之间的传输  I/O总线供CPU与各类I/O设备之间传递信息  DMA总线用于高速I/O设备(磁盘、磁带等)与主存之间直接交换信息  三总线结构中，任意时刻只能使用一种总线  主存总线与DMA总线不能同时对主存进行存取，  I/O总线只有在CPU执行I/O指令时才能用到  图见P53 | |



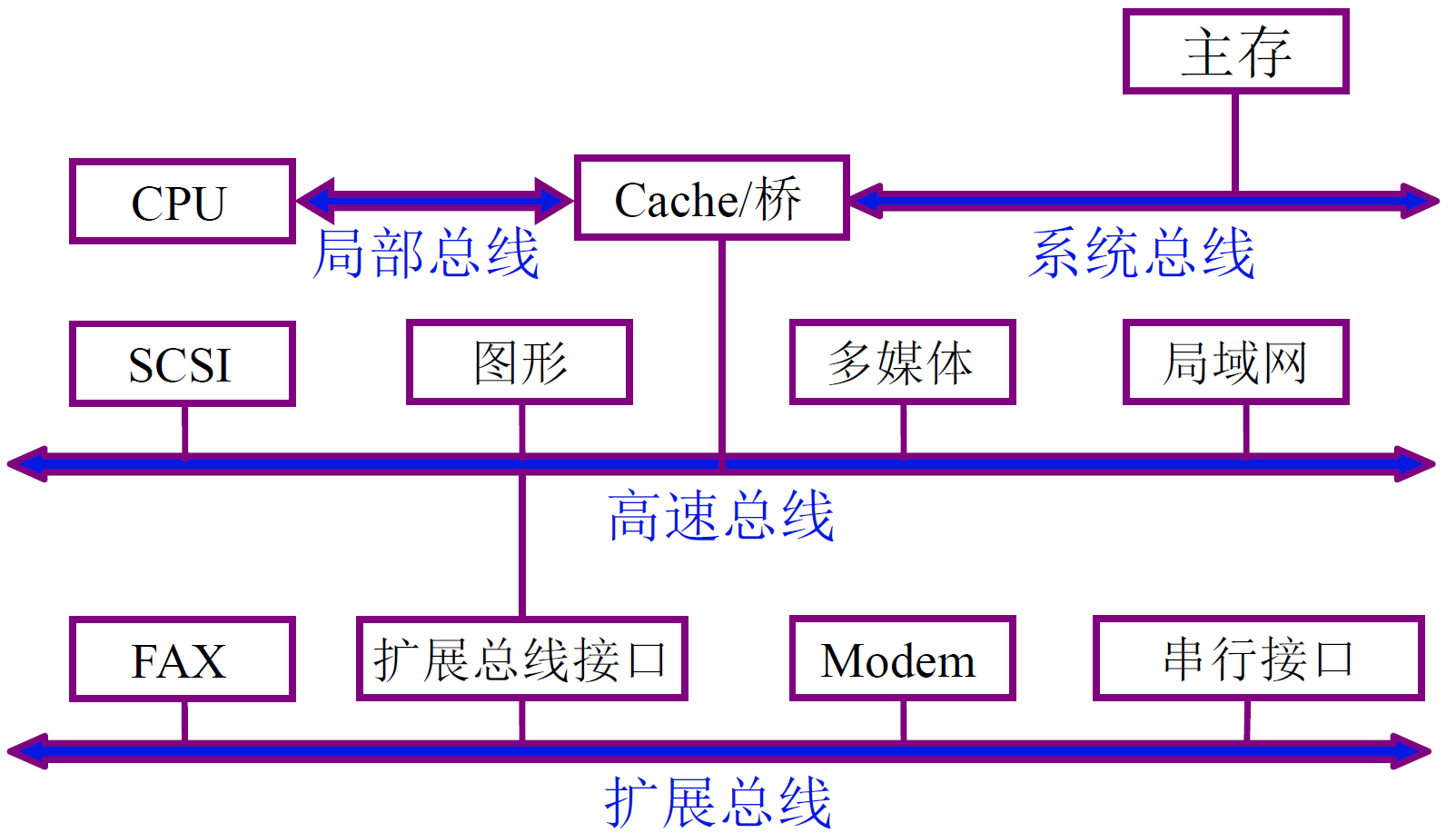
## 三总线结构2

|  |  |
| --- | --- |
| 三总线-2 | 处理器与Cache之间有一条局部总线，将CPU和Cache或与更多局部设备相连接。  Cache的控制机构不仅将Cache连到局部总线上，而且还直接连到系统总线上，这样Cache即可以通过系统总线与主存传输信息，而且I/O设备与主存之间的传输也不必通过CPU  扩展总线将局域网、小型计算机接口(SCSI)、调制解调器(Modem)以及串行接口等都连接起来，并且通过这些接口又可与各类I/O设备相连，因此它可支持相当多的I/O设备。  扩展总线又通过扩展总线接口与系统总线相连，由此便可实现这两种总线之间的信息传递，可见器系统的工作效率明显提高。 |



## 四总线结构

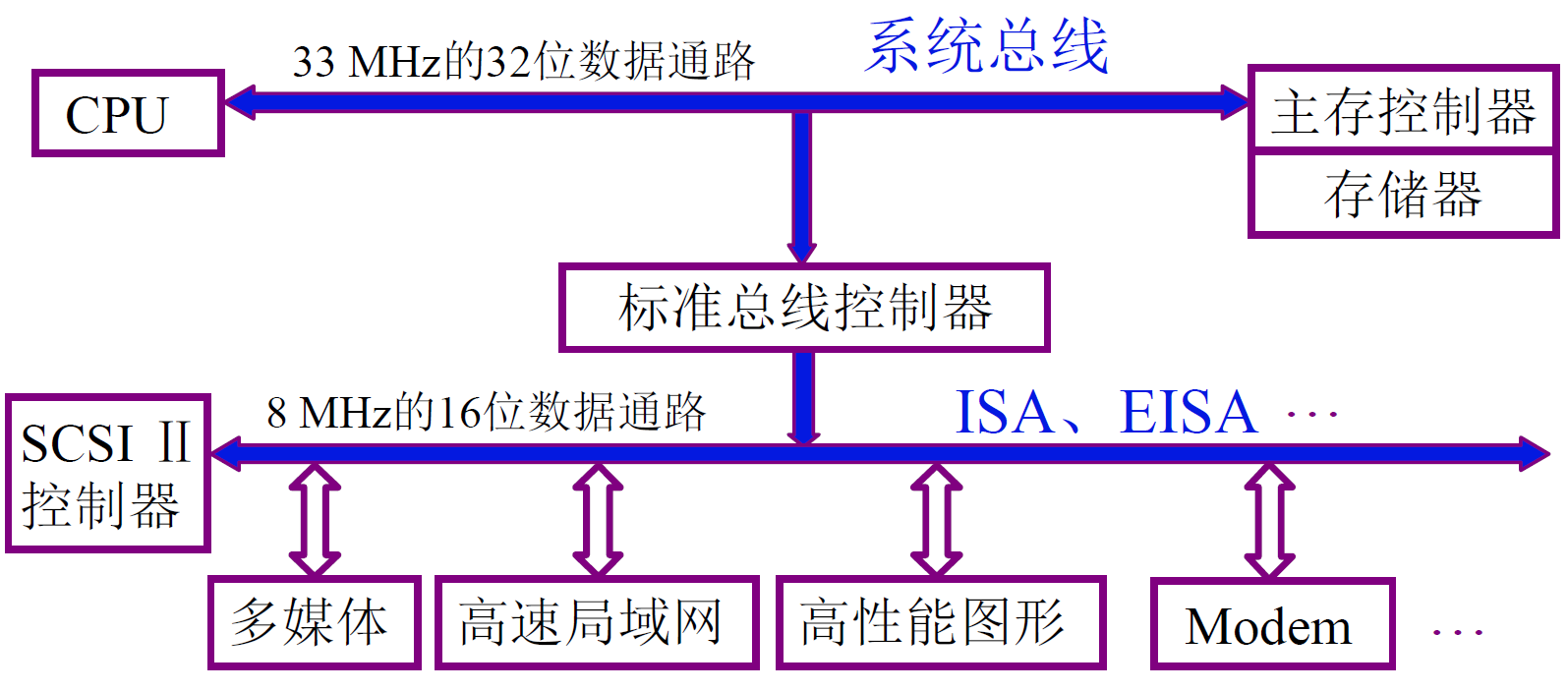
|  |  |
| --- | --- |
|  | 位进一步提高I/O设备的性能，使其更快地响应  再增加一条与计算机系统紧密相连的高速总线。在高速总线上挂接了一些高速I/O设备，如高速局域网、图形工作站、多媒体、SCSI等  它们通过Cache控制机构中的高速总线桥或高速缓冲器与系统总线和局部总线相连接，使得这些高速设备与CPU更加密切。  而一些较低速的设备如图文传真FAX、调制解调器及串行接口仍然挂在扩展总线上，并由扩展总线接口与高速总线相连。  这种结构对高速设备而言，其自身的工作可以很少依赖CPU，同时它们又比扩展总线上的设备更贴近CPU，可见对于高性能设备与CPU来说，各自的效率将获得更大的提高。  在这种结构中，CPU、高速总线的速度以及各自信号线的定义完全可以不同，以至各自改变其结构也不会影响高速总线的正常工作，反之亦然。 |



# 典型结构

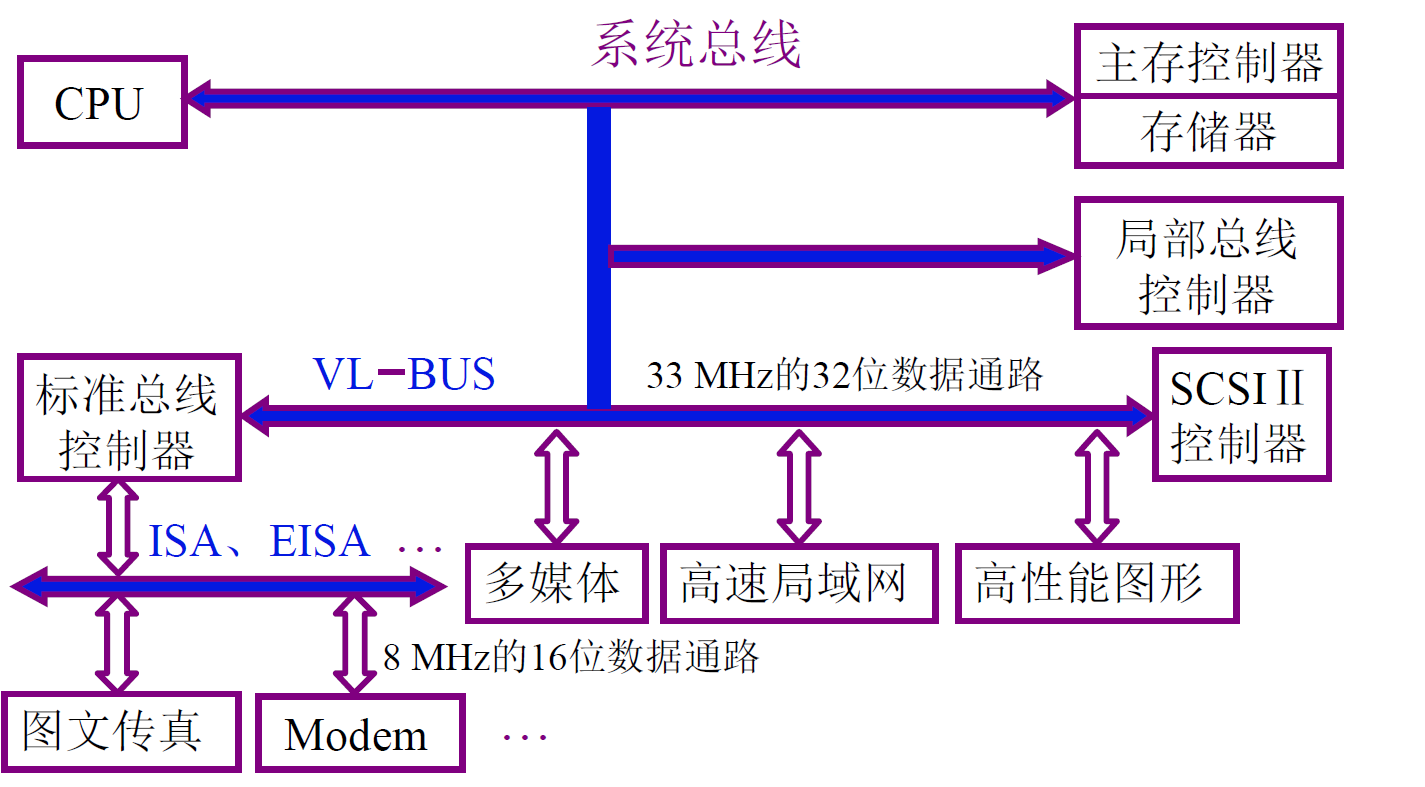
## 传统的总线结构

|  |
| --- |
| 不论高速设备还是低速设备都挂在ISA或EISA总线上，并通过ISA或EISA总线控制器与系统总线相连，这样势必会出现总线数据传输的瓶颈。  只有高速设备精良靠近CPU本身的总线，并与CPU同步或准同步，才可能消除瓶颈问题 |



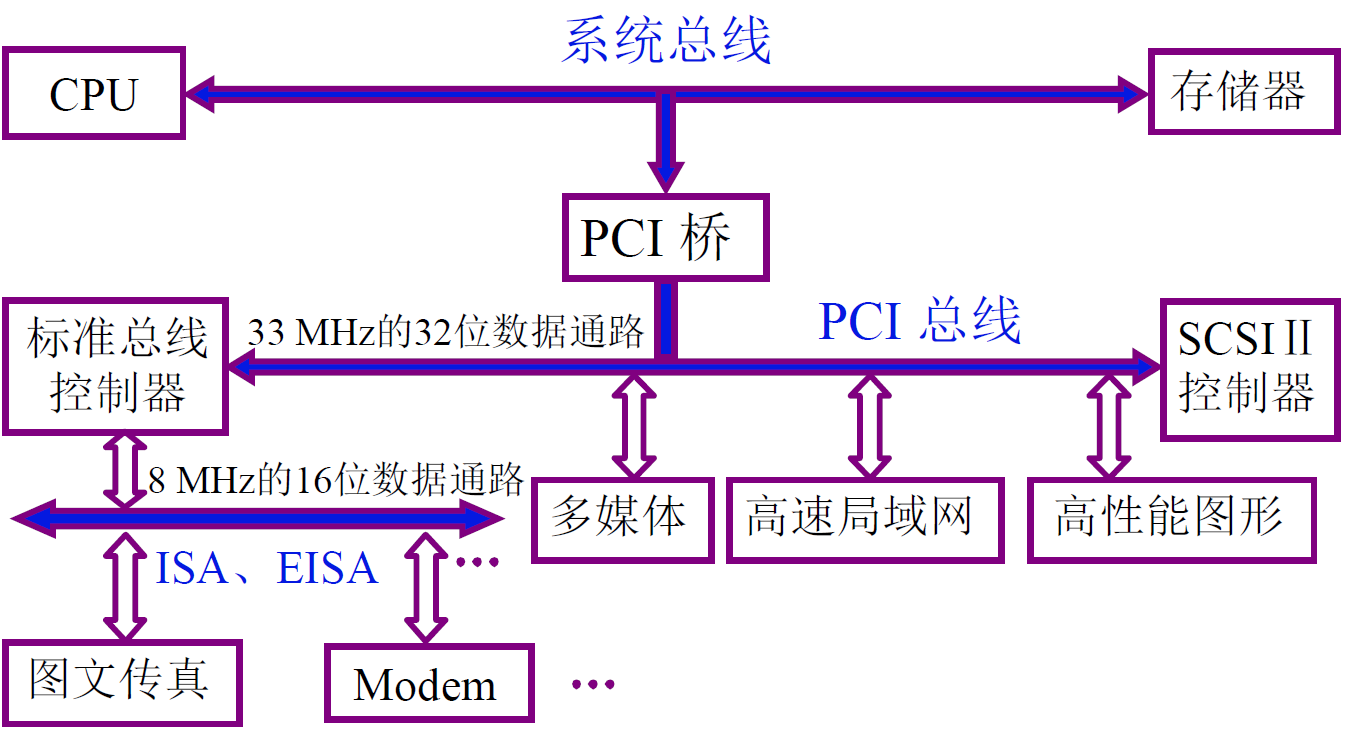
## VL-BUS总线结构

|  |  |
| --- | --- |
| 见P56 | 将传统总线结构中挂载ISA总线上的高速设备从ISA总线上写下来，挂到局部总线VL-BUS上，再与系统总线相连接。  将低速设备仍然挂载ISA总线上。  局部总线VL-BUS就相当于在CPU于高速I/O设备之间架上了高速通道，使CPU与高性能外设得到充分发挥，满足了图形界面软件的要求  由于VL-BUS是从CPU总线演化而来的，与CPU的关系太紧密(这种总线与486配合最佳)  以至于很难支持更强的CPU，因此出现了PCI总线 |



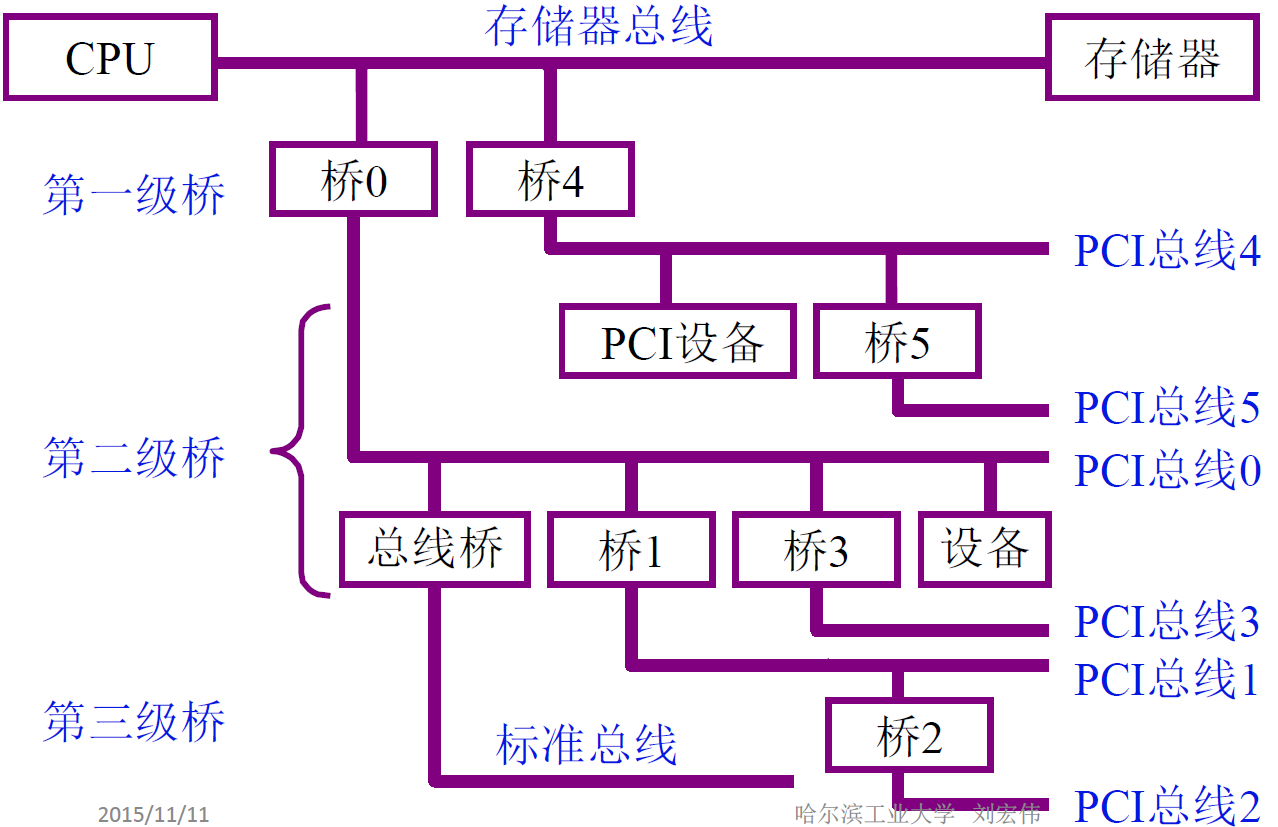
## PCI总线结构

|  |  |
| --- | --- |
| 见P56 | PCI桥包括PCI控制器和PCI加速器  PCI总线通过PCI桥与CPU总线相连，这种结构使CPU总线与PCI总线相互隔离，具有更高的灵活性，可以支持更多的高速运行设备，而且具有即插即用的特性。  当然，挂载在PCI总线上的设备都要求数据阐述速率高的设备，多多媒体卡、高速局域网适配器、高性能图形卡等，与高速CPU总线是相配的。  至于低速的FAX、Modem、打印机仍然挂载在ISA、EISA总线上 |



## 多层PCI

|  |  |
| --- | --- |
| 结构见P57 |  |
|  |  |



## 通信控制

|  |  |
| --- | --- |
| 半同步通信 |  |
| 分离式通信 |  |

## 传输方式

|  |  |
| --- | --- |
| 猝发传送方式 | 在一个总线周期内传输存储地址连续的多个数据字的总线传输方式  在一个总线周期中，可以连续传输多个存储单元的数据(每个存储单元对应一个地址)  即一次传输一个地址和一批连续地址的数据 |
| 并行传输 | 在实际时钟频率不叫低的情况下，并行总线因为可以同时传输若干bit，速率确实比串行总线块，但这不是绝对的。  随着技术的发展，时钟频率越来越高，并行导线之间的相互干扰越来越严重，当时钟频率提高到一定程度时，传输的数据已经无法恢复，  而串行总线因为到嫌少，线间干扰容易控制，反而可以通过不断提高时钟频率来提高传输速率 |
| 串行传输 |  |
| 同步传输 | 版同步通信方式中，握手信号的采样由同步时钟控制 |
| 异步传输 | 异步传输中，全互锁协议最慢，非互锁协议的可靠性最差 |

|  |  |  |
| --- | --- | --- |
| 总线复用 | 一条信号线分时(在不同的时间)传送两种信号。  例如：地址总线和数据总线通常是相互独立分开使用的，但有时为了提高总线的利用率，会将地址总线和数据总线共用一组物理线路，在这组物理线路上分时传输地址信号和数据信号，即为总线的多路复用 | |
| 分离事务通信 | 相比单一的传输线路可以提高总线的利用率 |