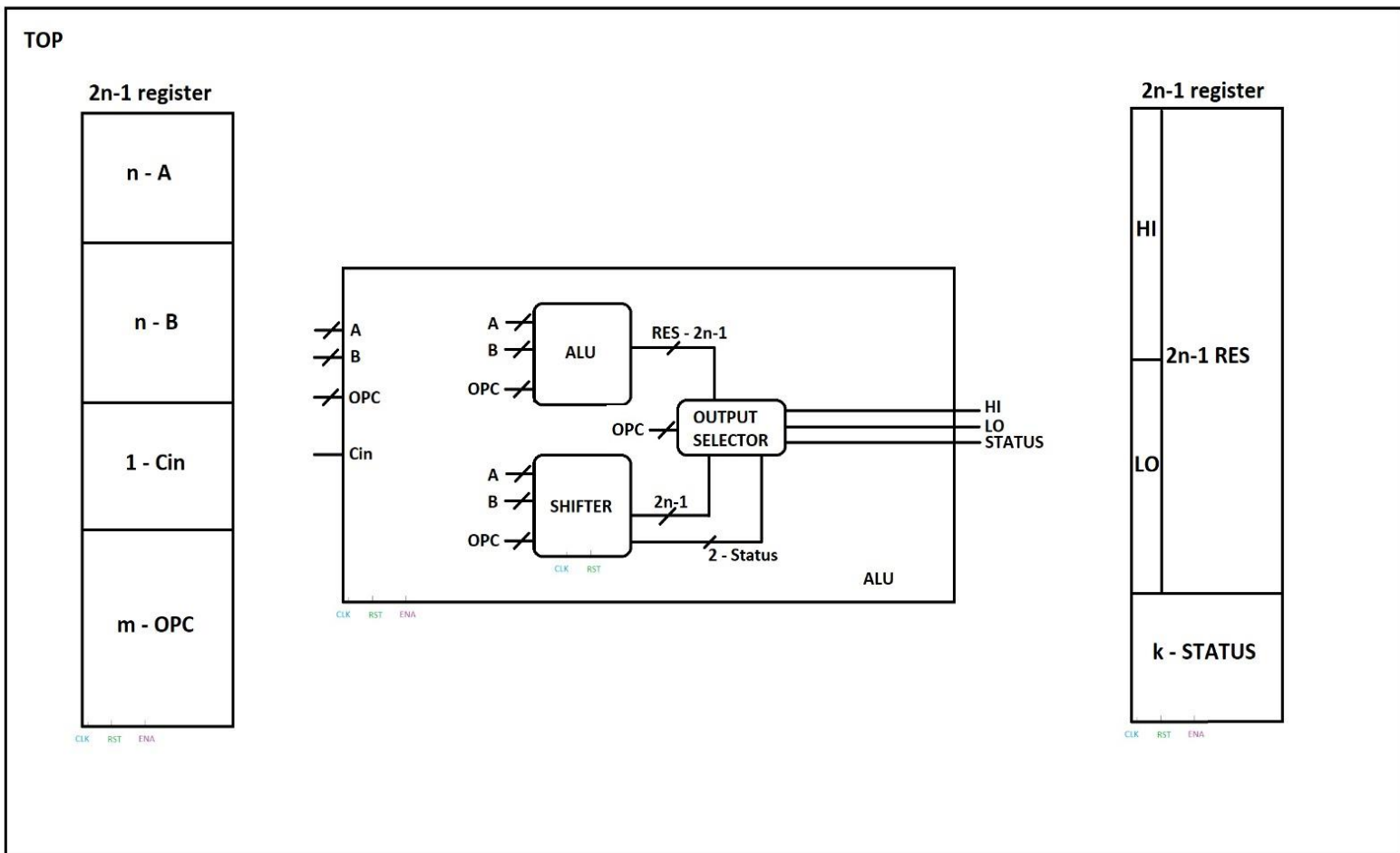


Task1- VHDL

Amit Nagar Halevy and Tal Kapelnik

The circuit plan:



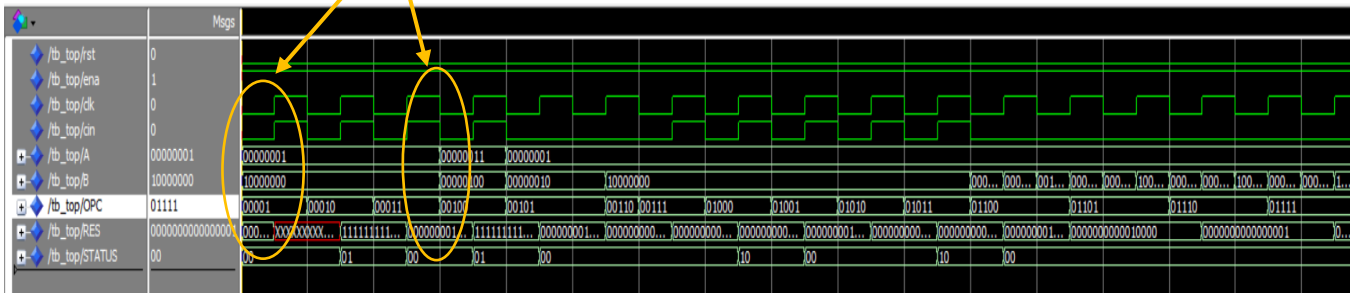
- השתמשנו ב-ADDER מעבודה 1, תוך שינוי ערכי SEL של הכניסה בהתאמה למצב הנתון של 2 הביטים הראשונים של OPC (חושב באמצעות מפת קרנו)
- CARRY FLAG דולק כאשר יש חריגה מהתשובה HI
- ZERO FLAG דולק כאשר LO הוא אפס
- רכיבי ה-ALU ממומשים בצורת ABSTRACT, כאשר ה-OUTPUT SELECTOR בורר בן התשובה של ה-ALU SHIFTER.

ביצענו טסט שרץ על כל פקודות הOPC האפשריות עם ובלי CARRY עם, A ו-B נבחרים

פירוט הבדיקות:

Top test:

פעולת חיבור, $1000000 + 0000001$, ניתן לראות
שהתשובה מתקבלת בדיליי של 2 מחזורים, בעקבות FF
הכניסה FFI היציאה



ניתן לראות ששאר הפעולות
עובדות כמתוכנן

ps- delta-		/tb_top/rst-	/tb_top/A-	/tb_top/OPC-	/tb_top/RES-
		/tb_top/ena-	/tb_top/B-		/tb_top/STATUS-
		/tb_top/cik-			
		/tb_top/cin-			
0	+1	0	1	0	0
50000	+3	0	1	1	1
100000	+1	0	1	0	0
150000	+3	0	1	1	1
200000	+1	0	1	0	0
250000	+3	0	1	1	1
300000	+1	0	1	0	0
350000	+3	0	1	1	1
400000	+1	0	1	0	0
450000	+3	0	1	1	0
500000	+1	0	1	0	0
550000	+3	0	1	1	0
600000	+1	0	1	0	0
650000	+3	0	1	1	1
700000	+1	0	1	0	0
750000	+3	0	1	1	1
800000	+1	0	1	0	0
850000	+3	0	1	1	1
900000	+1	0	1	0	0
950000	+3	0	1	1	1
1000000	+1	0	1	0	0
1050000	+3	0	1	1	1
1100000	+1	0	1	0	0
1150000	+3	0	1	1	0
1200000	+1	0	1	0	0
1250000	+3	0	1	1	0
1300000	+1	0	1	0	0
1350000	+1	0	1	1	0
1400000	+1	0	1	0	0
1450000	+3	0	1	1	0
1500000	+1	0	1	0	0
1550000	+1	0	1	1	0
1600000	+1	0	1	0	0
1650000	+3	0	1	1	0
1700000	+1	0	1	0	0
1750000	+3	0	1	1	0
1800000	+1	0	1	0	0
1850000	+1	0	1	1	0
1900000	+1	0	1	0	0
1950000	+1	0	1	1	0
2000000	+1	0	1	0	0
2050000	+1	0	1	1	0
2100000	+1	0	1	0	0
2150000	+1	0	1	1	0
2200000	+1	0	1	0	0
2250000	+1	0	1	1	0
2300000	+1	0	1	0	0
2350000	+1	0	1	1	0
2400000	+1	0	1	0	0
2450000	+1	0	1	1	0
2500000	+1	0	1	0	0
2550000	+1	0	1	1	0
2600000	+1	0	1	0	0
2650000	+1	0	1	1	0
2700000	+1	0	1	0	0
2750000	+1	0	1	1	0
2800000	+1	0	1	0	0

פעולת חיבור,
+ 0000001
ניתן
לראות שהתשובה
מתקבלת בדילי
של 2 מחזורים,
FF בעקבות
FFi הכניסה
היציאה

פעולת RLC
שמבוצעת בדילי
של 2 מחזורי שעון