



クロック	最低	最大	適用
FCLK	4MHz	60MHz	60MHz
ICLK		120MHz	120MHz
PCLKA		120MHz	120MHz
PCLKB		60MHz	60MHz
PCLKC		60MHz	30MHz
PCLKD		60MHz	30MHz
BCLK		120MHz	60MHz
BCLK端子出力		60MHz	60MHz
SDCLK		60MHz	
UCLK		48MHz	

図 9.1 クロック発生回路のブロック図