

Författare: Lasse Karagiannis  
Kontakt: lasse.l.karagiannis@gmail.com  
Uppgift: task9vhdl  
Datum: 2016-11-13  
Projektnamn: TEIS\_ECS

## Innehållsförteckning

1 Validering.....	1
1.1 Test Cases Tabellen test cases med loggade data.....	2
1.2 Konfigurering av ISSPE .....	4
1.3 Kommentar kring resultatet från JTAG skanningen.....	5
1.4 Projektkostnad.....	5

## 1 Validering

Validering har gjorts i två delar såsom kravspecifikationen föreskrivit. Enligt kravspecifikationen skall man

*”Verifiera konstruktionen med out LED och ett varv i programmet. Endast ett testfall och det visar antal klocktryckningar och out\_led. Detta är kundens acceptans på att konstruktionen fungerar.”*

Denna första del utökades med att anteckna sjusegmentsdisplayernas värden, som fördes upp i en tabell tillsammans med ledsignalernas värden, som funktion av tangenttryckningar för att åstadkomma manuell klockning av CPU:n.

## 1.1 Test Cases Tabellen test cases med loggade data

I tabellen nedan finns kortets förevisade värden avseende de fyra sju-segmentsdisplayerna samt de 4 röda lysdioderna rad för rad såsom för respektive tangentnedtryckning, där totalt 38 tangentnedtryckningar görs. I tabellen finns också uppfört JTAG-modulens förevisade värde.

Tabell 1 Verifieringsutfall som funktion av antalet tangentnedtryckningar

Knapptryckning, efter reset	7-segment CPU_STAT, IR, PC, Addr	LED	JTAG CPU_stat e	JTAG IR	JTAG PC	JTAG Addr_bus	JTAG LED
Ingen tryckning	F000	1111	00b	0	0	0	15
1,2,3,4	F000	1111	00b	0	0	0	15
5	D010	1111	01b	0	1	0	15
6	E010	1111	10b	0	1	0	15
7,8	F011	1111	00b	0	1	1	15
9	F111	1111	00b	1	1	1	15
10	D121	1111	01b	1	2	1	15
11	E121	1111	10b	1	2	1	15
12,13	F122	1111	00b	1	2	2	15
14	F222	1111	00b	2	2	2	15
15	D232	1111	01b	2	3	2	15
16	E230	1111	10b	2	3	16	15
17	S230	1111	11b	2	3	16*	15
18	S230	1010	11b	2	3	16*	10
19,20	F233	1010	00b	2	3	3	10
21	F133	1010	00b	1	3	3	10
22	D143	1010	01b	1	4	3	10
23	E143	1010	10b	1	4	3	10
24,25	F144	1010	00b	1	4	4	10
26	F244	1010	00b	2	4	4	10
27	D254	1010	01b	2	5	4	10
28	E250	1010	10b	2	5	16*	10
29	S250	1010	11b	2	5	16*	10
30	S250	0001	11b	2	5	16*	1

31,32	F255	0001	00b	2	5	5	1
33	F355	0001	00b	3	5	5	1
34	D365	0001	01b	3	6	5	1
35	E315	0001	10b	3	1	5	1
36,37	F311	0001	00b	3	1	1	1
38	F111	0001	00b	1	1	1	1

## 1.2 Konfigurering av ISSPE

Efter lysdiodsvalideringen skapades ett testprojekt där komponenten CPU\_VHDL\_project, samt en IP-komponent av typen "In Systems Sources and Probe". Refererar till denna senare komponent såsom JTAG-komponenten.

JTAG-komponenten source-utgång är reset\_n-signalen och dess probe-ingångar är 31 bitar som är fördelade på signalerna key, CPU\_state, IR, PC, Adress-buss och Ledr, enligt följande:

```
probe_signal(30 downto 30) <= manual_clock_signal;
probe_signal(29 downto 28) <= CPU_STATE_signal;
probe_signal(27 downto 20) <= Addr_bus_signal;
probe_signal(19 downto 12) <= PC_signal;
probe_signal(11 downto 4)  <= IR_signal;
probe_signal (3 downto 0)  <= LEDR_signal;
```

Testprojektets entitet tar som insignal den manuella klockan som transmitterades vidare till CPU\_VHDL\_project samt JTAG-komponenten.

Utsignaler från testprojektets entitet är de 4 sjusegmentssignalerna som går till sjusegmenten HEX3 till HEX0 på kortet, samt ledsignalerna som går till Ledr3 till Ledr0 på kortet.

```
entity isspe_text is
port (
    CLOCK_50 : IN    STD_LOGIC;
    manual_clock : IN std_logic_vector(0 downto 0);
    HEX0 : OUT  STD_LOGIC_VECTOR(6 DOWNTO 0); --Adress bus value as seven-seg
    HEX1 : OUT  STD_LOGIC_VECTOR(6 DOWNTO 0); --PC value as seven seg
    HEX2 : OUT  STD_LOGIC_VECTOR(6 DOWNTO 0); --IR as seven-seg
    HEX3 : OUT  STD_LOGIC_VECTOR(6 DOWNTO 0); --CPU state as sevens eg
    LEDR : OUT  STD_LOGIC_VECTOR(3 DOWNTO 0) -- coupled to LEDR of DE1-Soc
);
end entity;
```

För att komma åt CPU:ns interna signaler i binär form och inte kodade med 7-segmentkodning, lades följande extra utsignaler till port-beskrivningen av CPU\_VHDL\_project

```
cpu_state_2_JTAG : OUT  STD_LOGIC_VECTOR(1 DOWNTO 0);
IR_reg_2_JTAG    : OUT  STD_LOGIC_VECTOR(7 DOWNTO 0);
PC_reg_2_JTAG    : OUT  STD_LOGIC_VECTOR(7 DOWNTO 0);
Addr_bus_2_JTAG  : OUT  STD_LOGIC_VECTOR(7 DOWNTO 0);
```

### ***1.3 Kommentar kring resultatet från JTAG skanningen***

Vi kan se en överensstämmelse mellan kortets resultat och den intern JTAG-probningen. Enda skillanden är under cpu-tillståndet STORE, då CPU:n skriver till adress 16. Eftersom endast de fyra minst signifikanta bitarna är avkodade som sju-segment visar sjusegmentet för adress-avkodningen värdet noll, då det egentligen är värdet 16, dvs, hexadecimalt 0x10 som ligger på adressbussen.

### ***1.4 Projektkostnad***

Projektets tid uppskattas till 12 timmar, vilket medför en kostnad på 4200kr.