



Conversores analógico para digital ADS124x de 24 bits, 2 kSPS com Amplificador de ganho programável (PGA) para medição de sensor

1 Recursos

- Taxas de dados programáveis de até 2 kSPS •
- Configuração de ciclo único para todas as taxas de dados • Rejeição simultânea de 50 Hz e 60 Hz a 20 SPS
- Multiplexador analógico com 8 (ADS1248) e 4 (ADS1247) Entradas selecionáveis independentemente
- PGA de baixo ruído: 48 nVRMS em PGA = 128 •
- Corrente de excitação programável de correspondência dupla Fontes
- Referência interna de 2.048-V de baixo desvio:
10 ppm/°C (máximo) •
- Detectação de queima do sensor • 4 ou 8 E/S de uso geral (ADS1247, ADS1248) • Sensor de temperatura
- interna • Fonte de alimentação e monitoramento VREF (ADS1247, ADS1248) • Calibração automática
- e do sistema • Interface serial compatível com SPI™ • Alimentação analógica:
Unipolar (2,7 V a 5,25 V) e Operação bipolar ($\pm 2,5$ V) •
- Alimentação digital: 2,7 V a 5,25 V

2 Aplicações • Medições

de sensores de temperatura:

- RTDs, termopares e termistores • Medições de pressão
- Medidores de vazão
- Automação de Fábrica e Controles de Processo

3 Descrição Os

dispositivos ADS1246, ADS1247 e ADS1248 são conversores analógico-digitais (ADCs) de precisão de 24 bits que incluem muitos recursos integrados para reduzir o custo do sistema e a contagem de componentes para aplicações de medição de sensores. Os dispositivos apresentam um amplificador de ganho programável (PGA) de baixo ruído, um ADC delta-sigma ($\delta\sigma$) de precisão com um filtro digital de estabilização de ciclo único e um oscilador interno. Os dispositivos ADS1247 e ADS1248 também fornecem uma referência de tensão de baixo desvio integrada e duas fontes de corrente de excitação programáveis (IDACs) correspondentes.

Um multiplexador de entrada suporta quatro entradas diferenciais para o ADS1248, duas para o ADS1247 e uma para o ADS1246. Além disso, o multiplexador integra detecção de queima de sensor, polarização de tensão para termopares, monitoramento de sistema e E/S digitais de uso geral (ADS1247 e ADS1248). O PGA fornece ganhos selecionáveis de até 128 V/V. Esses recursos fornecem uma solução front-end completa para aplicações de medição de sensores de temperatura, incluindo termopares, termistores e detectores de temperatura de resistência (RTDs) e outras medições de pequenos sinais, incluindo sensores de ponte resistiva.

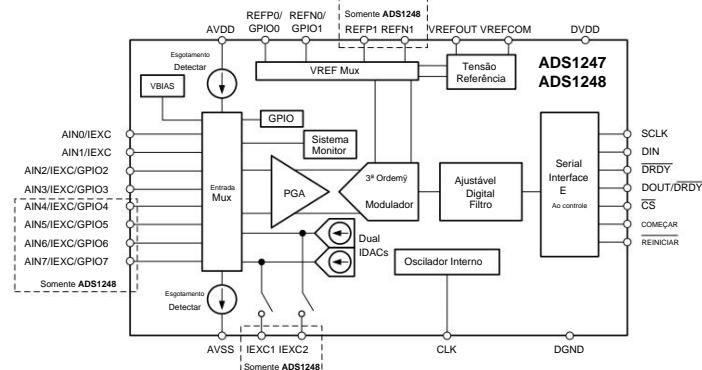
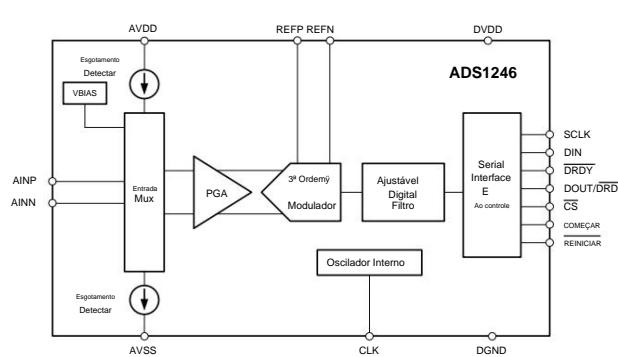
O filtro digital se estabelece em um único ciclo para suportar a ciclagem rápida de canais ao usar o multiplexador de entrada e fornece taxas de dados de até 2 kSPS. Para taxas de dados de 20 SPS ou menos, as interferências de 50 Hz e 60 Hz são rejeitadas pelo filtro.

Informações do dispositivo(1)

| NÚMERO DA PEÇA | PACOTE | TAMANHO DO CORPO (NOM) |
|----------------|------------|------------------------|
| ADS1246 | TSSOP (16) | 5,00 mm x 4,40 mm |
| ADS1247 | TSSOP (20) | 6,50 mm x 4,40 mm |
| ADS1248 | TSSOP (28) | 9,70 mm x 4,40 mm |

(1) Para todos os pacotes disponíveis, consulte o adendo solicitável no final da folha de dados.

Esquema Simplificado



Um AVISO IMPORTANTE no final desta ficha técnica aborda disponibilidade, garantia, alterações, uso em aplicações críticas de segurança, questões de propriedade intelectual e outras isenções de responsabilidade importantes. DADOS DE PRODUÇÃO.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Índice**

| | | | |
|---|---------------------------------------|---|---|
| 1 Características..... | 1 2 | 9.4 Modos Funcionais do Dispositivo..... | 36 |
| Aplicações | 1 3 | 9.5 Programação..... | 41 9.6 Registrar |
| Descrição | 1 4 Histórico de | Mapas..... | 50 10 Aplicação e |
| revisões..... | 2 5 Tabela de comparação de | Implementação..... | 70 10.1 Informações sobre a aplicação..... |
| dispositivos..... | 4 Configuração e funções de 6 | 70 10.2 Típico Aplicações | 76 10.3 O que |
| pinos..... | 5 7 Especificações..... | fazer e o que não fazer..... | 86 |
| 7.1 Classificações Máximas Absolutas | 7 7.2 | | |
| Classificações ESD..... | 7 7.3 | 11 Recomendações de fonte de alimentação | 88 11.1 |
| Condições de operação recomendadas..... | 8 7.4 | Sequenciamento da fonte de alimentação | 88 11.2 |
| Informações Térmicas..... | 8 | Desacoplamento da fonte de alimentação..... | 88 12 |
| 7.5 Características Elétricas..... | 9 | Disposição..... | 89 12.1 Diretrizes de |
| 7.6 Requisitos de Tempo..... | 11 7.7 Características | layout | 89 12.2 Exemplo de |
| de comutação | 11 7.8 Características | layout | 90 13 Suporte a dispositivos e |
| típicas | 13 8 Informações de medição de | documentação | 91 13.1 Suporte à documentação |
| parâmetros | 21 | 91 13.2 Links Relacionados | 91 |
| 8.1 Desempenho de ruído | 21 | 13.3 Recursos comunitários..... | 91 13.4 Marcas |
| 9 Descrição detalhada | 24 9.1 Visão | registradas .. | 91 |
| geral | 24 | 13.5 Cuidado com Descargas Eletrostáticas..... | 91 13.6 |
| 9.2 Diagrama de Blocos Funcionais | 24 9.3 Descrição | Glossário | 91 |
| do Recurso..... | 25 | 14 Mecânico, Embalagem e Encomendável | |
| | | Informação | 91 |

4 Histórico de revisões

NOTA: Os números das páginas das revisões anteriores podem diferir dos números das páginas da versão atual.

| Mudanças da Revisão G (outubro de 2011) para a Revisão H | Página |
|--|--|
| • Adicionada tabela de classificações de ESD , seção de descrição de recursos , modos funcionais do dispositivo, seção de aplicação e implementação , seção de recomendações de fonte de alimentação , seção de layout , seção de suporte de dispositivo e documentação e seção de informações mecânicas, de embalagem e pedidos | 1 • Seções de Recursos e Descrição atualizadas para incluir o uso em aplicações que não sejam medição de temperatura |
| 1 • Tabela de comparação de dispositivos editada para incluir ADS1146, ADS1147 e ADS1148; título alterado, nota de rodapé excluída | 4 • Mescladas todas as funções de pinos em uma tabela, alteradas IOUT1 e IOUT2 para IEXC1 e IEXC2 para corresponder aos números..... |
| 6 • Tensão de conformidade alterada para fontes de corrente de excitação em Características Elétricas, agora refere-se à Figura 41 e | 6 • Tensão de conformidade alterada para fontes de corrente de excitação em Características Elétricas, agora refere-se à Figura 41 e |
| Figura 42; erro inicial e incompatibilidade inicial alterados para erro absoluto e incompatibilidade absoluta | 9 • Elementos reordenados nas tabelas de Requisitos de Tempo , referências de tempo alteradas para tCLK..... |
| nas tabelas de Requisitos de Tempo , referências de tempo alteradas para tCLK..... | 11 • Ordem alterada das curvas de características típicas para corresponder à ordem na tabela de características elétricas |
| Desempenho de Ruído | 13 • Referência cruzada adicionada para a Equação 1 na seção Desempenho de Ruído |
| 21 | 21 |
| • Valores corrigidos na Tabela 2..... | 22 |
| • Seção PGA de Baixo Ruído modificada para adicionar mais detalhes; adicionada Tabela 7; adicionada tensão de modo comum PGA Requisitos e seções de exemplo de cálculo de tensão de modo comum PGA | 26 • Adicionada coluna fCLK/fMOD à Tabela 9 |
| 30 • Adicionada referência cruzada para a Equação 15 na seção Monitor da Fonte de Alimentação | 30 • Adicionada referência cruzada para a Equação 15 na seção Monitor da Fonte de Alimentação |
| 35 • Referência cruzada adicionada para a Equação 16 à seção Monitor de Referência de Tensão Externa | 35 • Referência cruzada adicionada para a Equação 16 à seção Monitor de Referência de Tensão Externa |
| 35 | 35 |
| • Seção Adicionada de Modos Funcionais do Dispositivo | 36 |
| • Valores corrigidos na Tabela 15 para remover 0 extra em 800000h | 40 |
| • Adicionado texto à seção Chip Select para dizer que SCLK forçará DRDY alto, mesmo com CS alto..... | 41 • Adicionado texto à seção Data Output e Data Ready para dizer que o modo contínuo de leitura de dados não é compatível com MODO DRDY definido como 1 |
| 42 | 42 |
| • Figura 74 e Figura 75 modificadas para melhor mostrar as transições DIN em relação ao SCLK; substituiu a Figura 76 para melhor | |

Histórico de revisões (continuação)

| | |
|---|--|
| mostrar comando completo e DRDY/DOUT caindo com NOP..... | 43 • Adicionadas mais informações à seção Formato de Dados ; adicionado Figura 77 |
| Comandos seção..... | 45 • Modificado Figura 78 para incluir o status do CS através dos comandos SLEEP e WAKEUP..... |
| WAKEUP..... | 46 • Figura 79 e Figura 80 atualizadas para mostrar o início da execução do comando |
| Comandos | 46 • Referência cruzada adicionada para a Figura 83 na seção Comandos |
| Continuous) | 47 • Removida a figura do comando SDATAC (Stop Read Data |
| fornecido e localização de registro..... | 47 • Figura 85 atualizada para mostrar MUX1 como o início do byte de dados para o comando fornecido e localização de registro..... |
| calibração | 48 • Figura 86 atualizada para mostrar o tempo de início da calibração |
| formato | 49 • Seção Registrar Mapas atualizada para o novo formato |
| típicas para <i>RTD raciométrico de 3 fios</i> | 50 • Seção de informações do aplicativo atualizada . Incluídas novas aplicações |
| <i>Sistema de Medição</i> e Medição por Termopar Tipo K (–200°C a +1250°C) com Compensação de Junção Fria | 50 • Figura 112 e Figura 113 atualizadas para melhor mostrar informações de tempo |
| removida | 74 • Seção de aplicação de medição RTD de 3 fios compensada por hardware removida |
| | 76 |

Mudanças da Revisão F (junho de 2011) para a Revisão G

Página

| | |
|--|--|
| • Figura 35 adicionada | 17 • Figura 41 e Figura 42 |
| adicionadas..... | 18 |

Mudanças da Revisão E (dezembro de 2010) para a Revisão F

Página

| | |
|---|---|
| • Adicionada nota de rodapé à especificação <i>de tensão de entrada em escala real</i> na tabela de características elétricas | 8 • Adicionada condição de teste para o parâmetro <i>INL</i> de Características Elétricas |
| mínima em Características de temporização da Figura 1..... | 9 • Adicionado tCSPW à especificação tCSPW |
| atualizada | 11 • Figura 1 atualizada para mostrar o tempo |
| 30 | 12 • Valores de grade e eixo corrigidos para a Figura 29 |
| 30 | 16 • Valores de grade e eixo corrigidos para a Figura 30 |
| atualizada | 16 • Figura 51 |
| 34 | 25 • Detalhes adicionados à seção <i>Geração de tensão de polarização</i> |
| • Tabela 14 corrigida | 34 |
| • Adicionados detalhes à seção <i>Calibração</i> | 39 |
| • Adicionada Equação 18 à seção <i>Calibração</i> | 39 |
| • Seção adicionada aos <i>Comandos de Calibração</i> | 40 |
| • Adicionados detalhes à seção <i>Interface Digital</i> | 43 • Adicionado espaço de comando restrito à Tabela 19 |
| | 45 |

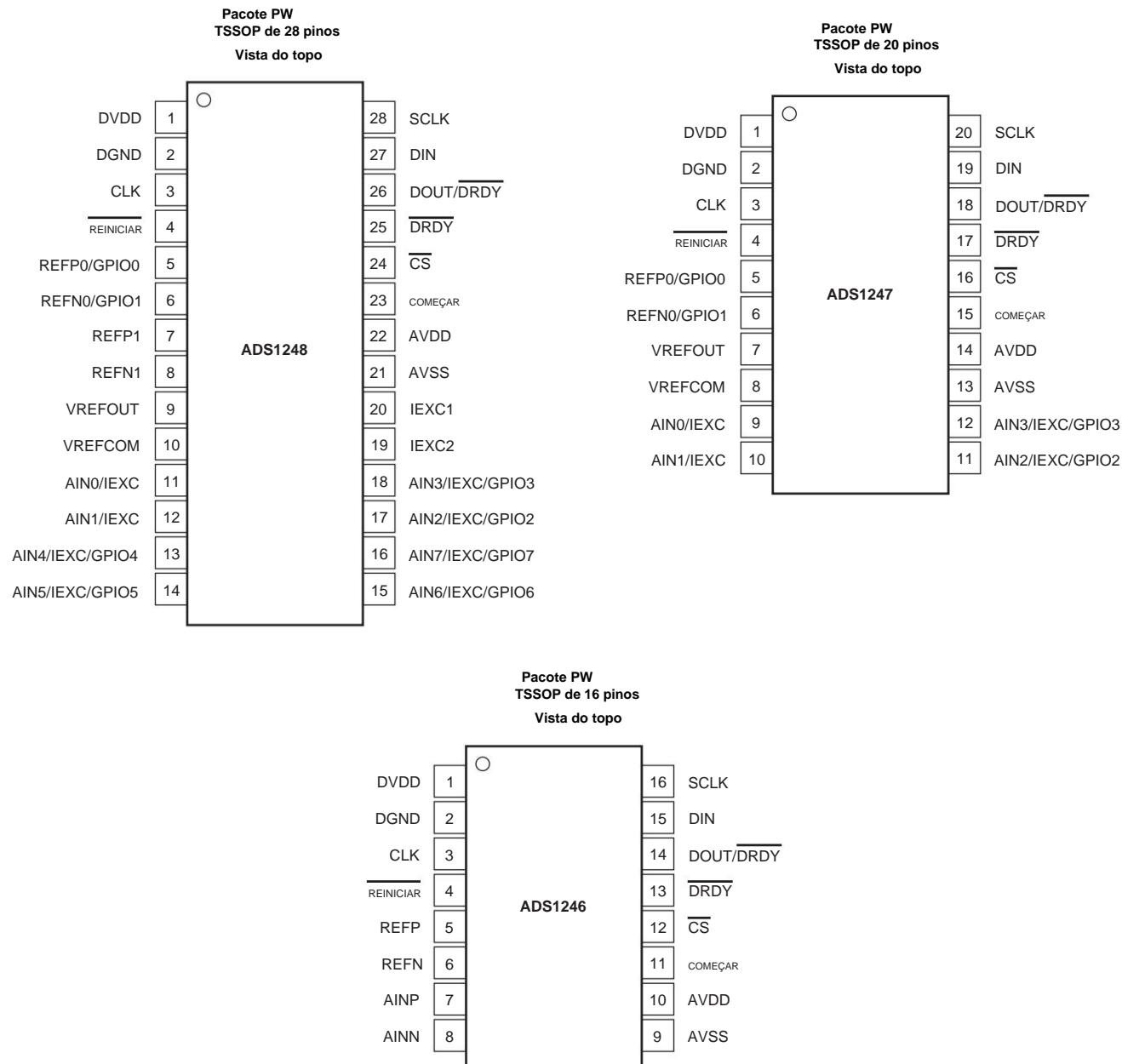
ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**5 Tabela de comparação de dispositivos**

| PRODUTOS | RESOLUÇÃO (Bits) | NÚMERO DE ENTRADAS | TENSÃO REFERÊNCIA | EXCITAÇÃO ATUAL FONTES | PACOTE |
|----------|------------------|--|-------------------|------------------------|---------------------|
| ADS1146 | 16 | 1 Diferencial | Externo | Não | TSSOP-16 |
| ADS1147 | 16 | Multiplexador de 4 entradas interno ou externo | | Sim | TSSOP-20 |
| ADS1148 | 16 | Multiplexador de 8 entradas interno ou externo | | Sim | TSSOP-28 VQFN-32 |
| ADS1246 | 24 | 1 Diferencial | Externo | Não | TSSOP-16 |
| ADS1247 | 24 | Multiplexador de 4 entradas interno ou externo | | Sim | TSSOP-20 |
| ADS1248 | 24 | Multiplexador de 8 entradas interno ou externo | | Sim | TSSOP-28 |

Configuração e funções de 6 pinos



ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Funções de pinos**

| NOME | ALFINETE | | | TIPO 1) | Descrição(2) |
|------------------|-----------------------|-----------------------|-----------------------|---------|---|
| | ADS1248 (TSSOP-28) | ADS1247 (TSSOP-20) | ADS1246 (TSSOP-16) | | |
| AIN0/IEXC | 11 | 9 | - | - | Entrada analógica 0, saída de corrente de excitação opcional |
| AIN1/IEXC | 12 | 10 | - | - | Entrada analógica 1, saída de corrente de excitação opcional |
| AIN2/IEXC/GPIO2 | 17 | 11 | - | E/S | Entrada analógica 2, saída de corrente de excitação opcional, ou pino 2 de entrada/saída digital de uso geral |
| AIN3/IEXC/GPIO3 | 18 | 12 | - | E/S | Entrada analógica 3, saída de corrente de excitação opcional, ou pino 3 de entrada/saída digital de uso geral |
| AIN4/IEXC/GPIO4 | 13 | - | - | E/S | Entrada analógica 4, saída de corrente de excitação opcional, ou pino 4 de entrada/saída digital de uso geral |
| AIN5/IEXC/GPIO5 | 14 | - | - | E/S | Entrada analógica 5, saída de corrente de excitação opcional, ou pino 5 de entrada/saída digital de uso geral |
| AIN6/IEXC/GPIO6 | 15 | - | - | E/S | Entrada analógica 6, saída de corrente de excitação opcional, ou pino 6 de entrada/saída digital de uso geral |
| AIN7/IEXC/GPIO7 | 16 | - | - | E/S | Entrada analógica 7, saída de corrente de excitação opcional, ou pino 7 de entrada/saída digital de uso geral |
| AINN | - | - | 8 | - | Entrada analógica negativa |
| AINP | - | - | 7 | - | Entrada analógica positiva |
| AVDD | 22 | 14 | 10 | P | Fonte de alimentação analógica positiva, conecte um capacitor de 0,1 μ F ao AVSS |
| AVSS | 21 | 13 | 9 | P | Fonte de alimentação analógica negativa |
| CLK | 3 | 3 | 3 | - | Entrada de relógio externo, vincule ao DGND para ativar o interno oscilador |
| <u>CS</u> | 24 | 16 | 12 | - | Seleção de chip (ativo baixo) |
| DGND | 2 | 2 | 2 | G | Terreno digital |
| DIN | 27 | 19 | 15 | - | Entrada de dados seriais |
| DOUT/DRDY | 26 | 18 | 14 | Ó | Saída de dados seriais ou saída de dados combinada com dados prontos |
| <u>DRDY</u> | 25 | 17 | 13 | Ó | Dados prontos (ativo baixo) |
| DVDD | 1 | 1 | 1 | P | Fonte de alimentação digital, conecte um capacitor de 0,1 μ F ao DGND |
| IEXC1 | 20 | - | - | Ó | Saída de corrente de excitação 1 |
| IEXC2 | 19 | - | - | Ó | Saída de corrente de excitação 2 |
| REFN | - | - | 6 | - | Entrada de referência externa negativa |
| REFN0/GPIO1 | 6 | 6 | - | E/S | Entrada de referência externa negativa 0, ou pino 1 de entrada/saída digital de uso geral |
| REFN1 | 8 | - | - | - | Entrada de referência externa negativa 1 |
| REFP | - | - | 5 | - | Entrada de referência externa positiva |
| REFP0/GPIO0 | 5 | 5 | - | E/S | Entrada de referência externa positiva 0, ou pino de entrada/saída digital de uso geral 0 |
| REFP1 | 7 | - | - | - | Entrada de referência externa positiva 1 |
| <u>REINICIAR</u> | 4 | 4 | 4 | - | Redefinir (ativo baixo) |
| SCLK | 28 | 20 | 16 | - | Entrada de relógio serial |
| COMEÇAR | 23 | 15 | 11 | - | Início da conversão |
| VREFCOM | 10 | 8 | - | Ó | Saída de tensão de referência interna negativa, conecte ao AVSS ao usar uma alimentação unipolar ou para a tensão média do fonte de alimentação ao usar uma fonte bipolar |
| VREFOUT | 9 | 7 | - | Ó | Saída de tensão de referência interna positiva, conecte um capacitor na faixa de 1 μ F a 47 μ F para VREFCOM |

(1) G = Terra, I = Entrada, O = Saída, P = Potência

(2) Consulte [Entradas e Saídas Não Utilizadas](#) para conexões de pinos não utilizadas.

7 especificações

7.1 Classificações Máximas Absolutas(1)

| | | MÍNIMO | MÁX. | UNIDADE |
|-----------------------------|--|--------|-----------------------|---------|
| Tensão de alimentação | AVDD para AVSS | -0,3 | 5,5 | V |
| | AVSS para DGND | -2,8 | 0,3 | |
| | DVDD para DGND | -0,3 | 5,5 | |
| Tensão de entrada analógica | AINx, REFPx, REFNx, VREFOUT, VREFCOM, IEXC1, IEXC2 | | AVSS - 0,3 AVDD + 0,3 | V |
| Tensão de entrada digital | SCLK, DIN, DOUT/DRDY, DRDY, CS, INICIAR, RESET, CLK | | DGND - 0,3 DVDD + 0,3 | V |
| Corrente de entrada | Contínuo, qualquer pino, exceto pinos de fonte de alimentação | | -10 | 10 |
| | Momentâneo, qualquer pino, exceto os pinos da fonte de alimentação | | -100 | 100 |
| Temperatura | Junção, TJ | | 150 | °C |
| | Armazenamento, Teste | -60 | 150 | |

(1) Tensões além daquelas listadas nas *Classificações Máximas Absolutas* podem causar danos permanentes ao dispositivo. Estas são classificações de estresse apenas, o que não implica a operação funcional do dispositivo nestas ou em quaisquer outras condições além daquelas indicadas em *Recomendado Condições de funcionamento*. A exposição a condições de classificação máxima absoluta por longos períodos pode afetar a confiabilidade do dispositivo.

7.2 Classificações ESD

| | | VALOR | UNIDADE |
|-------------------------------|---|-------|---------|
| V(ESD) Descarga eletrostática | Modelo de corpo humano (HBM), conforme ANSI/ESDA/JEDEC JS-001, todos os pinos(1) | ±2000 | V |
| | Modelo de dispositivo carregado (CDM), de acordo com a especificação JEDEC JESD22-C101, todos os pinos(2) | ±500 | |

(1) O documento JEDEC JEP155 afirma que 500 V HBM permite fabricação segura com um processo de controle ESD padrão.

(2) O documento JEDEC JEP157 afirma que o CDM de 250 V permite a fabricação segura com um processo de controle ESD padrão.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

7.3 Condições Operacionais Recomendadas

Acima da faixa de temperatura ambiente operacional (salvo indicação em contrário)

| | | MINIMO | NOM | UNIDADE | MÁXIMA |
|---|---|----------------------------------|----------------|-------------------|---------|
| FONTE DE ENERGIA | | | | | |
| Fonte de alimentação analógica | AVDD para AVSS | 2,7 | | 5,25 | V |
| | AVSS para DGND | -2,65 | | 0,1 | |
| | AVDD para DGND | 2,25 | | 5,25 | |
| Fonte de alimentação digital | DVDD para DGND | 2,7 | | 5,25 | V |
| ENTRADAS ANALÓGICAS(1) | | | | | |
| VIN | Tensão de entrada diferencial | V(AINP) – V(AINN) ⁽²⁾ | -VREF / Ganho | VREF /Ganho | V |
| VCM | Tensão de entrada de modo comum | (V(AINP) + V(AINN)) / 2 | | Veja a Equação 3 | V |
| ENTRADAS DE REFERÊNCIA DE TENSÃO(3) | | | | | |
| VREF | Tensão de entrada de referência diferencial | V(REFPx) – V(REFNx) | 0,5 | (AVDD – AVSS) – 1 | V |
| V(REFNx) | Tensão de referência negativa absoluta | | AVSS – 0,1 | V(REFPx) – 0,5 | V |
| V(REFPx) | Tensão de referência positiva absoluta | | V(REFNx) + 0,5 | AVDD + 0,1 | V |
| ENTRADA DE RELÓGIO EXTERNO (4) | | | | | |
| fCLK | Frequência de clock externo | | 1 | | 4,5 MHz |
| | Ciclo de trabalho do relógio externo | | 25% | | 75% |
| ENTRADAS/SAÍDAS DE FINALIDADE GERAL (GPIO) | | | | | |
| | Tensão de entrada GPIO | | AVSS | AVDD | V |
| ENTRADAS DIGITAIS | | | | | |
| | Tensão de entrada digital | | DGND | DVDDV | |
| FAIXA DE TEMPERATURA | | | | | |
| TA | Temperatura ambiente operacional | | -40 | 125 | °C |
| | Temperatura ambiente especificada | | -40 | 105 | °C |

(1) AINP e AINN denotam as entradas positivas e negativas do PGA.

(2) Para VREF > 2,7 V, a tensão diferencial de entrada não deve exceder 2,7 V/Ganho.

(3) REFPx e REFNx denotam o par de entrada de referência diferencial (ADS1246, ADS1247) ou um dos dois pares de referência diferencial disponíveis pares de entrada (ADS1248).

(4) Relógio externo necessário apenas se o oscilador interno não for usado.

7.4 Informações Térmicas

| MÉTRICA TÉRMICA(1) | | ADS1246 | ADS1247 | ADS1248 | UNIDADE |
|------------------------|---|----------------------------------|----------|----------|---------|
| | | PW (TSSOP) PW (TSSOP) PW (TSSOP) | | | |
| | | 16 PINOS | 20 PINOS | 28 PINOS | |
| R _{θJA} | Resistência térmica da junção ao ambiente | 95,2 | 87,6 | 54,6 | °C/W |
| R _{θJC(topo)} | Resistência térmica junção-caixa (superior) | 28,8 | 21,2 | 11,3 | °C/W |
| R _{θJB} | Resistência térmica junção-placa | 41,1 | 39,9 | 13 | °C/W |
| ŷJT | Parâmetro de caracterização junção-topo | 1,5 | 0,8 | 0,5 | °C/W |
| ŷJB | Parâmetro de caracterização junção-placa | 40,4 | 39,2 | 12,7 | °C/W |
| R _{θJC(bot)} | Resistência térmica junção-caixa (inferior) | n / D | n / D | n / D | °C/W |

(1) Para obter mais informações sobre métricas térmicas tradicionais e novas, consulte o aplicativo *Semiconductor and IC Package Thermal Metrics* relatório, [SPRA953](#).

7.5 Características Elétricas

As especificações mínimas e máximas se aplicam de TA = -40°C a 105°C. As especificações típicas são TA = 25°C.

Todas as especificações estão em AVDD = 5 V, DVDD = 3,3 V, AVSS = 0 V, VREF externo = 2,048 V e fCLK = 4,096 MHz (a menos que indicado de outra forma).

| PARÂMETRO | CONDIÇÕES DE TESTE | MÍNIMO | TIPO | UNIDADE MÁXIMA | |
|--|---|---|----------------------|----------------|-----|
| ENTRADAS ANALÓGICAS | | | | | |
| Corrente de entrada diferencial | | 100 | | PA | |
| Corrente de entrada absoluta | | Consulte a Tabela 8 | | | |
| PGA | | | | | |
| Configurações de ganho PGA | | 1, 2, 4, 8, 16, 32, 64, 128 | | V/V | |
| PERFORMANCE DO SISTEMA | | | | | |
| Resolução | | 24 | | Pedêças | |
| DR | Taxa de dados | 5, 10, 20, 40, 80, 160, 320, 640, 1000, 2000 | | SPS | |
| Tempo de conversão ADC | | | | | |
| INL | Não linearidade integral | Entrada diferencial, ajuste do ponto final, Ganho = 1, VCM = 2,5 V | 6 | 15 | ppm |
| VIO | Tensão de compensação (entrada referida) | Após calibração(1) | -15 | 15 | µV |
| Deslocamento de deslocamento | | | | | |
| Erro de ganho | TA = 25°C, todos os ganhos, DR = 40 SPS, 80 SPS ou 160 SPS | -0,02% | ±0,005% | 0,02% | |
| Ganhe deriva | | Consulte a Figura 17 à Figura 20 | | | |
| Barulho | | Consulte a Tabela 1 a Tabela 4 | | | |
| NMRR | Rejeição do modo normal | | Consulte a Tabela 10 | | |
| CMRR | Rejeição de modo comum | Em DC, ganho = 1 | 80 | 90 | dB |
| | | Em DC, ganho = 32 | 90 | 125 | |
| PSRR | Rejeição da fonte de alimentação | AVDD/DVDD em DC, Ganho = 32, RD = 80 SPS | 100 | 135 | dB |
| ENTRADAS DE REFERÊNCIA DE TENSÃO | | | | | |
| Corrente de entrada de referência | | 30 | | n / D | |
| REFERÊNCIA DE TENSÃO INTERNA | | | | | |
| VREF | Tensão de referência interna | 2.038 | 2.048 | 2.058 | V |
| Desvio de referência(2) | TA = 25°C a 105°C | | 2 | 10 ppm/°C | |
| | TA = -40°C a 105°C | | 6 | 15 ppm/°C | |
| Corrente de saída(3) | | -10 | | 10 mA | |
| Regulação de carga | | 50 | | µV/mA | |
| Hora de inicialização | | Consulte a Tabela 11 | | | |
| OSCILADOR INTERNO | | | | | |
| Frequência do oscilador interno | | 3,89 | 4.096 | 4,3MHz | |
| FONTES DE CORRENTE DE EXCITAÇÃO (IDACs) | | | | | |
| Configurações atuais de saída | | 50, 100, 250, 500, 750, 1000, 1500 | | µA | |
| Tensão de conformidade | Todas as correntes | Consulte a Figura 41 e a Figura 42 | | | |
| Erro absoluto | Todas as correntes, cada IDAC | -6% | ±1% | 6% | |
| Incompatibilidade absoluta | Todas as correntes, entre IDACs | | ±0,15% | | |
| Desvio de temperatura | Cada IDAC | 100 | | ppm/°C | |
| Correspondência de desvio de temperatura | Entre IDACs | 10 | | ppm/°C | |
| FONTES DE CORRENTE QUEIMADA | | | | | |
| Configurações de fonte atual queimada | | 0,5, 2, 10 | | µA | |

(1) Calibração de deslocamento na ordem do ruído.

(2) Especificado pela combinação de projeto e teste de produção final.

(3) Não exceda esta carga na referência de tensão interna.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Características Elétricas (continuação)**As especificações mínimas e máximas se aplicam de $TA = -40^{\circ}\text{C}$ a 105°C . As especificações típicas são $TA = 25^{\circ}\text{C}$.Todas as especificações estão em $\text{AVDD} = 5\text{ V}$, $\text{DVDD} = 3,3\text{ V}$, $\text{AVSS} = 0\text{ V}$, VREF externo = $2,048\text{ V}$ e $f_{\text{CLK}} = 4,096\text{ MHz}$ (a menos que indicado de outra forma).

| PARÂMETRO | CONDIÇÕES DE TESTE | MÍNIMO | TIPO | UNIDADE MÁXIMA | |
|---|-----------------------------------|--|--------------------------|------------------------------|---|
| TENSÃO DE VIÉS | | | | | |
| Tensão de polarização | | $(\text{AVDD} + \text{AVSS}) / 2$ | | V | |
| Impedância de saída de tensão de polarização | | 400 | | Ah | |
| SENSOR DE TEMPERATURA | | | | | |
| Voltagem de saída | $TA = 25^{\circ}\text{C}$ | 118 | | mV | |
| Coeficiente de temperatura | | 405 | | $\text{mV}/^{\circ}\text{C}$ | |
| ENTRADAS/SAÍDAS DE FINALIDADE GERAL (GPIO) | | | | | |
| VIL | Tensão de entrada de baixo nível | AVSS | $0,3 \times \text{AVDD}$ | V | |
| VIH | Tensão de entrada de alto nível | $0,7 \times \text{AVDD}$ | AVDD | V | |
| volume | Tensão de saída de baixo nível | LIO = 1 mA | $0,2 \times \text{AVDD}$ | V | |
| VOH | Tensão de saída de alto nível | IOH = 1 mA | $0,8 \times \text{AVDD}$ | V | |
| ENTRADAS/SAÍDAS DIGITAIS (exceto GPIO) | | | | | |
| VIL | Tensão de entrada de baixo nível | DGND | $0,3 \times \text{DVDD}$ | V | |
| VIH | Tensão de entrada de alto nível | $0,7 \times \text{DVDD}$ | DVDD | V | |
| volume | Tensão de saída de baixo nível | LIO = 1 mA | DGND | $0,2 \times \text{DVDD}$ | V |
| VOH | Tensão de saída de alto nível | IOH = 1 mA | $0,8 \times \text{DVDD}$ | V | |
| Vazamento de entrada | DGND < VIN < DVDD | -10 | 10 | μA | |
| FONTE DE ENERGIA | | | | | |
| IAVDD | Corrente de alimentação analógica | Modo de desligamento | 0,1 | mA | |
| | | Conversão, $\text{AVDD} = 3,3\text{ V}$, $\text{DR} = 20\text{ SPS}$, referência externa | 200 | | |
| | | Conversão, $\text{AVDD} = 5\text{ V}$, $\text{DR} = 20\text{ SPS}$, referência externa | 225 | | |
| | | Corrente adicional com referência interna habilitada | 180 | | |
| DVDD | Corrente de alimentação digital | Modo de desligamento | 0,2 | μA | |
| | | Operação normal, $\text{DVDD} = 3,3\text{ V}$, $\text{DR} = 20\text{ SPS}$, oscilador interno | 210 | | |
| | | Operação normal, $\text{DVDD} = 5\text{ V}$, $\text{DR} = 20\text{ SPS}$, oscilador interno | 230 | | |
| DP | Dissipação de energia | $\text{AVDD} = \text{DVDD} = 5\text{ V}$, $\text{DR} = 20\text{ SPS}$, oscilador interno, externo referência | 2.3 | mW | |
| | | $\text{AVDD} = \text{DVDD} = 3,3\text{ V}$, $\text{DR} = 20\text{ SPS}$, oscilador interno, externo referência | 1.4 | | |

7.6 Requisitos de Tempo

Em TA = –40°C a 105°C e DVDD = 2,7 V a 5,5 V (salvo indicação em contrário)

| PARÂMETRO | MÍNIMO | NOM MÁX. | UNIDADE |
|---|---|----------|---------------|
| INTERFACE SERIAL (VER Figura 1 E Figura 2) | | | |
| tCSSC | Tempo de atraso, primeira borda ascendente SCLK após borda descendente CS | 10 | ns |
| tSCCS | Tempo de atraso, borda ascendente do CS após borda descendente final do SCLK | 7 | tCLK (1) |
| tCSPW | Duração do pulso, CS alto | 5 | tCLK |
| tSCLK | Período SCLK | 488 | ns |
| | | | 64 conversões |
| tSPWH | Duração do pulso, SCLK alto | 0,25 | 0,75 |
| tSPWL | Duração do pulso, SCLK baixo | 0,25 | 0,75 |
| tDIST | Tempo de configuração, DIN válido antes da borda descendente do SCLK | 5 | ns |
| tDIHD | Tempo de espera, DIN válido após borda descendente do SCLK | 5 | ns |
| DST | Tempo de configuração, SCLK baixo antes da borda de subida do DRDY | 5 | tCLK |
| tDTS | Tempo de atraso, borda ascendente SCLK após borda descendente DRDY | 1 | tCLK |
| DURAÇÃO MÍNIMA DO PULSO DO TEMPO DE INÍCIO (VER Figura 3) | | | |
| tINICIAR | Duração do pulso, START alto | 3 | tCLK |
| DURAÇÃO DO PULSO DE REINICIALIZAÇÃO, COMUNICAÇÃO DE INTERFACE SERIAL APÓS REINICIALIZAÇÃO (VER Figura 4) | | | |
| tRESET | Duração do pulso, RESET baixo | 4 | tCLK |
| tRHSC | Tempo de atraso, borda de subida SCLK (início da comunicação da interface serial) após RESET borda ascendente | 0,6(2) | EM |

(1) tCLK = 1/fCLK. A frequência de clock padrão fCLK = 4,096 MHz.

(2) Aplicável somente quando fCLK = 4,096 MHz, escala proporcionalmente com a frequência fCLK.

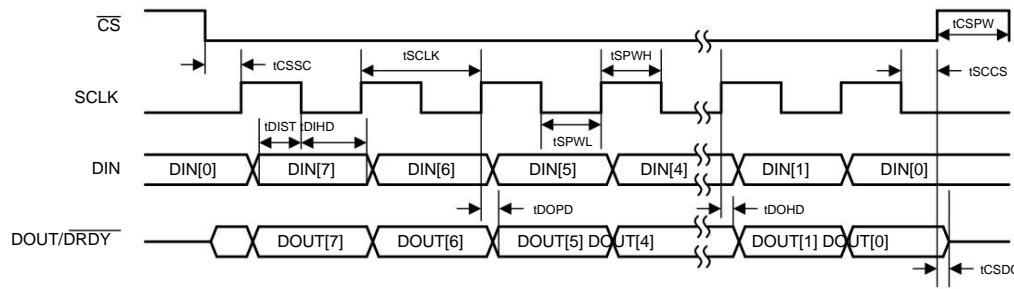
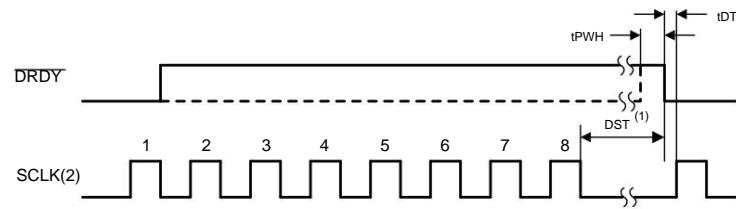
7.7 Características de comutação

Em TA = –40°C a 105°C e DVDD = 2,7 V a 5,5 V (salvo indicação em contrário; consulte a Figura 1 e a Figura 2)

| PARÂMETRO | CONDIÇÕES DE TESTE | MIN TIPO MÁX UNIDADE | |
|----------------------------|--|----------------------|------|
| tDOPD | DVDD \geq 3,6 V | 50 | ns |
| | DVDD > 3,6 V | 180 | |
| tDOHD DOUT tempo de espera | | 0 | ns |
| tCSDO | Tempo de atraso de propagação, Borda ascendente CS para alta impedância DOUT | 10 | ns |
| tPWH | Duração do pulso, DRDY alto | 3 | tCLK |

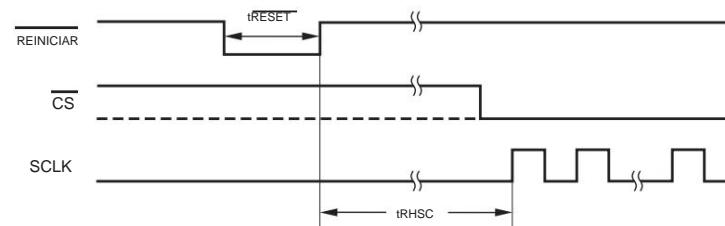
ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Figura 1. Temporização da interface serial, MODO DRDY Bit = 0**

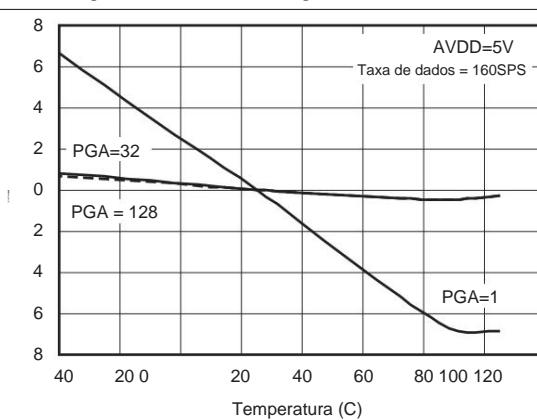
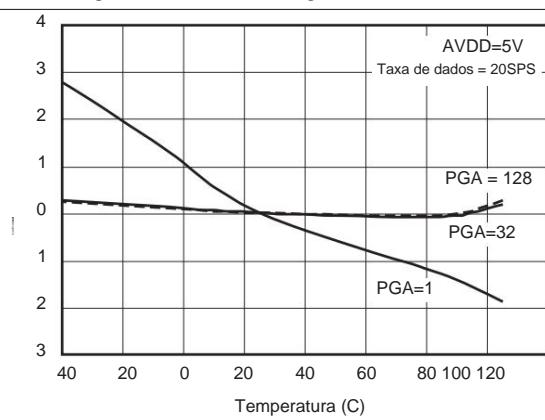
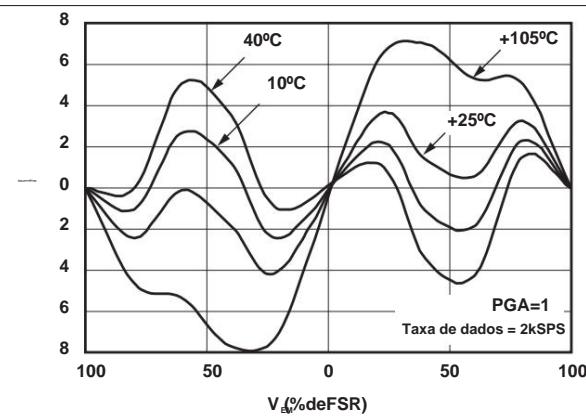
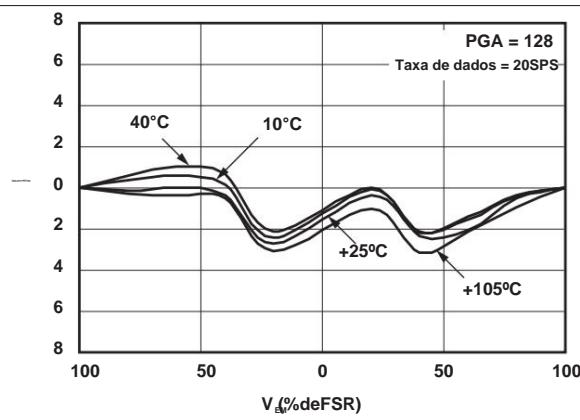
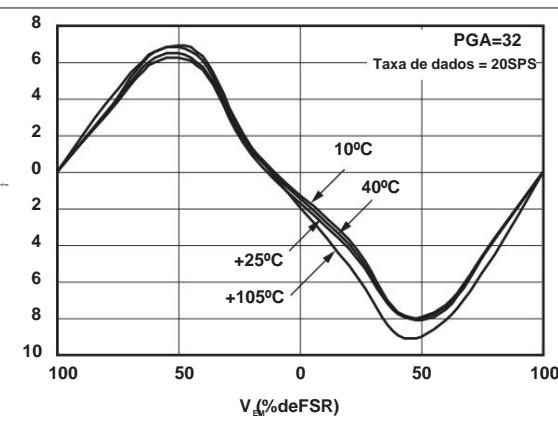
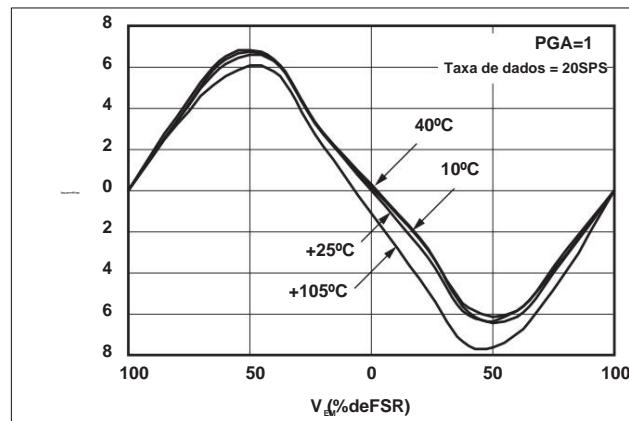
(1) Este diagrama de temporização é aplicável somente quando o pino CS está baixo. SCLK não precisa estar baixo durante tSTD quando CS é alto.

(2) O SCLK só deve ser enviado em múltiplos de oito durante a recuperação parcial dos dados de saída.

Figura 2. Tempo da interface serial para permitir o carregamento do resultado da conversão**Figura 3. Duração Mínima do Pulso Inicial****Figura 4. Duração do pulso de reinicialização e comunicação da interface serial após reinicialização**

7.8 Características Típicas

Em TA = 25°C, AVDD = 5 V, AVSS = 0 V e VREF externo = 2,5 V (salvo indicação em contrário)



ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

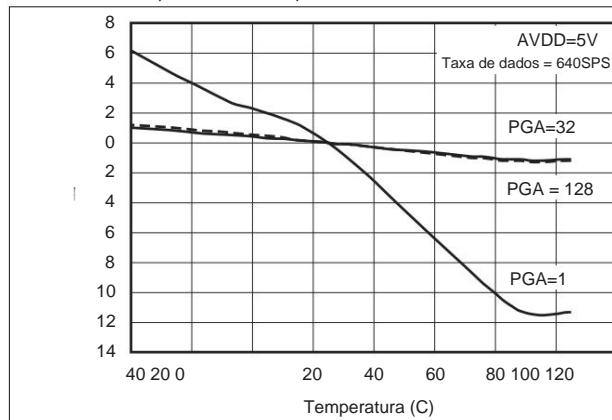
www.ti.com**Características Típicas (continuação)**Em $TA = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

Figura 11. Deslocamento versus Temperatura

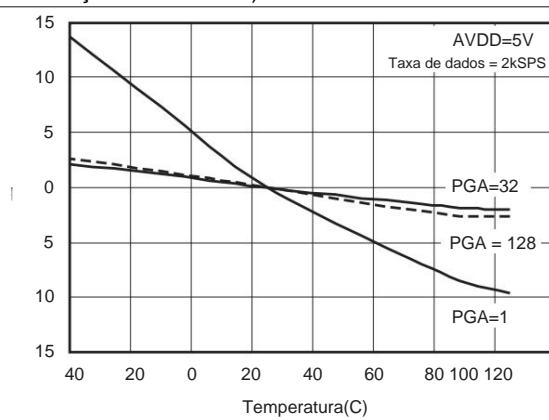


Figura 12. Deslocamento versus Temperatura

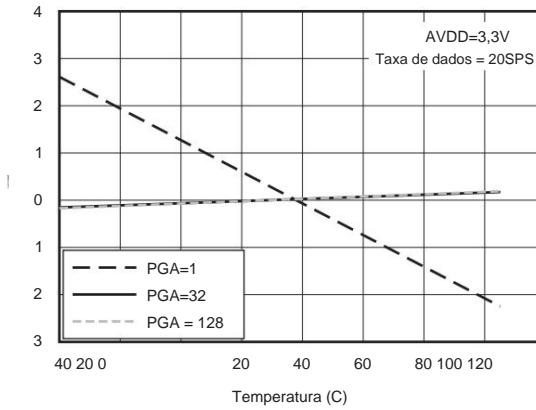


Figura 13. Deslocamento versus Temperatura

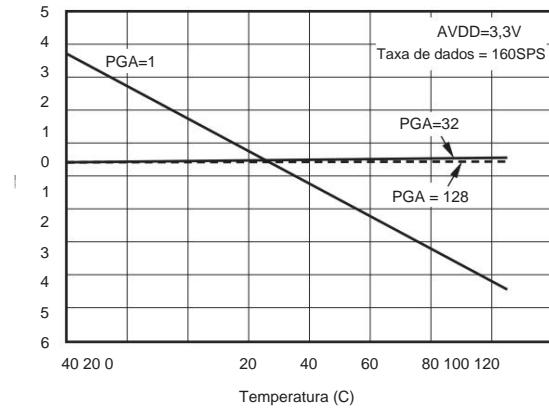


Figura 14. Deslocamento versus Temperatura

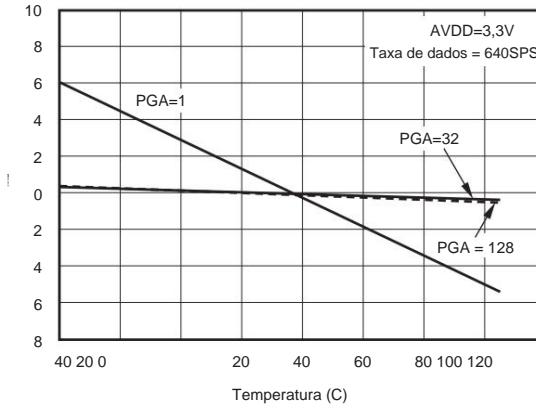


Figura 15. Deslocamento versus Temperatura

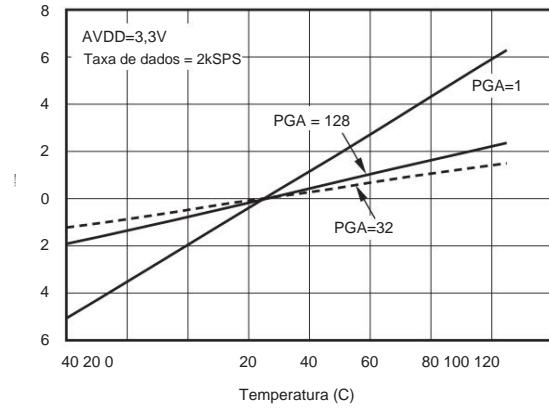


Figura 16. Deslocamento versus Temperatura

Características Típicas (continuação)

Em $TA = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

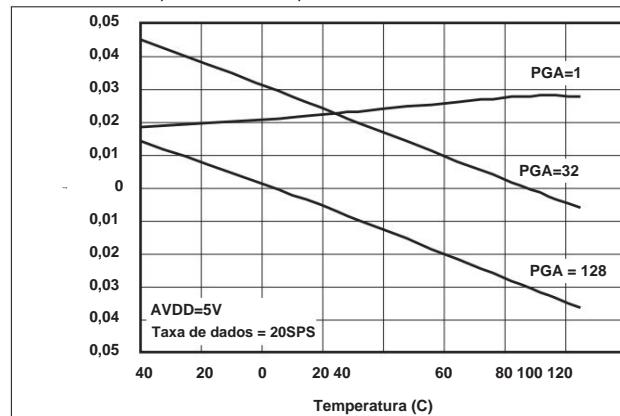


Figura 17. Erro de ganho versus temperatura

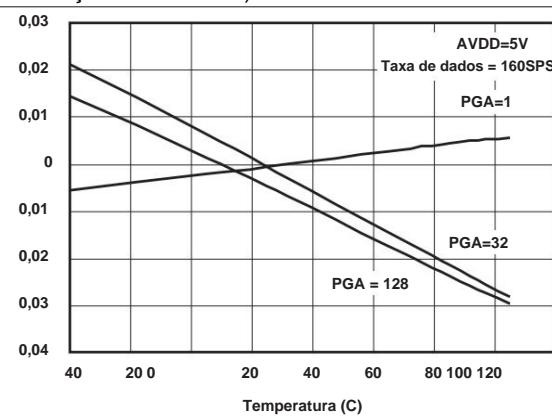


Figura 18. Erro de ganho versus temperatura

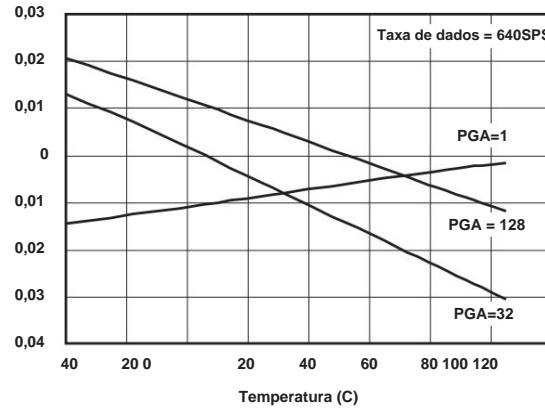


Figura 19. Erro de ganho versus temperatura

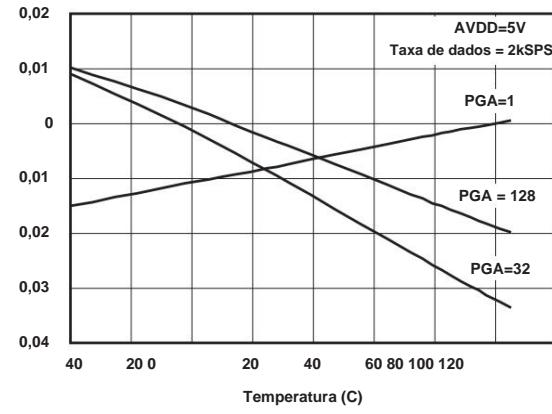


Figura 20. Erro de ganho versus temperatura

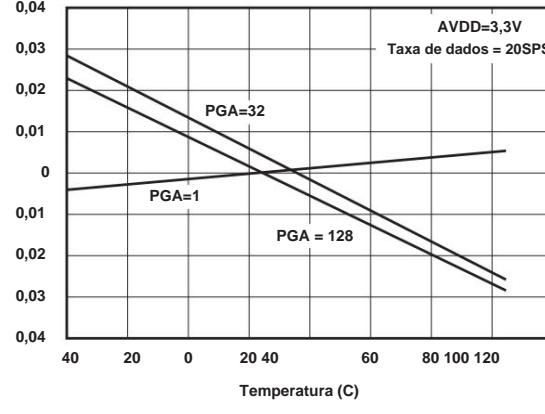


Figura 21. Erro de ganho versus temperatura

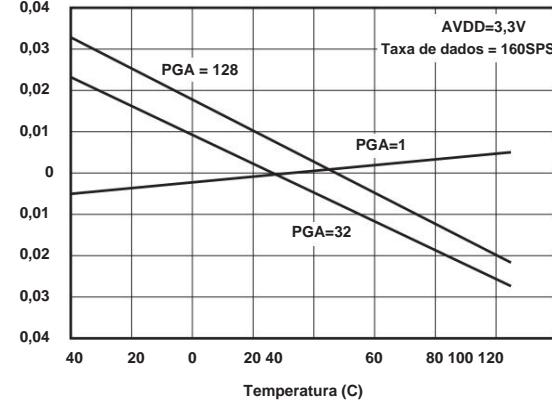
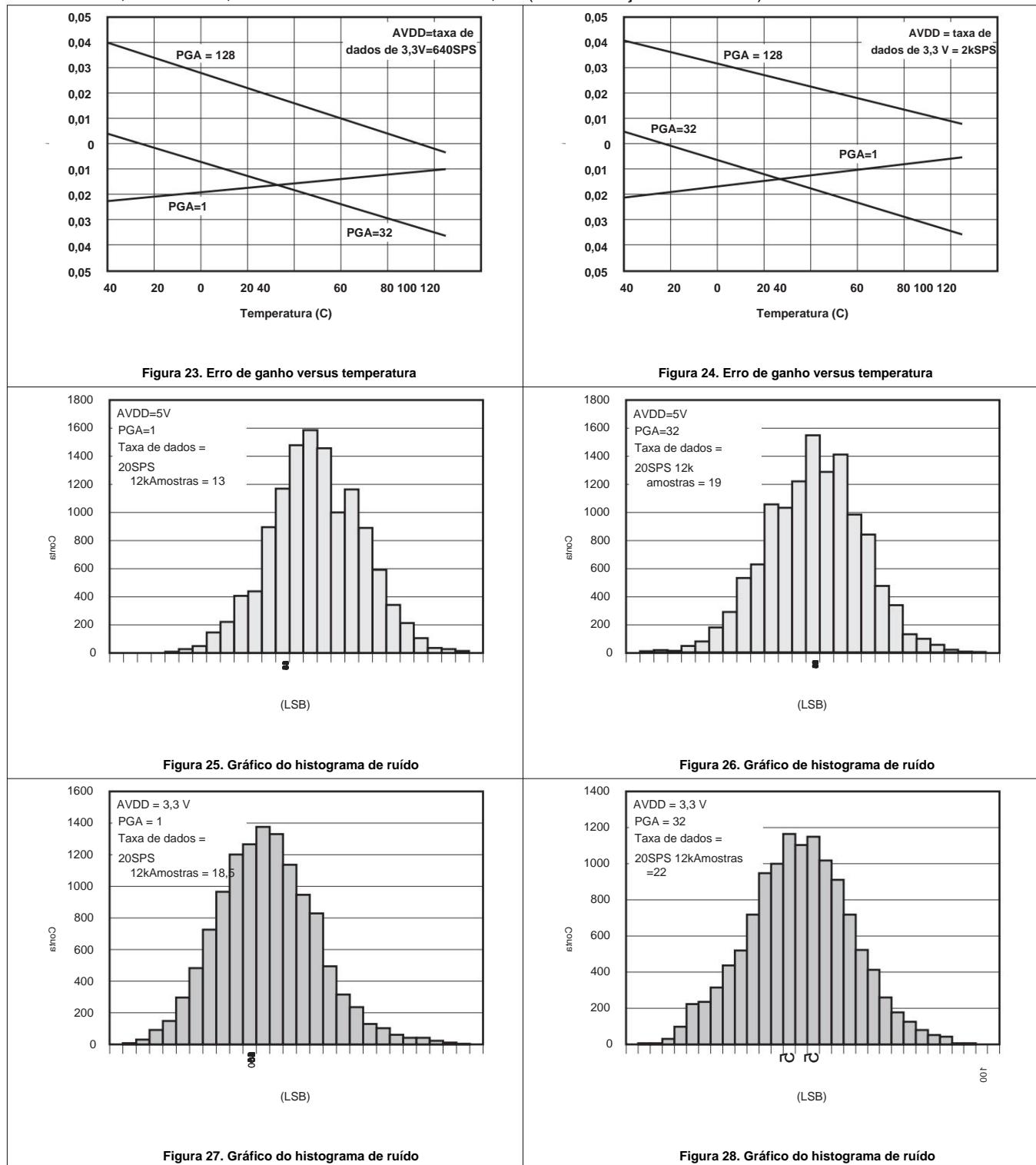


Figura 22. Erro de ganho versus temperatura

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Características Típicas (continuação)**Em $TA = 25^\circ\text{C}$, $\text{AVDD} = 5 \text{ V}$, $\text{AVSS} = 0 \text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

Características Típicas (continuação)

Em $TA = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

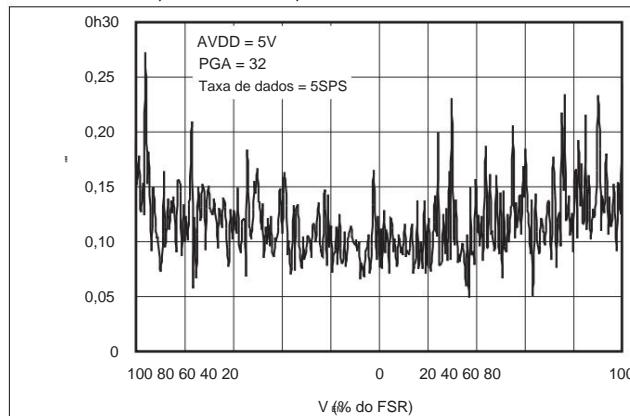


Figura 29. Ruído RMS vs Sinal de Entrada

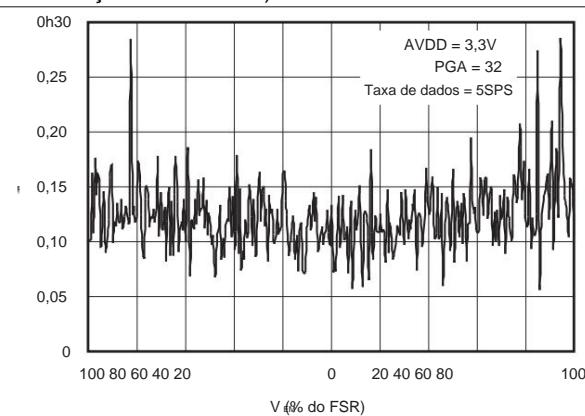


Figura 30. Ruído RMS vs Sinal de Entrada

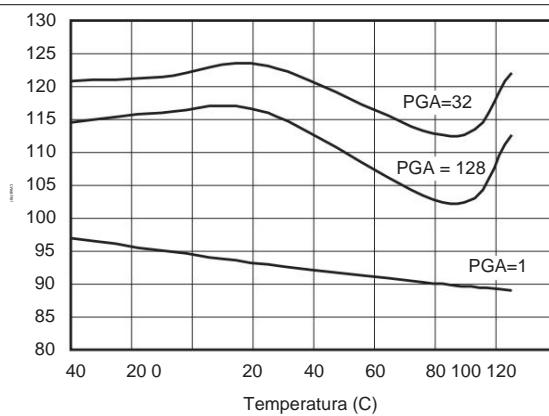


Figura 31. CMRR vs Temperatura

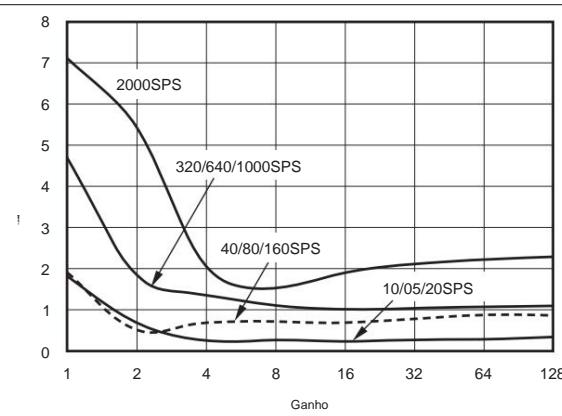


Figura 32. Rejeição da fonte de alimentação versus ganho

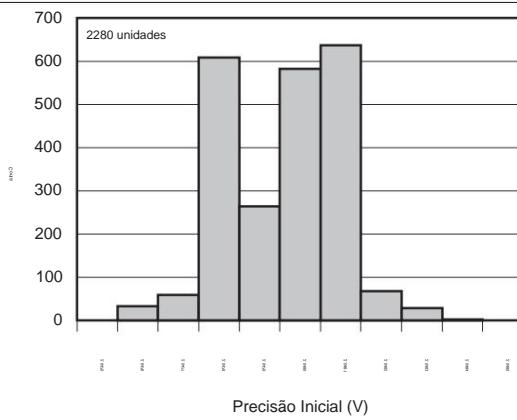


Figura 33. Histograma de precisão inicial do VREF interno

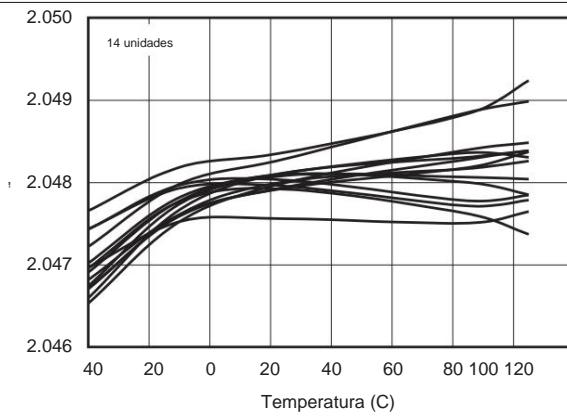
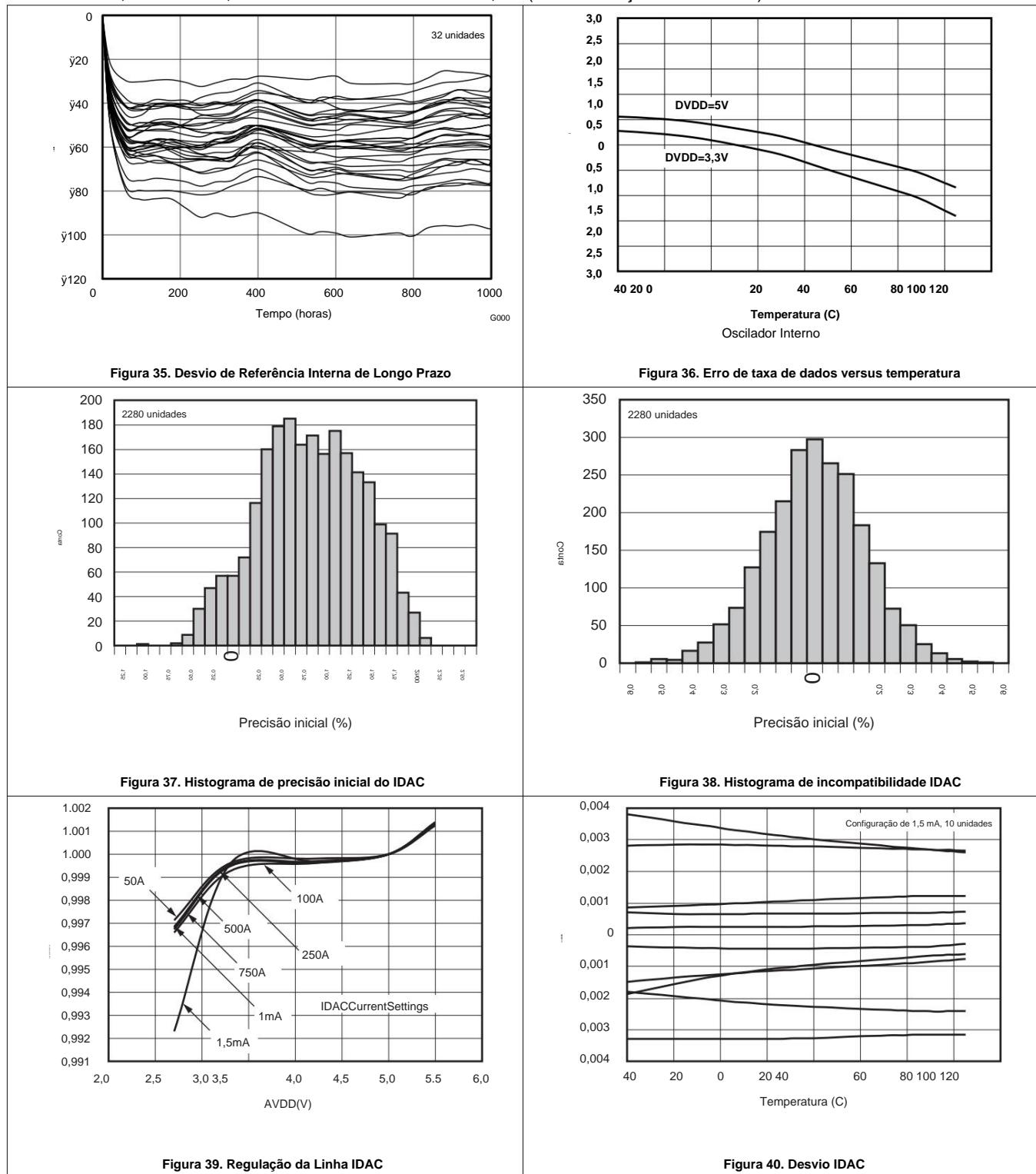


Figura 34. VREF interno versus temperatura

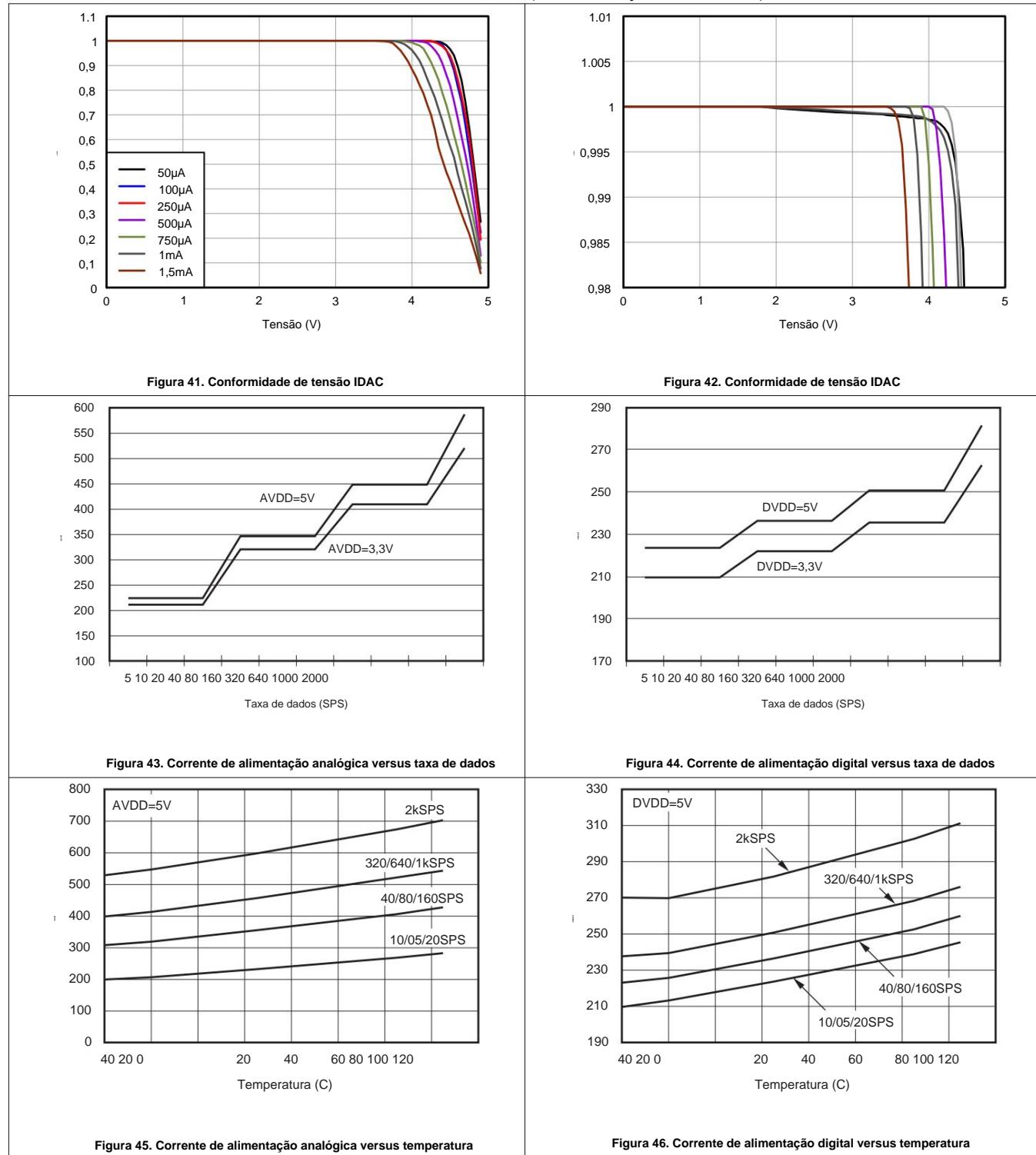
ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Características Típicas (continuação)**Em $TA = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

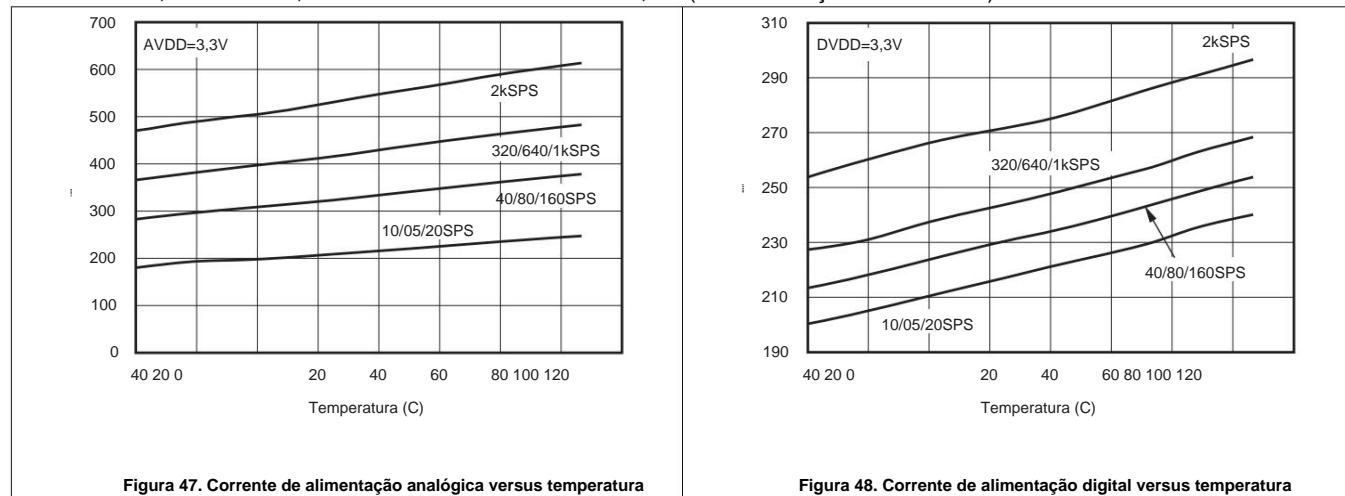
Características Típicas (continuação)

Em TA = 25°C, AVDD = 5 V, AVSS = 0 V e VREF externo = 2,5 V (salvo indicação em contrário)



ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Características Típicas (continuação)**Em $T_A = 25^\circ\text{C}$, $\text{AVDD} = 5 \text{ V}$, $\text{AVSS} = 0 \text{ V}$ e VREF externo = 2,5 V (salvo indicação em contrário)

8 Informações de medição de parâmetros

8.1 Desempenho de Ruído

O desempenho do ruído ADC é otimizado ajustando a taxa de dados e a configuração PGA. Geralmente, o menor ruído referido na entrada é obtido usando o maior ganho possível, consistente com a faixa do sinal de entrada. Não defina o ganho muito alto ou o resultado é excesso de faixa do ADC. O ruído também depende da taxa de dados de saída. Como a taxa de dados reduz, a largura de banda do ADC reduz correspondente. Esta redução na largura de banda total resulta em menor barulho. A Tabela 1 a Tabela 6 resume o desempenho de ruído do dispositivo. Os dados são representativos de situações típicas desempenho de ruído em TA = 25°C. Os dados mostrados são o resultado da média das leituras de vários dispositivos e foram medidos com as entradas em curto. Um mínimo de 128 leituras consecutivas foram usadas para calcule a raiz quadrada média (RMS) e o ruído pico a pico (PP) para cada leitura.

Tabela 1, Tabela 3 e Tabela 5 listam o ruído referido à entrada em unidades de yVRMS e yVPP para as condições mostradas.

A Tabela 2, Tabela 4 e Tabela 6 listam os dados correspondentes em unidades de ENOB (número efetivo de bits), onde

ENOB para o ruído RMS é definido como na Equação 1:

$$\text{ENOB} = \ln((2 \cdot \text{VREF}/\text{Ganho}) / \text{VNRMS}) / \ln(2)$$

onde VNRMS = tensão de ruído RMS referida à entrada

(1)

O ENOB para o ruído pico a pico é calculado com o mesmo método.

A Tabela 3 a Tabela 6 usa a referência interna disponível no ADS1247 e ADS1248. Os dados também são

representativo do desempenho de ruído ADS1246 ao usar uma referência externa de baixo ruído, como o REF5025 ou o REF5020.

**Tabela 1. Ruído em yVRMS e (yVPP)
em AVDD = 5 V, AVSS = 0 V e Referência Externa = 2,5 V**

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------------|------------------|----------------|--------------|--------------|--------------|--------------|-------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 1,1 (4,99) | 0,68 (3,8) | 0,37 (1,9) | 0,19 (0,98) | 0,1 (0,44) | 0,07 (0,31) | 0,05 (0,27) | 0,05 (0,21) |
| 10 | 1,53 (8,82) | 0,82 (3,71) | 0,5 (2,69) | 0,27 (1,33) | 0,15 (0,67) | 0,08 (0,5) | 0,06 (0,36) | 0,07 (0,34) |
| 20 | 2,32 (13,37) | 1,23 (6,69) | 0,71 (3,83) | 0,34 (1,9) | 0,18 (1,01) | 0,12 (0,71) | 0,10 (0,51) | 0,09 (0,54) |
| 40 | 2,72 (17,35) | 1,33 (7,65) | 0,68 (3,83) | 0,38 (2,21) | 0,22 (1,13) | 0,14 (0,77) | 0,15 (0,78) | 0,14 (0,76) |
| 80 | 3,56 (22,67) | 1,87 (12,3) | 0,81 (5,27) | 0,5 (3,49) | 0,3 (1,99) | 0,19 (1,24) | 0,19 (1,16) | 0,18 (1,04) |
| 160 | 5,26 (42,03) | 2,52 (17,57) | 1,32 (9,22) | 0,67 (5,25) | 0,41 (2,89) | 0,26 (1,91) | 0,27 (1,74) | 0,26 (1,74) |
| 320 | 9,39 (74,91) | 4,68 (39,48) | 2,69 (18,95) | 1,24 (9,94) | 0,68 (5,25) | 0,45 (3,08) | 0,38 (2,71) | 0,36 (2,46) |
| 640 | 13,21 (119,66) | 6,93 (59,31) | 3,59 (28,55) | 1,53 (10,68) | 0,95 (8,7) | 0,63 (4,94) | 1000 32,34 | 0,53 (3,74) |
| (443,91) | 16,11 (185,67) | 11,54 (92,23) | 4,65 (37,55) | 2,02 (23,14) | 1,15 (12,29) | | | 0,77 (7,42) |
| 2000 32 | 29 (372,54) | 15,99 (182,27) | 8,02 (91,73) | 4,08 (45,89) | 2,19 (24,14) | 1,36 (12,32) | | 1,08 (8,03) |
| | | | | | | | | 1,0 (6,93) |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Tabela 2. Número efetivo de bits de ruído RMS e (ruído de pico a pico) em AVDD = 5 V, AVSS = 0 V e Referência Externa = 2,5 V**

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------|------------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 22,1 (19,9) | 21,8 (19,3) | 21,7 (19,3) | 21,6 (19,3) | 21,6 (19,4) | 21,1 (18,9) | 20,6 (18,1) | 19,6 (17,5) |
| 10 | 21,6 (19,1) | 21,5 (19,4) | 21,3 (18,8) | 21,1 (18,8) | 21 (18,8) | 20,9 (18,3) | 20,3 (17,7) | 19,1 (16,8) |
| 20 | 21 (18,5) | 21 (18,5) | 20,7 (18,3) | 20,8 (18,3) | 20,7 (18,2) | 20,3 (17,7) | 19,6 (17,2) | 18,7 (16,1) |
| 40 | 20,8 (18,1) | 20,8 (18,3) | 20,8 (18,3) | 20,6 (18,1) | 20,4 (18,1) | 20,1 (17,6) | 19 (16,6) | 18,1 (15,6) |
| 80 | 20,4 (17,8) | 20,4 (17,6) | 20,6 (17,9) | 20,3 (17,5) | 20 (17,3) | 19,6 (16,9) | 18,6 (16) | 17,7 (15,2) |
| 160 | 19,9 (16,9) | 19,9 (17,1) | 19,9 (17) | 19,8 (16,9) | 19,5 (16,7) | 19,2 (16,3) | 18,1 (15,5) | 17,2 (14,5) |
| 320 | 19 (16) | 19 (16) | 18,8 (16) | 18,9 (15,9) | 18,8 (15,9) | 18,4 (15,6) | 17,6 (14,8) | 16,7 (14) |
| 640 | 18,5 (15,4) | 18,5 (15,4) | 18,4 (15,4) | 18,6 (15,8) | 18,3 (15,1) | 17,9 (14,9) | 17,2 (14,4) | 16,3 (13,4) |
| 1000 | 17,2 (13,5) | 17,2 (13,7) | 16,7 (13,7) | 17 (14) | 17,2 (13,7) | 17,1 (13,6) | 16,6 (13,4) | 15,9 (12,9) |
| 2000 | 17,2 (13,7) | 17,3 (13,7) | 17,2 (13,7) | 17,2 (13,7) | 17,1 (13,7) | 16,8 (13,6) | 16,1 (13,2) | 15,3 (12,5) |

Tabela 3. Ruído em yVRMS e (yVPP) em AVDD = 5 V, AVSS = 0 V e Referência Interna = 2,048 V

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------|------------------|----------------|--------------|--------------|--------------|-------------|-------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 1,35 (7,78) | 0,7 (4,17) | 0,35 (2,03) | 0,17 (0,95) | 0,1 (0,53) | 0,06 (0,32) | 0,05 (0,31) | 0,05 (0,29) |
| 10 | 1,8 (10,82) | 0,88 (5,26) | 0,5 (2,75) | 0,24 (1,47) | 0,13 (0,8) | 0,09 (0,49) | 0,07 (0,39) | 0,07 (0,4) |
| 20 | 2,62 (14,32) | 1,22 (7,05) | 0,66 (3,88) | 0,35 (2,05) | 0,19 (1,09) | 0,12 (0,66) | 0,1 (0,61) | 0,1 (0,55) |
| 40 | 2,64 (16,29) | 1,34 (7,75) | 0,69 (4,06) | 0,35 (2,07) | 0,21 (1,15) | 0,15 (0,85) | 0,14 (0,81) | 0,13 (0,75) |
| 80 | 3,69 (23,62) | 1,82 (10,81) | 0,89 (5,48) | 0,51 (2,68) | 0,3 (1,69) | 0,21 (1,32) | 0,2 (1,09) | 0,18 (0,98) |
| 160 | 5,7 (35,74) | 2,63 (16,9) | 1,34 (8,82) | 0,68 (4,24) | 0,4 (2,65) | 0,3 (1,92) | 0,28 (1,88) | 0,26 (1,57) |
| 320 | 9,67 (67,44) | 4,95 (35,3) | 2,59 (17,52) | 1,29 (8,86) | 0,72 (4,35) | 0,49 (3,03) | 0,4 (2,44) | 0,37 (2,34) |
| 640 | 13,66 (93,06) | 7,04 (45,2) | 3,63 (18,73) | 1,84 (12,97) | 1,02 (6,51) | 0,68 (4,2) | 0,58 (3,69) | 0,53 (3,5) |
| 1000 | 31,18 (284,59) | 16 (129,77) | 7,58 (61,3) | 3,98 (33,04) | 2,08 (16,82) | 4,06 | 1,16 (9,08) | 0,83 (5,42) |
| 2000 | 31,42 (273,39) | 15,45 (130,68) | 8,07 (67,13) | (36,16) | 2,29 (19,22) | | 1,38 (9,87) | 1,06 (6,93) |
| | | | | | | | | 1,0 (6,48) |

Tabela 4. Número efetivo de bits de ruído RMS e (ruído de pico a pico) em AVDD = 5 V, AVSS = 0 V e Referência Interna = 2,048 V

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------|------------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 21,5 (19) | 21,5 (18,9) | 21,5 (18,9) | 21,5 (19) | 21,3 (18,9) | 21 (18,6) | 20,2 (17,7) | 19,2 (16,8) |
| 10 | 21,1 (18,5) | 21,1 (18,6) | 21 (18,4) | 21 (18,4) | 20,9 (18,3) | 20,5 (18) | 19,8 (17,3) | 18,7 (16,3) |
| 20 | 20,6 (18,1) | 20,7 (18,1) | 20,6 (18) | 20,5 (17,9) | 20,4 (17,8) | 20,1 (17,6) | 19,2 (16,7) | 18,3 (15,8) |
| 40 | 20,6 (17,9) | 20,5 (18) | 20,5 (17,9) | 20,5 (17,9) | 20,2 (17,8) | 19,7 (17,2) | 18,8 (16,3) | 17,9 (15,4) |
| 80 | 20,1 (17,4) | 20,1 (17,5) | 20,1 (17,5) | 20 (17,5) | 19,7 (17,2) | 19,2 (16,6) | 18,3 (15,8) | 17,5 (15) |
| 160 | 19,5 (16,8) | 19,6 (16,9) | 19,5 (16,8) | 19,5 (16,9) | 19,3 (16,6) | 18,7 (16) | 17,8 (15,1) | 16,9 (14,3) |
| 320 | 18,7 (15,9) | 18,7 (15,8) | 18,6 (15,8) | 18,6 (15,8) | 18,4 (15,8) | 18 (15,4) | 17,3 (14,7) | 16,4 (13,7) |
| 640 | 18,2 (15,4) | 18,1 (15,5) | 18,1 (15,7) | 18,1 (15,3) | 17,9 (15,3) | 17,5 (14,9) | 16,8 (14,1) | 15,9 (13,2) |
| 1000 | 17 (13,8) | 17 (13,9) | 17 (14) | 17 (13,9) | 16,9 (13,9) | 16,8 (13,8) | 16,2 (13,5) | 15,5 (12,7) |
| 2000 | 17 (13,9) | 17 (13,9) | 17 (13,9) | 16,9 (13,8) | 16,8 (13,7) | 16,5 (13,7) | 15,9 (13,2) | 15 (12,3) |

**Tabela 5. Ruído em V_{RMS} e (V_{PP})
em AVDD = 3 V, AVSS = 0 V e Referência Interna = 2,048 V**

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------------|------------------|----------------|---------------|--------------|--------------|--------------|---------------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 2,5 (14,24) | 1,32 (6,92) | 0,67 (3,48) | 0,32 (1,68) | 0,17 (0,9) | 0,09 (0,51) | 0,08 (0,42) | 0,07 (0,39) |
| 10 | 3,09 (16,85) | 1,69 (9,32) | 0,82 (4,68) | 0,42 (2,41) | 0,23 (1,18) | 0,11 (0,63) | 0,11 (0,66) | 0,1 (0,55) |
| 20 | 4,55 (24,74) | 2,19 (12,82) | 1,07 (5,94) | 0,55 (3,38) | 0,28 (1,66) | 0,16 (1,0) | 0,15 (0,92) | 0,14 (0,87) |
| 40 | 5,06 (34,59) | 2,39 (14,49) | 1,27 (7,75) | 0,66 (4,01) | 0,36 (2,18) | 0,21 (1,16) | 0,21 (1,27) | 0,15 (0,84) |
| 80 | 6,63 (43,46) | 3,28 (20,22) | 1,79 (10,64) | 0,89 (5,48) | 0,47 (2,95) | 0,29 (1,63) | 0,28 (1,64) | 0,21 (1,24) |
| 160 | 9,75 (68,28) | 4,89 (32,19) | 2,36 (17,74) | 1,26 (9,87) | 0,65 (4,77) | 0,4 (2,6) | 0,4 (2,7) | 0,3 (2,12) |
| 320 | 19,22 (140,06) | 9,8 (82,24) | 4,81 (32,74) | 2,47 (18,59) | 1,27 (9,45) | 0,71 (5,83) | 0,5 (3,36) | 0,43 (2,86) |
| 640 | 27,07 (192,96) | 13,54 (100,26) | 6,88 (49,07) | 3,4 (25,93) | 1,76 (12,49) | 1,02 (7,49) | 0,71 (4,81) | 0,6 (4,06) |
| 1000 | 40,83 (388,28) | 20,39 (185,96) | 10,39 (89,38) | 5,09 (43,28) | 2,66 (22,78) | 1,45 (11,01) | 2000 42,06 (322,85) | 0,93 (6,74) |
| 2000 | 21,15 (166,75) | 10,66 (92,068) | 5,61 (44,08) | 2,92 (23,06) | 1,68 (11,71) | | | 0,74 (4,86) |
| | | | | | | | 1,19 (8,23) | 1,05 (6,97) |

**Tabela 6. Número efetivo de bits de RMS e (ruído de pico a pico)
em AVDD = 3 V, AVSS = 0 V e Referência Interna = 2,048 V**

| DADOS AVALIAR (SPS) | CONFIGURAÇÃO PGA | | | | | | | |
|---------------------------|------------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 |
| 5 | 20,6 (18,1) | 20,6 (18,2) | 20,5 (18,2) | 20,6 (18,2) | 20,5 (18,1) | 20,4 (17,9) | 19,6 (17,2) | 18,8 (16,3) |
| 10 | 20,3 (17,9) | 20,2 (17,7) | 20,3 (17,7) | 20,2 (17,7) | 20,1 (17,7) | 20,1 (17,6) | 19,1 (16,6) | 18,3 (15,8) |
| 20 | 19,8 (17,3) | 19,8 (17,3) | 19,9 (17,4) | 19,8 (17,2) | 19,8 (17,2) | 19,6 (17) | 18,7 (16,1) | 17,8 (15,2) |
| 40 | 19,6 (16,9) | 19,7 (17,1) | 19,6 (17,0) | 19,6 (17) | 19,5 (16,8) | 19,2 (16,8) | 18,2 (15,6) | 17,7 (15,2) |
| 80 | 19,2 (16,5) | 19,3 (16,6) | 19,1 (16,6) | 19,1 (16,5) | 19 (16,4) | 18,7 (16,3) | 17,8 (15,3) | 17,2 (14,7) |
| 160 | 18,7 (15,9) | 18,7 (16) | 18,7 (15,8) | 18,6 (15,7) | 18,6 (15,7) | 18,3 (15,6) | 17,3 (14,5) | 16,7 (13,9) |
| 320 | 17,7 (14,8) | 17,7 (14,6) | 17,7 (14,9) | 17,7 (14,7) | 17,6 (14,7) | 17,5 (14,4) | 17 (14,2) | 16,2 (13,4) |
| 640 | 17,2 (14,4) | 17,2 (14,3) | 17,2 (14,3) | 17,2 (14,3) | 17,1 (14,3) | 16,9 (14,1) | 16,5 (13,7) | 15,7 (12,9) |
| 1000 | 16,6 (13,4) | 16,6 (13,4) | 16,6 (13,5) | 16,6 (13,5) | 16,6 (13,5) | 16,4 (13,5) | 16,1 (13,2) | 15,4 (12,7) |
| 2000 | 16,6 (13,6) | 16,6 (13,6) | 16,6 (13,4) | 16,5 (13,5) | 16,4 (13,4) | 16,2 (13,4) | 15,7 (12,9) | 14,9 (12,2) |

9 Descrição detalhada

9.1 Visão Geral

Os dispositivos ADS1246, ADS1247 e ADS1248 são conversores de dados de 24 bits altamente integrados. Os dispositivos incluem um amplificador de ganho programável (PGA) de baixo ruído e alta impedância de entrada, um ADC delta-sigma ($\Delta\Delta$) com um filtro digital de estabilização de ciclo único ajustável, oscilador interno e uma interface serial compatível com SPI.

O ADS1247 e o ADS1248 também incluem um multiplexor de entrada flexível com capacidade de monitoramento do sistema e configurações de E/S de uso geral, uma referência de tensão de desvio muito baixo e duas fontes de corrente correspondentes para excitação do sensor. A Figura 49 e a Figura 50 mostram as diversas funções incorporadas em cada dispositivo.

9.2 Diagrama de Blocos Funcionais

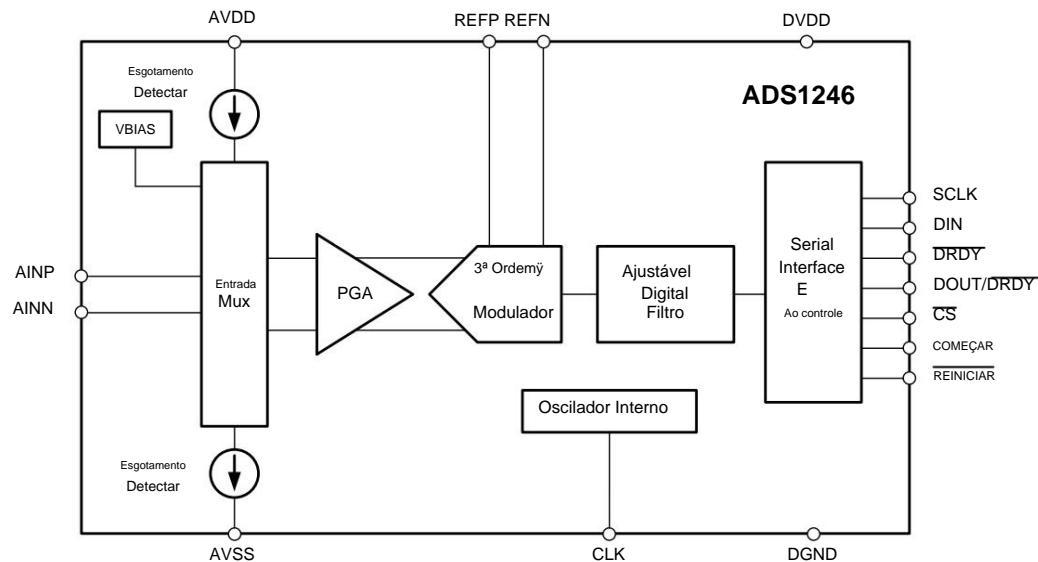


Figura 49. Diagrama de blocos ADS1246

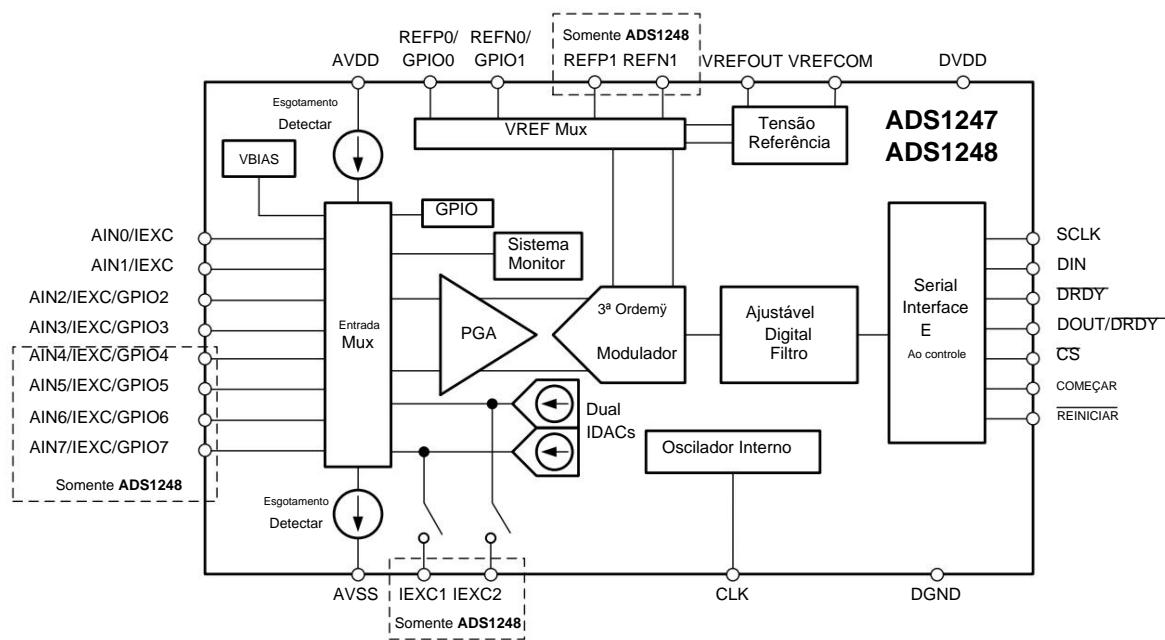


Figura 50. Diagrama de blocos ADS1247, ADS1248

9.3 Descrição do recurso

9.3.1 Entrada ADC e Multiplexador

O ADC mede o sinal de entrada através do PGA integrado. Todas as entradas analógicas são conectadas às entradas analógicas internas AINP ou AINN através do multiplexador analógico. A Figura 51 mostra um diagrama de blocos do multiplexador de entrada analógica.

O multiplexador de entrada se conecta a oito (ADS1248) ou quatro (ADS1247) entradas analógicas. Qualquer pino de entrada analógica pode ser selecionado como entrada positiva ou negativa através do registro MUX0, enquanto o ADS1246 possui conexões AINP e AINN para um único canal diferencial. O multiplexador também permite que a corrente de excitação e a tensão de polarização no chip sejam selecionadas para um canal específico.

Através do multiplexador de entrada, a temperatura ambiente (sensor de temperatura interna), AVDD, DVDD e referência externa são todos selecionáveis para medição. Consulte [Monitor do sistema](#) para obter detalhes.

No ADS1247 e ADS1248, as entradas analógicas também podem ser configuradas como entradas e saídas de uso geral (GPIOs). Consulte [E/S digital de uso geral](#) para obter mais detalhes.

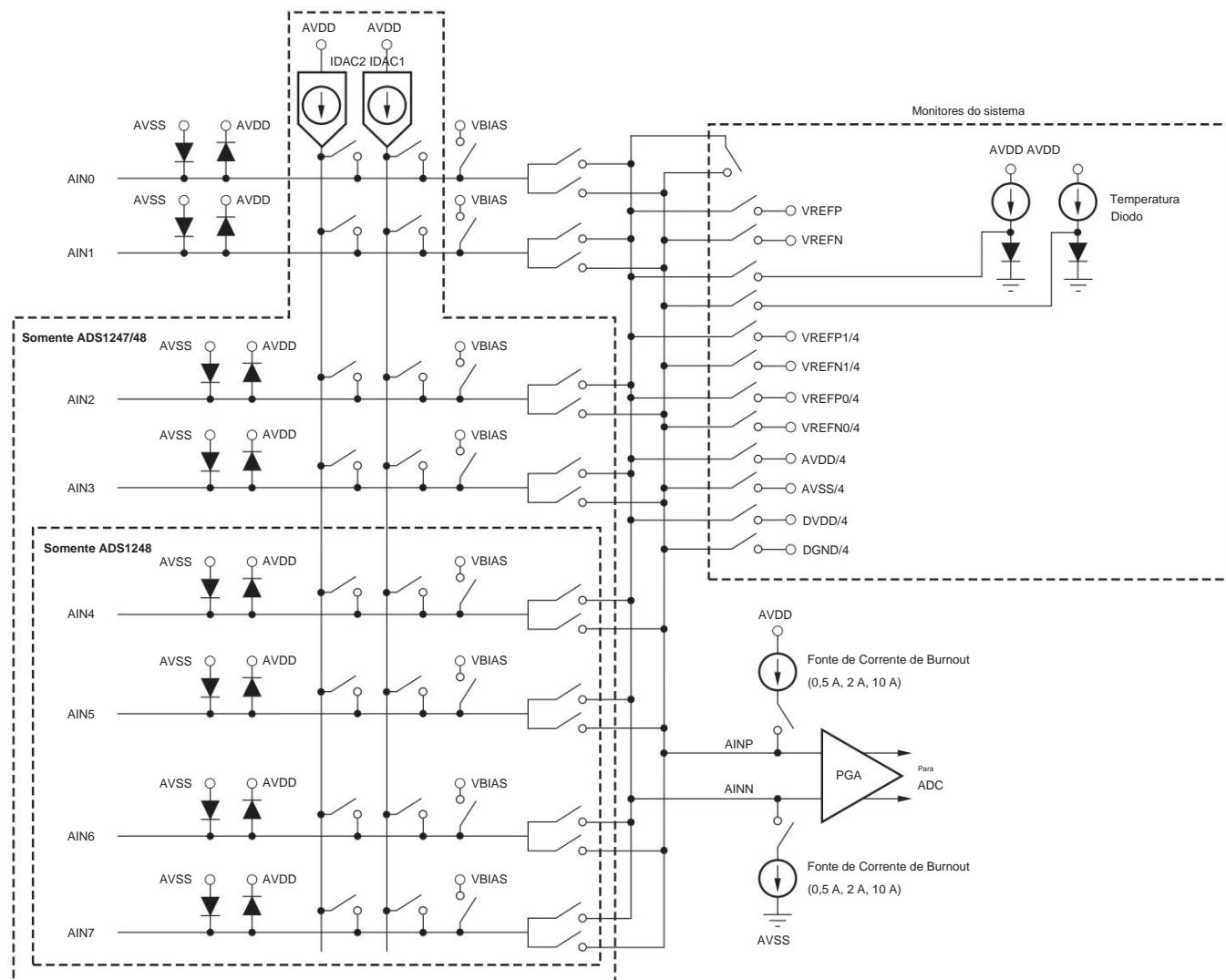


Figura 51. Circuito Multiplexador de Entrada Analógica

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

Os diodos ESD protegem as entradas ADC. Para evitar que esses diodos liguem, certifique-se de que as tensões nos pinos de entrada analógica não caem abaixo do AVSS em mais de 100 mV e não excedem AVDD em mais de 100 mV. mV, conforme mostrado na [Equação 2](#). O mesmo cuidado é verdadeiro se as entradas estiverem configuradas para serem GPIOs.

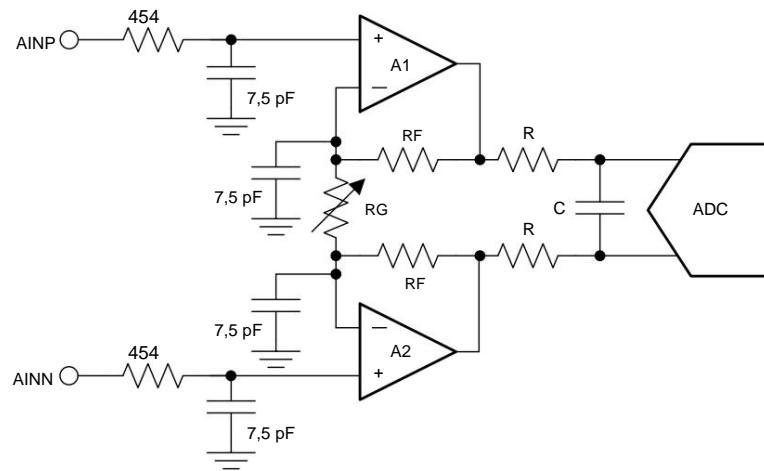
$$\text{AVSS} - 100 \text{ mV} < V(\text{AINX}) < \text{AVDD} + 100 \text{ mV} \quad (2)$$

9.3.2 PGA de baixo ruído

O ADS1246, ADS1247 e ADS1248 apresentam ganho programável de baixo desvio, baixo ruído e alta impedância de entrada amplificador (PGA). O PGA pode ser configurado para ganhos de 1, 2, 4, 8, 16, 32, 64 ou 128 pelo registro SYS0. A [Figura 52](#) mostra um diagrama simplificado do PGA.

O PGA consiste em dois amplificadores estabilizados por chopper (A1 e A2) e uma rede de realimentação de resistores que ajusta o ganho do PGA. A entrada PGA está equipada com um filtro de interferência eletromagnética (EMI), conforme mostrado na [Figura 52](#). Observe que, como acontece com qualquer PGA, certifique-se de que a tensão de entrada permaneça dentro do modo comum especificado intervalo de entrada. A tensão de entrada de modo comum (VCM) deve estar dentro da faixa mostrada na [Equação 3](#).

$$\begin{array}{c} \text{AVSS} 0,1 \text{ V } \oplus \\ \ominus \end{array} \frac{V_{\text{NO MÁX.}} - \text{Ganho}}{2} \quad V_{d_{\text{CM}}} \text{ d } \frac{V_{\text{NO MÁX.}} - \text{Ganho}}{2} \quad \begin{array}{c} \text{AVDD} 0,1 \text{ V } \ominus \\ \oplus \end{array} \quad (3)$$

**Figura 52. Diagrama Simplificado do PGA**

O ganho é alterado dentro do dispositivo usando um resistor variável, RG. A faixa de tensão de entrada diferencial em escala total (FSR) do PGA é definido pelo ajuste de ganho e pela tensão de referência utilizada, conforme mostrado na [Equação 4](#).

$$\text{FSR} = \pm \text{VREF} / \text{Ganho} \quad (4)$$

A [Tabela 7](#) mostra as faixas de entrada de fundo de escala correspondentes ao usar a referência interna de 2,048 V.

Tabela 7. Faixa em escala total PGA

| CONFIGURAÇÃO DE GANHO PGA | FSR |
|---------------------------|-----------------------|
| 1 | $\pm 2,048 \text{ V}$ |
| 2 | $\pm 1,024 \text{ V}$ |
| 4 | $\pm 0,512 \text{ V}$ |
| 8 | $\pm 0,256 \text{ V}$ |
| 16 | $\pm 0,128 \text{ V}$ |
| 32 | $\pm 0,064 \text{ V}$ |
| 64 | $\pm 0,032 \text{ V}$ |
| 128 | $\pm 0,016 \text{ V}$ |

9.3.2.1 Requisitos de tensão de modo comum PGA

Para permanecer dentro da faixa operacional linear do PGA, os sinais de entrada devem atender a certos requisitos que são discutidos nesta seção.

As saídas de ambos os amplificadores (A1 e A2) na [Figura 52](#) não podem oscilar mais perto das fontes (AVSS e AVDD) superior a 100 mV. Se as saídas OUTP e OUTN forem acionadas dentro de 100 mV dos trilhos de alimentação, os amplificadores saturarão e, consequentemente, tornar-se-ão não lineares. Para evitar esta condição operacional não linear, as tensões de saída deve atender à [Equação 5](#).

$$AVSS + 0,1 \text{ V} \leq V(\text{OUTN}), V(\text{OUTP}) \leq AVDD - 0,1 \text{ V} \quad (5)$$

Traduzir os requisitos da [Equação 5](#) em requisitos referentes às entradas do PGA (AINP e AINN) é benéfico porque não há acesso direto aos resultados da PGA. O PGA emprega um design simétrico; portanto, a tensão de modo comum na saída do PGA pode ser considerada igual à tensão de modo comum do sinal de entrada, conforme mostrado na [Figura 53](#).

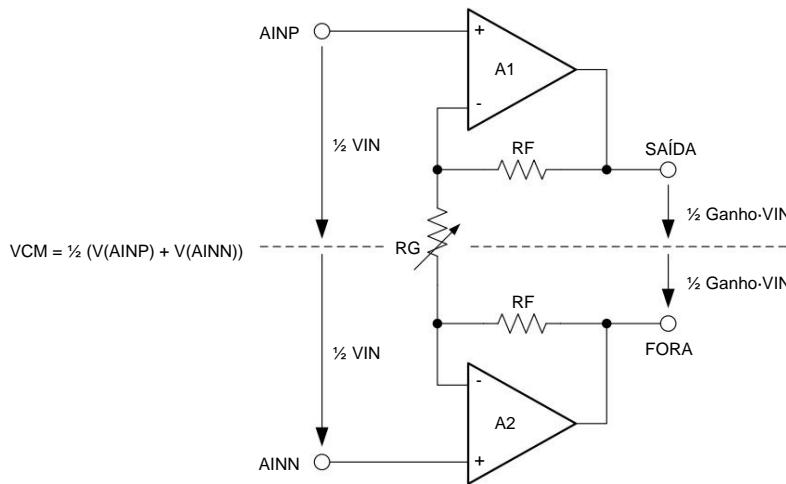


Figura 53. Tensão de modo comum PGA

A tensão de modo comum é calculada usando a [Equação 6](#).

$$VCM = \frac{1}{2} (V(AINP) + V(AINN)) = \frac{1}{2} (V(OUTP) + V(OUTN)) \quad (6)$$

As tensões nas entradas PGA (AINP e AINN) podem ser expressas como [Equação 7](#) e [Equação 8](#).

$$V(AINP) = VCM + \frac{1}{2} \text{ Ganho} \cdot VIN \quad (7)$$

$$VIN V(AINN) = VCM \quad (8)$$

– $\frac{1}{2}$ VIN As tensões de saída ($V(OUTP)$ e $V(OUTN)$) podem então ser calculadas como [Equação 9](#) e [Equação 10](#).

$$V(OUTP) = VCM + \frac{1}{2} \text{ Ganho} \cdot VIN \quad (9)$$

$$V(OUTN) = VCM - \frac{1}{2} \text{ Ganho} \cdot VIN \quad (10)$$

Os requisitos para as tensões de saída dos amplificadores A1 e A2 ([Equação 5](#)) podem agora ser traduzidos em requisitos para a faixa de tensão de modo comum de entrada usando a [Equação 9](#) e a [Equação 10](#), que são fornecidas em [Equação 11](#) e [Equação 12](#).

$$VCM (\text{MIN}) \geq AVSS + 0,1 \text{ V} + \frac{1}{2} \text{ Ganho} \cdot VIN (\text{MAX}) \quad (11)$$

$$VCM (\text{MAX}) \leq AVDD - 0,1 \text{ V} - \frac{1}{2} \text{ Ganho} \cdot VIN (\text{MAX}) \quad (12)$$

Para calcular os limites mínimo e máximo de tensão de modo comum, a tensão de entrada diferencial máxima ($VIN (\text{MAX})$) que ocorre na aplicação deve ser usado. $VIN (\text{MAX})$ pode ser menor que o máximo possível em escala real valor.

9.3.2.2 Exemplo de cálculo de tensão de modo comum PGA Os

parágrafos a seguir explicam como aplicar a [Equação 11](#) e a [Equação 12](#) a uma aplicação hipotética. A configuração para este exemplo é AVDD = 3,3 V, AVSS = 0 V e ganho = 16, usando uma referência externa, VREF = 2,5 V.

A tensão de entrada diferencial máxima possível $V_{IN} = (V(AINP) - V(AINN))$ que pode ser aplicada é então limitada à faixa completa de escala de FSR = $\pm 2,5 \text{ V} / 16 = \pm 0,156 \text{ V}$. Consequentemente, a [Equação 11](#) e a [Equação 12](#) produz uma faixa VCM permitida de 1,35 V à VCM à 1,95 V.

Se o sinal do sensor conectado às entradas nesta aplicação hipotética não fizer uso de toda a faixa de fundo de escala, mas estiver limitado a $V_{IN}(\text{MAX}) = \pm 0,1 \text{ V}$, por exemplo, então esta amplitude reduzida do sinal de entrada relaxa a restrição VCM para 0,9 V à VCM à 2,4 V.

No caso de um sinal de sensor totalmente diferencial, cada entrada (AINP, AINN) pode oscilar até $\pm 50 \text{ mV}$ em torno da tensão de modo comum ($V(AINP) + V(AINN) / 2$), que deve permanecer entre os limites de 0,9 V e 2,4 V. A saída de uma ponte de wheatstone simétrica é um exemplo de sinal totalmente diferencial. A [Figura 54](#) mostra uma situação onde a tensão de modo comum do sinal de entrada está no limite mais baixo. $V(OUTN)$ está exatamente em 0,1 V neste caso.

Qualquer diminuição adicional na tensão de modo comum (VCM) ou aumento na tensão de entrada diferencial (VIN) leva $V(OUTN)$ abaixo de 0,1 V e satura o amplificador A2.

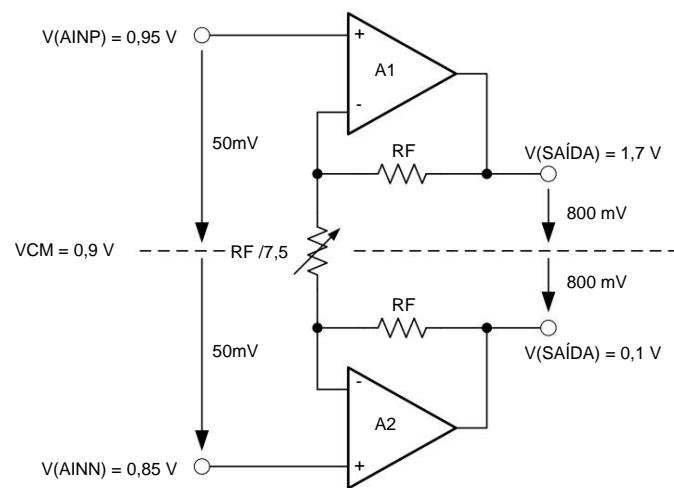


Figura 54. Exemplo onde o VCM está no limite mais baixo

Em contraste, o sinal de um RTD é de natureza pseudo-diferencial (se implementado conforme mostrado em uma das seções de exemplo de aplicação, [Medição de RTD de 3 fios](#)), onde a entrada negativa é mantida em uma tensão constante diferente de 0 V e apenas a tensão na entrada positiva muda. Quando um sinal pseudo-diferencial deve ser medido, a entrada negativa neste exemplo deve ser polarizada em uma tensão de 0,85 V a 2,35 V. A entrada positiva pode então oscilar até $V_{IN}(\text{MAX}) = 100 \text{ mV}$ acima da entrada negativa. Neste caso, a tensão de modo comum muda ao mesmo tempo que a tensão na entrada positiva muda. Ou seja, enquanto o sinal de entrada oscila entre 0 V à V_{IN} à $V_{IN}(\text{MAX})$, a tensão de modo comum oscila entre $V(AINN)$ à VCM à $V(AINN) + \frac{1}{2} V_{IN}(\text{MAX})$.

Satisfazer os requisitos de tensão de modo comum para a tensão de entrada máxima $V_{IN}(\text{MAX})$ garante que os requisitos sejam atendidos em toda a faixa do sinal.

A [Figura 55](#) e a [Figura 56](#) mostram exemplos de sinais totalmente diferenciais e pseudodiferenciais, respectivamente.

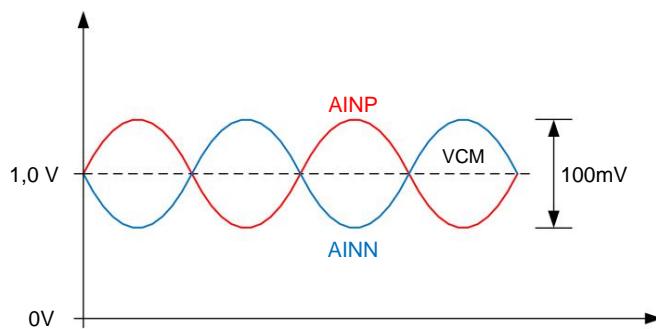


Figura 55. Sinal de entrada totalmente diferencial

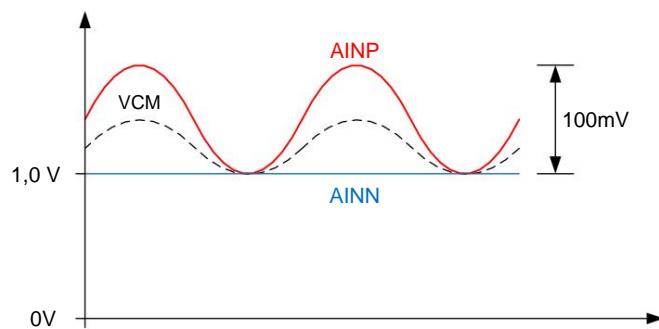


Figura 56. Sinal de entrada pseudo-diferencial

OBSERVAÇÃO

Com uma fonte de alimentação unipolar, a faixa de entrada não se estende até o terra. [Equação 11](#) e [a Equação 12](#) mostram os requisitos de tensão de modo comum.

- VCM (MIN) \geq AVSS + 0,1 V + $\frac{1}{2}$ ganho \cdot VIN (MAX)
- VCM (MAX) \leq AVDD – 0,1 V – $\frac{1}{2}$ Ganho \cdot VIN (MAX)

9.3.2.3 Impedância de Entrada Analógica

As entradas do dispositivo são armazenadas em buffer através de um PGA de alta impedância de entrada antes de chegarem ao modulador $\ddot{\text{y}}$. Para o Na maioria das aplicações, a corrente de entrada é mínima e pode ser desprezada. No entanto, como a PGA é estabilizado por chopper para desempenho de ruído e deslocamento, a impedância de entrada é melhor descrita como um pequeno valor absoluto corrente de entrada. A corrente de entrada absoluta para canais selecionados é aproximadamente proporcional à corrente selecionada relógio modulador. [A Tabela 8](#) mostra os valores típicos para estas correntes com coeficiente de tensão diferencial e o impedâncias de entrada correspondentes sobre a taxa de dados.

Tabela 8. Valores típicos para corrente de entrada analógica sobre taxa de dados(1)

| DOENÇA | CORRENTE DE ENTRADA ABSOLUTA | IMPEDÂNCIA DE ENTRADA EFICAZ |
|-------------------------------|--|------------------------------|
| DR = 5 SPS, 10 SPS, 20 SPS | $\pm (0,5 \text{ nA} + 0,1 \text{ nA/V})$ | 5000 M $\ddot{\text{y}}$ |
| DR = 40 SPS, 80 SPS, 160 SPS | $\pm (2 \text{ nA} + 0,5 \text{ nA/V}) \pm (4$ | 1200 MO $\ddot{\text{y}}$ |
| DR = 320 SPS, 640 SPS, 1 kSPS | nA + 1 nA/V) | 600 MO $\ddot{\text{y}}$ |
| DR = 2 kSPS | $\pm (8 \text{ nA} + 2 \text{ nA/V})$ | 300 M $\ddot{\text{y}}$ |

(1) Corrente de entrada com VCM = 2,5 V. TA = 25°C, AVDD = 5 V e AVSS = 0 V.

9.3.3 Fonte do Relógio

O dispositivo pode usar o oscilador interno ou um relógio externo. Conecte o pino CLK ao DGND antes ligue ou reinicie para ativar o oscilador interno. Conectando um relógio externo ao pino CLK a qualquer momento desativa o oscilador interno, passando o dispositivo a operar no relógio externo. Depois que o dispositivo muda para o relógio externo, ele não pode ser comutado de volta para o oscilador interno sem desligar e desligar as fontes de alimentação ou redefinindo o dispositivo.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.3.4 Modulador**

Um modulador delta-sigma de terceira ordem é usado nos dispositivos ADS1246, ADS1247 e ADS1248. O modulador converte a tensão de entrada analógica em um fluxo de dados modulado por código de pulso (PCM). Para economizar energia, o modulador O clock vai de 32 kHz até 512 kHz para diferentes taxas de dados, conforme mostrado na [Tabela 9](#).

Tabela 9. Frequência de clock do modulador para diferentes taxas de dados

| TAXA DE DADOS (SPS) | TAXA DO MODULADOR (fMOD) (1) (kHz) | fCLK/fMOD |
|------------------------|---------------------------------------|-----------|
| 5, 10, 20 | 32 | 128 |
| 40, 80, 160 | 128 | 32 |
| 320, 640, 1000 | 256 | 16 |
| 2000 | 512 | 8 |

(1) Usando o oscilador interno ou um clock externo de 4.096 MHz.

9.3.5 Filtro Digital

O ADC usa filtros digitais de resposta de impulso finito (FIR) de fase linear que podem ser ajustados para diferentes saídas. taxas de dados. O filtro digital sempre se estabiliza em um único ciclo.

A [Tabela 10](#) mostra as taxas de dados exatas quando é utilizado um clock externo igual a 4,096 MHz. Também é mostrado o sinal – largura de banda de 3 dB e atenuação de 50 Hz e 60 Hz. Para uma boa rejeição de 50 Hz ou 60 Hz, use um taxa de 20 SPS ou mais lenta.

As respostas de frequência do filtro digital são mostradas na [Figura 57](#) à [Figura 67](#). A [Figura 60](#) ilustra uma visão detalhada visualização da resposta de frequência do filtro de 48 Hz a 62 Hz para uma taxa de dados de 20 SPS. Todos os gráficos de filtro são gerados com um clock externo de 4.096 MHz.

As taxas de dados e as respostas de frequência do filtro digital são dimensionadas proporcionalmente às alterações na frequência do clock do sistema. A frequência do oscilador interno tem uma variação, conforme especificado em [Características Elétricas](#), que também afetará os dados taxas e a resposta de frequência do filtro digital.

Tabela 10. Especificações do Filtro Digital(1)

| NOMINAL TAXA DE DADOS | REAL TAXA DE DADOS | -3-dB LARGURA DE BANDA | ATENUAÇÃO | | | |
|--------------------------|-----------------------|---------------------------|---------------------|---------------------|-------------------|-------------------|
| | | | fIN = 50 Hz ±0,3 Hz | fIN = 60 Hz ±0,3 Hz | fIN = 50 Hz ±1 Hz | fIN = 60 Hz ±1 Hz |
| 5 SPS | 5.018 SPS | 2,26Hz | -106dB | -74dB | -81dB | -69dB |
| 10 SPS | 10.037 SPS | 4,76Hz | -106dB | -74dB | -80dB | -69dB |
| 20 SPS 20.075 SPS | 14,8Hz | -71dB | -74dB | -66dB | -68dB | - |
| 40 SPS | 40,15 SPS | 9,03Hz | - | - | - | - |
| 80 SPS 80.301 SPS | 19,8Hz | - | - | - | - | - |
| 160 FPS | 160,6 SPS | 118Hz | - | - | - | - |
| 320 SPS 321.608 SPS | 154Hz | - | - | - | - | - |
| 640 SPS 643,21 SPS | 495Hz | - | - | - | - | - |
| 1000 SPS | 1000 SPS | 732Hz | - | - | - | - |
| 2.000 SPS | 2.000 SPS | 1465Hz | - | - | - | - |

(1) Valores apresentados para fCLK = 4,096 MHz.

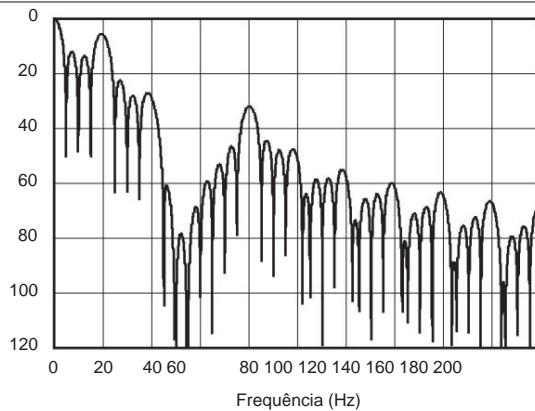


Figura 57. Perfil de filtro com taxa de dados = 5 SPS

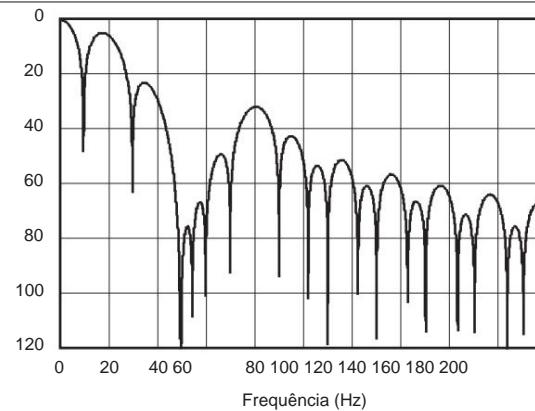


Figura 58. Perfil de filtro com taxa de dados = 10 SPS

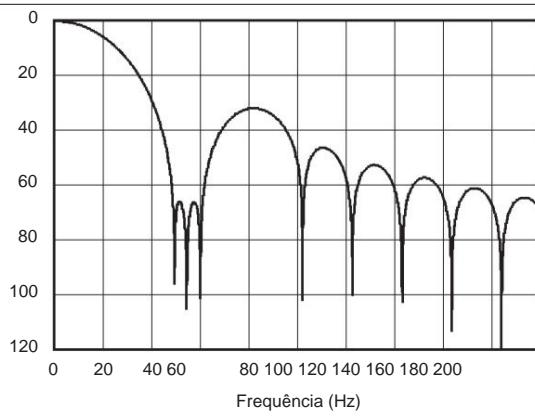


Figura 59. Perfil de filtro com taxa de dados = 20 SPS

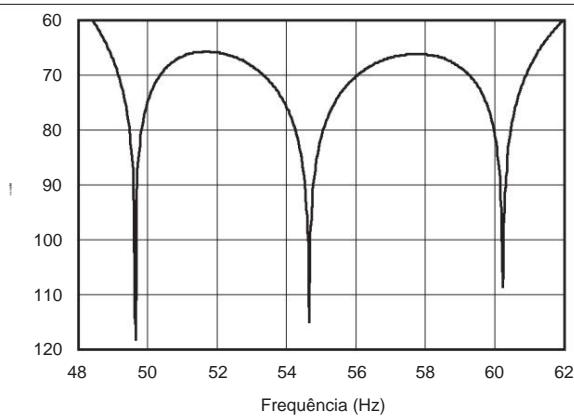


Figura 60. Visualização detalhada do perfil do filtro com taxa de dados = 20 SPS entre 48 Hz e 62 Hz

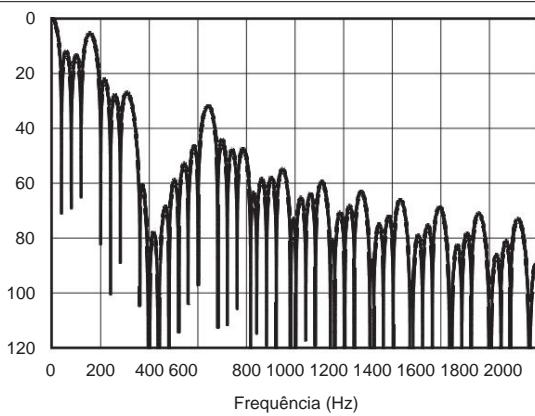


Figura 61. Perfil de filtro com taxa de dados = 40 SPS

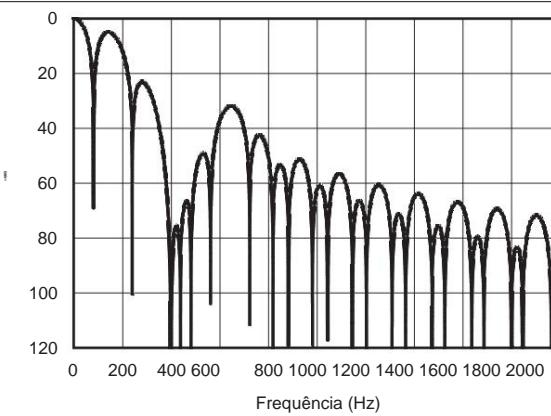


Figura 62. Perfil de filtro com taxa de dados = 80 SPS

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

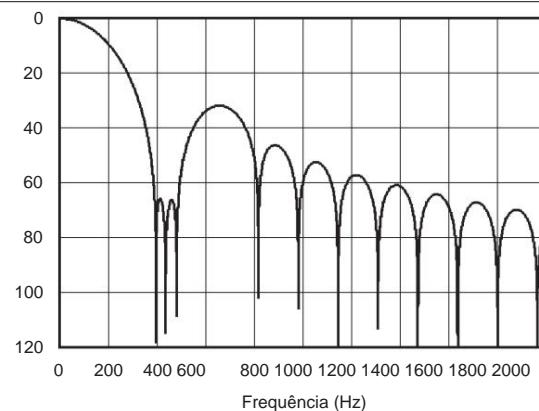
www.ti.com

Figura 63. Perfil de filtro com taxa de dados = 160 SPS

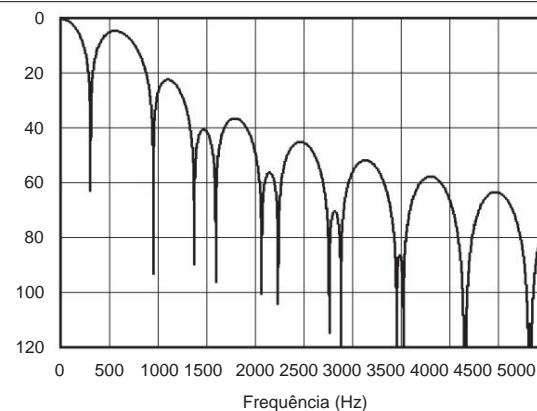


Figura 64. Perfil de filtro com taxa de dados = 320 SPS

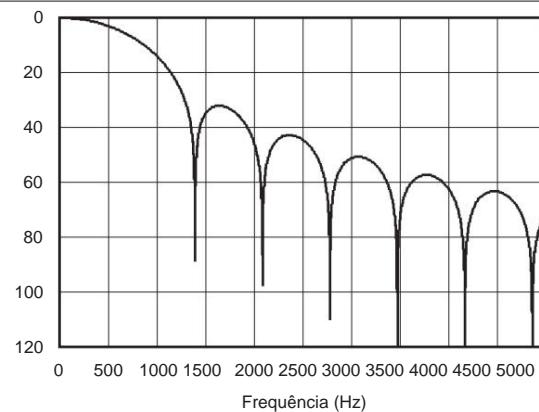


Figura 65. Perfil de filtro com taxa de dados = 640 SPS

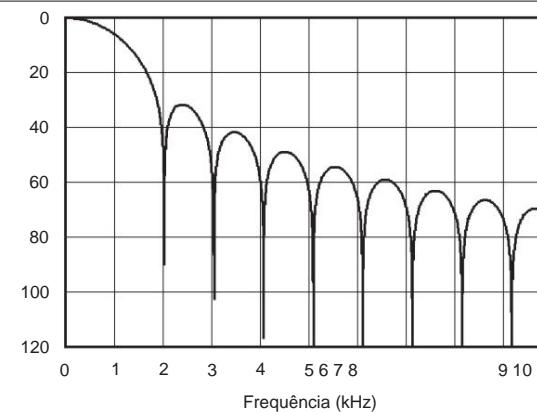


Figura 66. Perfil de filtro com taxa de dados = 1 kSPS

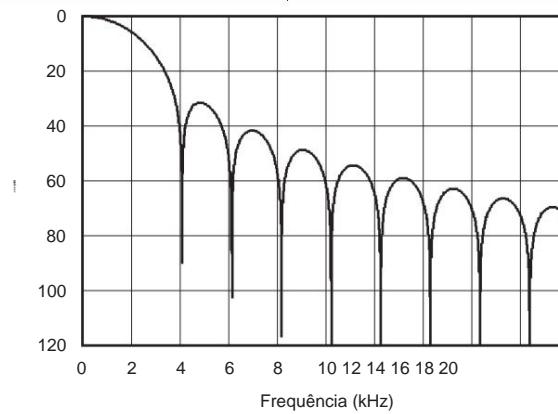


Figura 67. Perfil de filtro com taxa de dados = 2 kSPS

9.3.6 Entrada de Referência de Tensão

A referência de tensão para o dispositivo é a tensão diferencial entre REFP e REFN, dada pela [Equação 13](#):

$$V_{REF} = V(REFP) - V(REFN) \quad (13)$$

No caso do ADS1246, esses pinos são entradas dedicadas. Para o ADS1247 e ADS1248, existe um multiplexador que seleciona as entradas de referência, conforme mostrado na [Figura 68](#). A entrada de referência usa um buffer para aumentar a impedância de entrada.

Tal como acontece com as entradas analógicas, REFP0 e REFN0 podem ser configuradas como E/S digitais no ADS1247 e ADS1248.

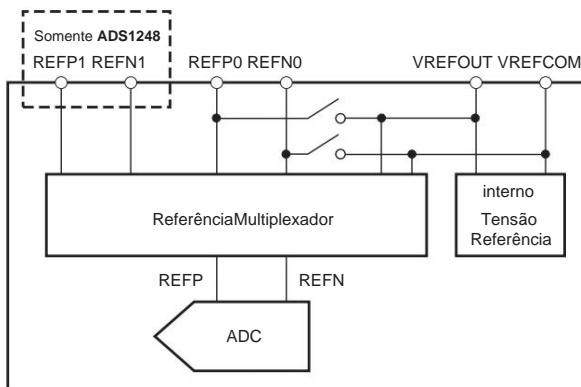


Figura 68. Multiplexador de entrada de referência

O circuito de entrada de referência possui diodos ESD para proteger as entradas. Para evitar que os diodos liguem, faça certifique-se de que a tensão no pino de entrada de referência não seja inferior a AVSS – 100 mV e não exceda AVDD + 100 mV, conforme mostrado na [Equação 14](#).

$$AVSS - 100 \text{ mV} < (V(REFP) \text{ ou } V(REFN)) < AVDD + 100 \text{ mV} \quad (14)$$

9.3.7 Referência de Tensão Interna

O ADS1247 e ADS1248 possuem referência de tensão interna com baixo coeficiente de temperatura. A saída de a referência de tensão é 2,048 V (nominal) com capacidade de fornecer e drenar até 10 mA de corrente.

A referência de tensão deve possuir um capacitor conectado entre VREFOUT e VREFCOM. O valor do capacitor deve estar na faixa de 1 μF a 47 μF . Valores grandes proporcionam mais filtragem de ruído da referência; entretanto, o tempo de ativação aumenta com a capacidade, conforme mostrado na [Tabela 11](#). Por razões de estabilidade, VREFCOM deve ter um caminho com impedância inferior a 10 Ω para nós de aterramento CA, como GND (para um sinal analógico de 0 V a 5 V). fonte de alimentação) ou AVSS (para uma fonte de alimentação analógica de $\pm 2,5$ V). Caso esta impedância seja superior a 10 Ω , conecte um capacitor de pelo menos 0,1 μF entre VREFCOM e um nó de aterramento CA (por exemplo, GND).

OBSERVAÇÃO

Como é necessário algum tempo para que a referência de tensão se estabeleça na tensão final, tome cuidado quando o dispositivo é desligado entre as conversões. Reserve tempo adequado para o processo interno de referência para liquidar totalmente antes de iniciar uma nova conversão.

Tabela 11. Tempo de Estabilização de Referência Interna

| CAPACITOR VREFOUT | ERRO DE AJUSTE | HORA DE ATINGIR O ERRO DE ESTABELECIMENTO |
|-------------------|----------------|---|
| 1 μF | $\pm 0,5\%$ | 70 μs |
| | $\pm 0,1\%$ | 110 μs |
| 4,7 μF | $\pm 0,5\%$ | 290 μs |
| | $\pm 0,1\%$ | 375 μs |
| 47 μF | $\pm 0,5\%$ | 2,2ms |
| | $\pm 0,1\%$ | 2,4ms |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

A referência interna é controlada pelo registrador MUX1; por padrão, a referência interna é desligada após a inicialização (consulte [Definições detalhadas de registro ADS1247 e ADS1248](#) para obter mais detalhes). Portanto, a referência interna deve primeiro ser ligada e depois conectada através do multiplexador de referência interna. Como a referência interna é usada para gerar a referência de corrente para as fontes de corrente de excitação, ela deve ser ligada antes que as correntes de excitação fiquem disponíveis.

9.3.8 Fontes de Corrente de Excitação

O ADS1247 e o ADS1248 fornecem duas fontes de corrente de excitação combinadas (IDACs) para aplicações RTD. Para aplicações RTD de três fios, as fontes de corrente correspondentes podem ser usadas para cancelar os erros causados pela resistência do condutor do sensor. A corrente de saída dos IDACs pode ser programada para 50 μ A, 100 μ A, 250 μ A, 500 μ A, 750 μ A, 1000 μ A ou 1500 μ A.

As duas fontes de corrente combinadas podem ser conectadas aos pinos de saída de corrente dedicados IEXC1 e IEXC2 (somente ADS1248) ou a qualquer pino de entrada analógica (ADS1247 e ADS1248); consulte [Definições detalhadas de registro ADS1247 e ADS1248](#) para obter mais informações. Ambas as fontes de corrente podem ser conectadas ao mesmo pino. A referência interna deve estar ligada e a quantidade adequada de capacidade aplicada ao VREFOUT ao usar as fontes de corrente de excitação.

9.3.9 Detecção de Sensor

Para ajudar a detectar um possível mau funcionamento do sensor, o dispositivo fornece fontes de corrente selecionáveis (0,5 μ A, 2 μ A ou 10 μ A) para atuarem como fontes de corrente de queima. Quando ativado, uma fonte de corrente fornece corrente para a entrada analógica positiva selecionada (AINP), enquanto a outra fonte de corrente drena a corrente da entrada analógica negativa selecionada (AINN).

No caso de um circuito aberto no sensor, essas fontes de corrente de queima puxam a entrada positiva para AVDD e a entrada negativa para AVSS, resultando em uma leitura completa da escala. Uma leitura completa também pode indicar que o sensor está sobrecarregado ou que a tensão de referência está ausente. Uma leitura próxima de zero pode indicar um sensor em curto.

O valor absoluto das fontes de corrente de queima normalmente varia em $\pm 10\%$ e o multiplexador interno adiciona uma pequena resistência em série. Portanto, pode ser difícil distinguir uma condição de sensor em curto de uma leitura normal, especialmente se um filtro RC for usado nas entradas. Em outras palavras, mesmo que o sensor esteja em curto, a queda de tensão na resistência do filtro externo e na resistência residual do multiplexador faz com que a saída leia um valor superior a zero.

As leituras ADC de um sensor funcional podem ser corrompidas quando as fontes de corrente de combustão são habilitadas. A TI recomenda desabilitar as fontes de corrente de queima ao realizar a medição de precisão e ativá-las apenas para testar condições de falha do sensor.

9.3.10 Geração de tensão de polarização

Uma tensão de polarização selecionável é fornecida para uso com termopares não polarizados. A tensão de polarização é $(AVDD + AVSS)/2$ e pode ser aplicada a qualquer canal de entrada analógica através do multiplexador de entrada interno. Os tempos de ativação da tensão de polarização para diferentes capacidades do sensor estão listados na [Tabela 12](#).

O gerador de tensão de polarização interna, quando selecionado em vários canais, causa curto-circuito interno.

Por isso, tome cuidado para limitar a quantidade de corrente que pode fluir através do dispositivo. A TI recomenda que sob nenhuma circunstância seja permitido que mais de 5 mA fluam através deste caminho. Isto se aplica quando o dispositivo está em operação e quando está desligado.

Tabela 12. Tempo de estabilização da tensão de polarização

| CAPACITÂNCIA DO SENSOR | TEMPO DE ESTABELECIMENTO |
|------------------------|--------------------------|
| 0,1 μ F | 220 μ s |
| 1 μ F | 2,2ms |
| 10 μ F | 22ms |
| 200 μ F | 450ms |

9.3.11 E/S digital de uso geral O ADS1248

possui oito pinos e o ADS1247 possui quatro pinos que atendem a uma dupla finalidade como entradas analógicas ou entradas e saídas digitais de uso geral (GPIOs).

Três registros controlam a função dos pinos GPIO. Use o registro de configuração GPIO (IOCFG) para habilitar um pino como pino GPIO. O registro de direção GPIO (IODIR) configura o pino GPIO como uma entrada ou uma saída.

Finalmente, o registro de dados GPIO (IODAT) contém os dados GPIO. Se um pino GPIO estiver configurado como entrada, o respectivo bit IODAT[x] lê o status do pino; se um pino GPIO estiver configurado como saída, escreva o status da saída no respectivo bit IODAT[x]. Para obter mais informações sobre o uso de pinos GPIO, consulte a seção [Definições detalhadas de registro ADS1247 e ADS1248](#).

A Figura 69 mostra um diagrama de como essas funções são combinadas em um único pino. Observe que quando o pino é configurado como GPIO, a lógica correspondente é alimentada por AVDD e AVSS. Quando o ADS1247 e o ADS1248 são operados com fontes analógicas bipolares, o GPIO emite tensões bipolares. Deve-se tomar cuidado ao carregar os pinos GPIO quando usados como saídas, pois grandes correntes podem causar queda ou ruído nas fontes analógicas.

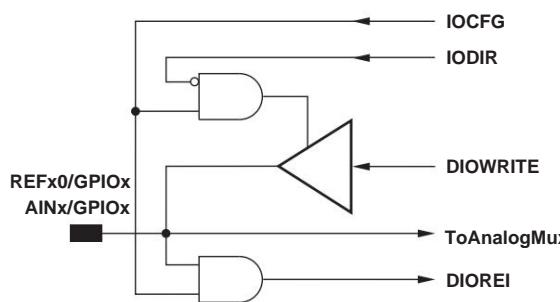


Figura 69. Pino de interface analógica e de dados

9.3.12 Monitoramento do Sistema

O ADS1247 e o ADS1248 fornecem uma função de monitoramento do sistema. Esta função pode medir a fonte de alimentação analógica, a fonte de alimentação digital, a referência de tensão externa ou a temperatura ambiente. Observe que a função de monitoramento do sistema fornece um resultado grosso. Quando o monitor do sistema está habilitado, as entradas analógicas são desconectadas.

9.3.12.1 Monitor da fonte de alimentação

O monitor do sistema pode medir a fonte de alimentação analógica ou digital. Ao medir a fonte de alimentação (VSP), a conversão resultante é de aproximadamente 1/4 da tensão real da fonte de alimentação, conforme mostrado na [Equação 15](#).

$$\text{Resultado da conversão} = (\text{VSP}/4)/\text{VREF} \quad (15)$$

9.3.12.2 Monitor de Referência de Tensão Externa O ADC

pode medir a referência de tensão externa. Nesta configuração, a referência de tensão externa monitorada (VREX) é conectada à entrada analógica. O resultado (código de conversão) é aproximadamente 1/4 da tensão de referência real, conforme mostrado na [Equação 16](#).

$$\text{Resultado da conversão} = (\text{VREX}/4)/\text{VREF} \quad (16)$$

NOTA

A tensão de referência interna deve ser habilitada ao medir uma referência de tensão externa usando o monitor do sistema.

9.3.12.3 Monitor de temperatura ambiente

Os diodos no chip fornecem capacidade de detecção de temperatura. Ao selecionar a função de monitor de temperatura, os ânodos de dois diodos são conectados ao ADC. Normalmente, a diferença na tensão do diodo é de 118 mV em TA = 25°C com um coeficiente de temperatura de 405 µV/°C.

9.4 Modos Funcionais do Dispositivo

9.4.1 Ligar

Quando o DVDD é ligado, o módulo de reinicialização interno gera um pulso que reinicia todos os circuitos digitais.¹⁶ Todos os circuitos digitais são mantidos em estado de reinicialização por 2 relógios do sistema para permitir que os circuitos analógicos e a fonte de alimentação digital interna se estabeleçam. A comunicação SPI não pode ocorrer até que o reset interno seja liberado.

9.4.2 Redefinir

Quando o pino RESET fica baixo, o dispositivo é reinicializado imediatamente. Todos os registros são restaurados aos valores padrão. O dispositivo permanece no modo de reinicialização enquanto o pino RESET permanecer baixo. Quando o pino RESET fica alto, o ADC sai do modo de reinicialização e é capaz de converter dados. Depois que o pino RESET fica alto e quando a frequência do clock do sistema é 4,096 MHz, o filtro digital e os registros são mantidos em estado de reinicialização por 0,6 ms quando fCLK = 4,096 MHz. Portanto, a comunicação SPI válida só pode ser retomada 0,6 ms após o pino RESET ficar alto; veja a [Figura 4](#). Quando o pino RESET fica baixo, a seleção do relógio é redefinida para o oscilador interno.

Um reset também pode ser executado pelo comando RESET através da interface serial e é funcionalmente igual ao uso do pino RESET. Para obter informações sobre como usar o comando RESET, consulte [RESET \(0000 011X\)](#).

9.4.3 Modo de desligamento

O consumo de energia é reduzido ao mínimo colocando o dispositivo no modo desligado. Existem duas maneiras de colocar o dispositivo no modo desligado: usando o comando SLEEP e colocando o pino START em nível baixo.

Durante o modo desligado, o status da referência interna depende da configuração dos bits VREFCON no registro MUX1; consulte [Registrar mapas](#) para obter detalhes.

9.4.4 Controle de conversão

O pino START fornece controle preciso das conversões. Pulse o pino START para alto para iniciar uma conversão, conforme mostrado na [Figura 70](#) e [Tabela 13](#). A conclusão da conversão é indicada pelo pino DOUT/DRDY quando o bit DRDY MODE for 1 no registro IDAC0. Quando a conversão for concluída, o dispositivo será desligado automaticamente. Durante o desligamento, o resultado da conversão pode ser recuperado; entretanto, START deve ser elevado antes de se comunicar com os registradores de configuração. O dispositivo permanece desligado até que o pino START retorne ao nível alto para iniciar uma nova conversão. Quando o pino START retorna para nível alto, o filtro de dizimação é mantido em um estado de reinicialização por 32 ciclos de clock do modulador internamente para permitir que os circuitos analógicos se estabilizem.

Mantar o pino START alto configurará o dispositivo para converter continuamente, conforme mostrado na [Figura 71](#).

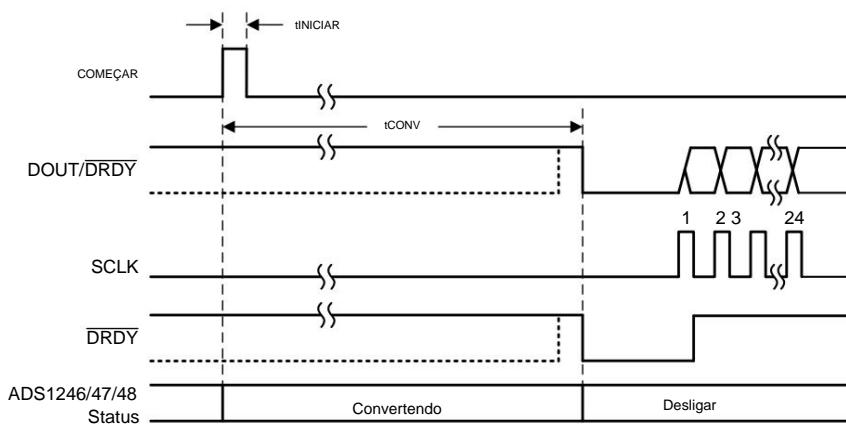
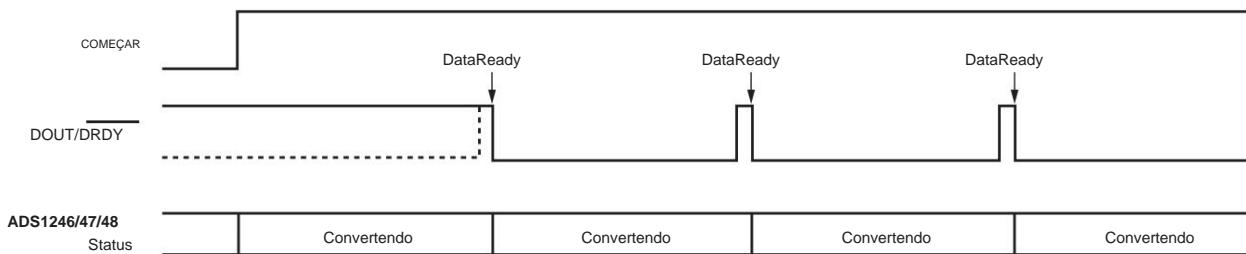


Figura 70. Tempo para conversão única usando o pino inicial

Tabela 13. Tempos de conversão do pino inicial para Figura 70(1)

| SÍMBOLO | DESCRIÇÃO | TAXA DE DADOS (SPS) | VALOR | UNIDADE |
|-------------------|--|---------------------|---------|---------|
| t _{CONV} | Tempo desde a borda de <u>subida</u> START até DRDY e DOUT/DRDY indo baixo | 5 | 200.295 | EM |
| | | 10 | 100.644 | EM |
| | | 20 | 50.825 | EM |
| | | 40 | 25.169 | EM |
| | | 80 | 12.716 | EM |
| | | 160 | 6.489 | EM |
| | | 320 | 3.247 | EM |
| | | 640 | 1.692 | EM |
| | | 1000 | 1.138 | EM |
| | | 2000 | 0,575 | EM |

(1) Para f_{CLK} = 4,096 MHz

NOTA: SCLK manteve-se baixo neste exemplo.

Figura 71. Tempo para conversão com pino inicial alto

Com o pino START mantido alto, o ADC converte os canais de entrada selecionados continuamente. Esta configuração continua até que o pino START esteja em nível baixo. O pino START também pode ser usado para executar medições para aplicações multicanal pulsando o pino START. Com vários dispositivos, se cada dispositivo recebe o pulso do pino START ao mesmo tempo, todos os dispositivos iniciam uma conversão na subida do pino inicial. Eu cai dispositivos estão operando com a mesma taxa de dados, todos os dispositivos completam a conversão ao mesmo tempo.

As conversões também podem ser iniciadas por meio de comandos SPI. Semelhante ao uso do pino START, o dispositivo pode ser colocado em modo desligado usando o comando SLEEP. Funcionalmente, isso é semelhante a pegar o pino START baixo. Para iniciar uma conversão, o comando WAKEUP liga o ADC e inicia uma conversão, semelhante a retornando o pino START para cima. Observe que o pino START deve ser mantido alto para usar comandos para controlar conversões. Não combine o uso do pino START e o uso de comandos para controlar conversões.

Além disso, o envio de um comando SYNC inicia imediatamente uma nova conversão ADC. Para o comando SYNC, o digital o filtro é redefinido, iniciando uma nova conversão sem concluir a conversão anterior. Isto é útil em sincronizar conversões de vários dispositivos ou manter a temporização periódica de vários canais.

Da mesma forma, escrever em qualquer um dos quatro primeiros registradores (MUX0, VBIAS, MUX1 ou SYS0; endereços 00h a 04h) redefine automaticamente o filtro digital. Uma alteração em qualquer um desses registros faz com que a configuração apropriada seja alterada no dispositivo, mas também reinicia a conversão semelhante a um comando SYNC.

9.4.4.1 Tempo de Estabelecimento para Multiplexação de Canais

O dispositivo é um verdadeiro conversor yy de estabilização de ciclo único. Os primeiros dados disponíveis após o início de uma conversão são totalmente estabilizado e válido para uso, desde que o sinal de entrada tenha estabilizado em seu resultado final. O tempo necessário para liquidação é aproximadamente igual ao inverso da taxa de dados. O tempo exato depende da taxa de dados específica e do operação que resultou no início de uma conversão; consulte a Tabela 14 para valores específicos.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.4.4.2 Ciclagem de canais e recuperação de sobrecarga**

Ao percorrer os canais, tome cuidado ao configurar o dispositivo para garantir que a estabilização ocorra dentro de um ciclo. Para configurações que percorrem canais MUX, mas não alteram as configurações de PGA e taxa de dados, alterar o registro MUX0 é suficiente. Entretanto, ao alterar as configurações de PGA e taxa de dados, certifique-se de que não ocorra uma condição de sobrecarga durante a transmissão. Quando os dados do registro de configuração são transferidos para o dispositivo, novas configurações tornam-se ativas ao final de cada byte do registro enviado. Portanto, uma breve condição de sobrecarga pode ocorrer durante a transmissão dos dados de configuração após a conclusão do byte MUX0 e antes da conclusão do byte SYS0. Esta sobrecarga temporária pode resultar em leituras incorretas intermitentes. Para garantir que não ocorra uma sobrecarga, pode ser necessário dividir a comunicação em duas comunicações separadas, permitindo a alteração do registo SYS0 antes da alteração do registo MUX0.

No caso de um estado de sobrecarga, tome cuidado para garantir a acomodação do ciclo único no próximo ciclo. Como o dispositivo implementa um PGA estabilizado por chopper, alterar as taxas de dados durante um estado de sobrecarga pode fazer com que o chopper fique instável. Essa instabilidade resulta em um tempo de acomodação lento. Para evitar essa estabilização lenta, sempre altere a configuração PGA ou configuração MUX para um estado não sobrecarregado antes de alterar a taxa de dados.

9.4.4.3 Assentamento de Ciclo Único

O ADS1246, ADS1247 e ADS1248 são capazes de liquidação de ciclo único em todos os ganhos e taxas de dados. Entretanto, para alcançar o estabelecimento de ciclo único a 2 kSPS, deve-se tomar cuidado especial com relação à interface que utiliza WREG para alterar um registro de configuração. Ao operar a 2 kSPS, o período SCLK não deve exceder 520 ns, e o tempo entre o início da escrita de dados de um byte de registro e o início de dados de bytes de registro subsequentes não deve exceder 4,2 μ s. Além disso, ao executar vários comandos de gravação individuais nos primeiros quatro registros, aguarde pelo menos 64 clocks do sistema antes de iniciar outro comando de gravação.

9.4.4.4 Operação de Reset do Filtro Digital

Além do comando RESET e do pino RESET, o filtro digital é redefinido automaticamente quando uma operação de gravação nos registros MUX0, VBIAS, MUX1 ou SYS0 é executada, quando um comando SYNC é emitido ou o pino START é colocado em nível alto.

O filtro é redefinido quatro relógios do sistema (tCLK) após a borda descendente do sétimo SCLK do comando SYNC. Da mesma forma, se ocorrer alguma operação de gravação no registrador MUX0, independentemente de o valor do registrador ter sido alterado ou não, o filtro é reinicializado após a conclusão da gravação do MUX0.

Se ocorrer alguma atividade de gravação nos registros VBIAS, MUX1 ou SYS0, independentemente de o valor do registro ter sido alterado ou não, o filtro será redefinido. O pulso de reset dura 32 clocks do modulador após a conclusão da operação de gravação. Se houver múltiplas operações de gravação, o pulso de reinicialização resultante pode ser visto como o resultado AND dos diferentes pulsos ativos baixos criados individualmente por cada ação.

A Tabela 14 mostra o tempo de conversão após a redefinição do filtro. Observe que este tempo depende da operação que inicia o reset. Além disso, a primeira conversão após uma redefinição do filtro tem um tempo ligeiramente diferente da segunda e das conversões subsequentes.

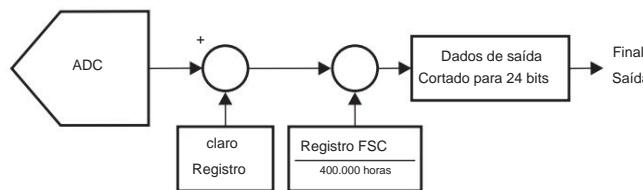
Tabela 14. Tempo de conversão de dados

| NOMINAL TAXA DE DADOS (SPS) | DADOS EXATOS AVALIAR (SPS) | PRIMEIRO TEMPO DE CONVERSÃO DE DADOS APÓS REINICIALIZAÇÃO DO FILTRO | | | | SEGUNDO E SUBSEQUENTE TEMPO DE CONVERSÃO APÓS REINICIAR FILTRO | | | | | |
|-----------------------------------|----------------------------------|---|---|---|---|--|--------|--|--|--|--|
| | | COMANDO DE SINCRONIZAÇÃO, MUX0 INSCREVA-SE ESCREVER | | REINICIALIZAÇÃO DE HARDWARE, REINICIALIZAÇÃO COMANDO, INICIAR PIN ALTO, COMANDO DE DESPERTAR, VBIAS, MUX1 ou REGISTRO SYS0 ESCREVER | | | | | | | |
| | | (ms)(1) | NÃO. DE SISTEMA RELÓGIO CICLOS | (ms)(1) | NÃO. DE SISTEMA RELÓGIO CICLOS | | | | | | |
| 5 | 5.019 | 199.258 | 816160 | 200,26 | 820265 | 199.250 | 816128 | | | | |
| 10 | 10.038 | 99.633 | 408096 | 100.635 | 412201 | 99.625 | 408064 | | | | |
| 20 | 20.075 | 49.820 | 204064 | 50.822 | 208169 | 49.812 | 204032 | | | | |
| 40 | 40.151 | 24,92 | 102072 | 25.172 | 103106 | 24.906 | 102016 | | | | |
| 80 | 80.301 | 12.467 | 51064 | 12.719 | 52098 | 12.453 | 51008 | | | | |
| 160 | 160.602 | 6.240 | 25560 | 6.492 | 26594 | 6.226 | 25504 | | | | |
| 320 | 321.608 | 3.124 | 12796 | 3,25 | 13314 | 3.109 | 12736 | | | | |
| 640 | 643.216 | 1.569 | 6428 | 1.695 | 6946 | 1.554 | 6368 | | | | |
| 1000 | 1000 | 1.014 | 4156 | 1.141 | 4674 | 1 | 4096 | | | | |
| 2000 | 2000 | 0,514 | 2108 | 0,578 | 2370 | 0,5 | 2048 | | | | |

(1) Para fCLK = 4,096 MHz.

9.4.5 Calibração

Os dados de conversão são escalonados por registros de deslocamento e ganho antes de produzir o código de saída final. Como mostrado em [Figura 72](#), a saída do filtro digital é primeiro subtraída pelo registrador de deslocamento (OFC) e depois multiplicada pelo registro de escala total (FSC) para dimensionar digitalmente o ganho. Um circuito de recorte digital garante que o código de saída não exceder 24 bits. [A Equação 17](#) mostra a escala.

**Figura 72. Diagrama de blocos de calibração**

$$\text{FinalOutputData} = (\text{Entrada OFC}[2:0] \frac{\text{FSC}[2:0]}{400.000 \text{ horas}}) \quad (17)$$

Os valores dos registros de deslocamento e fundo de escala são definidos escrevendo-os diretamente ou são definidos automaticamente por comandos de calibração.

Os recursos de calibração de compensação e ganho destinam-se à correção de pequenos erros de compensação e ganho no nível do sistema. Ao inserir valores manuais nos registros de calibração, deve-se tomar cuidado para evitar a redução do ganho registrar em valores muito abaixo de um fator de escala de 1,0. Em situações extremas é possível ultrapassar a faixa do ADC. Evite encontrar situações onde as entradas analógicas estejam conectadas a tensões superiores a VREF /ganho.

Tome cuidado ao aumentar o ganho digital com o FSC. Ao implementar ganhos digitais personalizados inferiores a 20% acima do nominal e compensações inferiores a 40% da escala completa, nenhum cuidado especial é necessário. Ao operar em digital ganhos superiores a 20% acima do nominal e compensações superiores a 40% da escala completa, certifique-se de que a compensação e os registros de ganho seguem as condições da [Equação 18](#).

$$\frac{V2}{\text{Ganho S caling}} = \text{Calibração Offset de } 1,251 \text{ V} \quad | \quad (18)$$

9.4.5.1 Registro de Calibração de Offset: OFC[2:0]

O registro de calibração de deslocamento é uma palavra de 24 bits, composta por três registros de 8 bits. O deslocamento está no formato de complemento de dois com valor positivo máximo de 7FFFFFFh e valor negativo máximo de 800000h. Este valor é subtraído dos dados de conversão. Um valor de registro de 000000h não fornece correção de deslocamento. Observe que embora o valor do registro de calibração de deslocamento possa corrigir deslocamentos que variam de –FS a +FS (conforme mostrado na [Tabela 15](#)), evite sobrecarregar as entradas analógicas.

Tabela 15. Código de saída final versus configuração do registro de calibração de deslocamento CÓDIGO DE

| REGISTRO DE COMPENSAÇÃO | SAÍDA FINAL COM VIN = 0 (1) |
|-------------------------|-----------------------------|
| 7FFFFFFh | 800.000 horas |
| 000001h | FFFFFFFFFFh |
| 000000h | 000000h |
| FFFFFFFFh | 000001h |
| 800.000 horas | 7FFFFFFh |

(1) Exclui efeitos de ruído e erros de compensação inerentes.

9.4.5.2 Registro de Calibração em Escala Total: FSC[2:0]

O registro de calibração de escala total ou ganho é uma palavra de 24 bits composta por três registros de 8 bits. O valor de calibração em escala completa é binário direto de 24 bits, normalizado para 1,0 no código 400000h. A [Tabela 16](#) resume o escalonamento do registro de escala total. Observe que embora o registro de calibração em escala total possa corrigir erros de ganho > 1 (com escala de ganho < 1), evite sobrecarregar as entradas analógicas. O valor padrão ou redefinido do FSC depende da configuração de ganho PGA. Um valor de redefinição FSC ajustado de fábrica diferente é armazenado para cada configuração de ganho PGA, o que fornece precisão de ganho em todas as faixas de entrada do dispositivo.

NOTA

O valor de redefinição do FSC ajustado de fábrica é carregado automaticamente sempre que a configuração de ganho PGA é alterada.

Tabela 16. Fator de correção de ganho versus configuração do registro de calibração em escala total

| REGISTRO EM ESCALA COMPLETA | GANHE ESCALA |
|-----------------------------|--------------|
| 800.000 horas | 2,0 |
| 400.000 horas | 1,0 |
| 200.000 horas | 0,5 |
| 000000h | 0 |

9.4.5.3 Comandos de Calibração

O dispositivo fornece comandos para três tipos de calibração: calibração de ganho do sistema, calibração de deslocamento do sistema e calibração de deslocamento automático. Quando for necessária precisão absoluta, a TI recomenda realizar uma calibração após a inicialização, uma mudança na temperatura, uma mudança no ganho e, em alguns casos, uma mudança no canal. Após a conclusão da calibração, o sinal DRDY fica baixo, indicando que a calibração foi concluída. Os primeiros dados após a calibração são sempre válidos. Se o pino START estiver em nível baixo ou um comando SLEEP for emitido após qualquer comando de calibração, o dispositivo será desligado após concluir a calibração.

Após o início de uma calibração, deixe-a ser concluída antes de emitir qualquer outro comando (exceto o comando SLEEP). Emitir comandos durante uma calibração pode resultar em dados corrompidos. Se isso ocorrer, reenvie o comando de calibração que foi abortado ou emita uma reinicialização do dispositivo.

9.4.5.3.1 Calibração de compensação do sistema e auto-

compensação A calibração de compensação do sistema corrige erros de compensação internos e externos. A calibração do deslocamento do sistema é iniciada enviando o comando SYSOCAL enquanto aplica uma entrada diferencial zero (VIN = 0) às entradas analógicas selecionadas enquanto as entradas estão dentro da faixa de modo comum de entrada, idealmente no fornecimento intermediário.

A calibração do auto-offset é iniciada enviando o comando SELFOCAL. Durante a calibração do auto-offset, o as entradas selecionadas são desconectadas do circuito interno e um sinal diferencial zero é aplicado internamente, conectando as entradas à alimentação intermediária. Com ambas as calibrações de deslocamento, o registro de calibração de deslocamento (OFC) é atualizado após. Quando qualquer comando de calibração de deslocamento é emitido, o dispositivo interrompe a conversão atual e inicia o procedimento de calibração imediatamente. Uma calibração de deslocamento deve ser realizada antes de uma calibração de ganho.

9.4.5.3.2 Calibração de Ganho do Sistema

A calibração de ganho do sistema corrige erros de ganho no caminho do sinal. A calibração do ganho do sistema é iniciada por enviar o comando SYSGCAL enquanto aplica uma entrada de fundo de escala às entradas analógicas selecionadas. Depois o o registro de calibração em escala total (FSC) é atualizado. Quando um comando de calibração de ganho do sistema é emitido, o dispositivo interrompe a conversão atual e inicia o procedimento de calibração imediatamente.

9.4.5.4 Tempo de calibração

Quando a calibração é iniciada, o dispositivo realiza 16 conversões de dados consecutivas e calcula a média dos resultados para calcular o valor de calibração. Isto fornece um valor de calibração mais preciso. O tempo necessário para calibração é mostrado na [Tabela 17](#) e pode ser calculado usando a [Equação 19](#):

$$\text{Tempo de calibração } t_{\text{CAL}} = \frac{50}{f_{\text{DADOS}}} + \frac{32}{f_{\text{DADOS}} \cdot \text{DO MOD}} + \frac{16}{f_{\text{CLK}}}$$

onde fDATA é a taxa de dados.

(19)

Tabela 17. Tempo de calibração versus taxa de dados

| TAXA DE DADOS (SPS) | TEMPO DE CALIBRAÇÃO (tCAL) (ms)(1) |
|------------------------|---------------------------------------|
| 5 | 3201.01 |
| 10 | 1601.01 |
| 20 | 801.012 |
| 40 | 400,26 |
| 80 | 200,26 |
| 160 | 100,14 |
| 320 | 50.14 |
| 640 | 25.14 |
| 1000 | 16.14 |
| 2000 | 8.07 |

(1) Para fCLK = 4,096 MHz.

9.5 Programação

9.5.1 Interface Serial

O dispositivo fornece uma interface de comunicação serial compatível com SPI, além de um sinal de prontidão para dados (DRDY). A comunicação é full-duplex com exceção de algumas limitações em relação ao comando RREG e ao Comando RATA. Essas limitações são explicadas detalhadamente em [Comandos](#). Para o tempo básico da interface serial características, consulte a [Figura 1](#) e a [Figura 2](#) deste documento.

9.5.1.1 Seleção de Chip (CS)

O pino CS ativa a comunicação SPI. CS deve ser baixo antes das transações de dados e deve permanecer baixo durante todo o período de comunicação do SPI. Quando CS está alto, o pino DOUT/DRDY entra em um estado de alta impedância. Portanto, a leitura e a gravação na interface serial são ignoradas e a interface serial é redefinida. Pino DRDY a operação é independente do CS. DRDY ainda indicará que uma nova conversão foi concluída e é forçada para alto como resposta ao SCLK, mesmo que o CS seja alto.

Levar CS alto desativa apenas a comunicação SPI com o dispositivo. A conversão de dados continua e o O sinal DRDY pode ser monitorado para verificar se um novo resultado de conversão está pronto. Um dispositivo mestre monitorando o O sinal DRDY pode selecionar o dispositivo escravo apropriado puxando o pino CS para baixo.

Programação (continuação)

9.5.1.2 Relógio Serial (SCLK)

SCLK fornece o relógio para comunicação serial. SCLK é uma entrada de gatilho Schmitt, mas a TI recomenda manter SCLK tão livre de ruído quanto possível para evitar que falhas alterem inadvertidamente os dados. Os dados são transferidos para DIN na borda descendente do SCLK e deslocado para fora de DOUT na borda ascendente do SCLK.

9.5.1.3 Entrada de Dados (DIN)

DIN é usado junto com SCLK para enviar dados ao dispositivo. Os dados DIN são transferidos para o dispositivo na queda borda do SCLK.

A comunicação deste dispositivo é de natureza full-duplex. O dispositivo monitora os comandos transferidos mesmo quando os dados estão sendo transferidos. Os dados que estão presentes no registrador de deslocamento de saída são deslocados ao enviar um comando. Portanto, certifique-se de que tudo o que está sendo enviado no pino DIN é válido ao transferir dados. Quando nenhum comando deve ser enviado ao dispositivo durante a leitura dos dados, envie o comando NOP em DIN.

9.5.1.4 Dados prontos (DRDY)

O pino DRDY fica baixo para indicar que uma nova conversão foi concluída e o resultado da conversão é armazenado no buffer de resultado de conversão. O SCLK deve ser mantido baixo para tDTS após a transição baixa do DRDY (veja a Figura 2) para que o resultado da conversão é carregado no buffer de resultados e no registrador de deslocamento de saída. Portanto, não emita comandos durante este período se o resultado da conversão for lido mais tarde. Esta restrição se aplica apenas quando CS é afirmado e o dispositivo está no modo RDATAAC. Quando CS não é ativado, a comunicação SPI com outros dispositivos no barramento SPI não afeta o carregamento do resultado da conversão. Depois que o pino DRDY vai para baixo, ele é forçado para cima a primeira borda descendente do SCLK (para que o pino DRDY possa ser pesquisado para 0 em vez de esperar por uma borda descendente). Se o pino DRDY não é elevado pelo clock em SCLKs depois de cair, um pulso curto e alto por uma duração de tPWH indica que novos dados estão prontos.

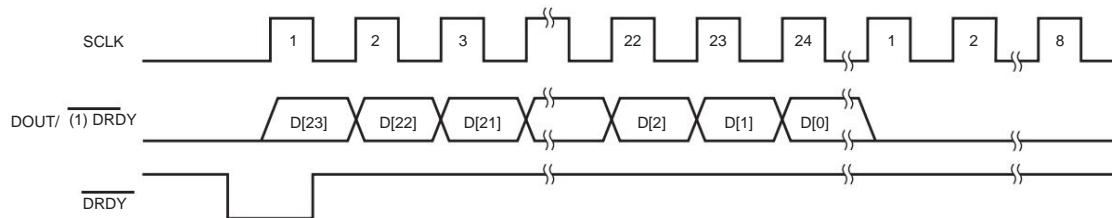
9.5.1.5 Saída de dados e dados prontos (DOUT/DRDY)

O pino DOUT/DRDY possui dois modos: somente saída de dados (DOUT) ou DOUT combinado com dados prontos (DRDY). O bit DRDY MODE determina a função deste pino e pode ser encontrado no [registrator ID](#) no ADS1246 e no [Registro IDAC0](#) no ADS1247 e ADS1248. Em qualquer modo, o pino DOUT/DRDY vai para um pino de alta impedância estado quando CS é elevado.

Quando o bit DRDY MODE é definido como 0, este pino funciona apenas como DOUT. Os dados são cronometrados na borda ascendente do SCLK, MSB primeiro (conforme mostrado na Figura 73).

Quando o bit DRDY MODE é definido como 1, este pino funciona como DOUT e DRDY. Os dados são deslocados como acontece com DOUT, mas o pino adiciona a função DRDY. Observe que este modo não estará operacional quando o dispositivo estiver em interromper o modo contínuo de leitura de dados quando o comando [SDATAC](#) for fornecido.

O bit DRDY MODE modifica apenas a funcionalidade do pino DOUT/DRDY. A funcionalidade do pino DRDY permanece não afetado.



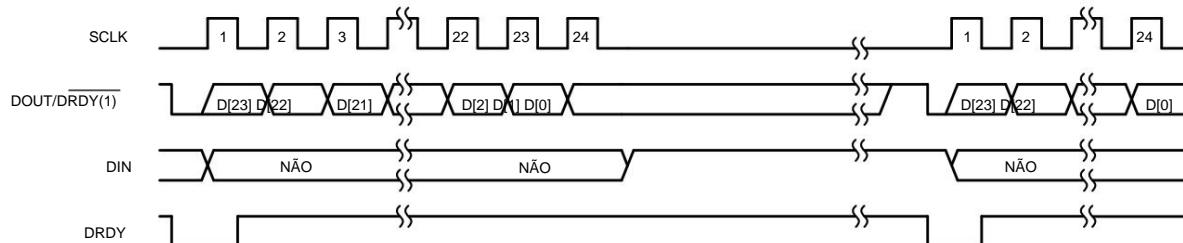
(1) CS empata em baixa.

Figura 73. Recuperação de dados com DRDY MODE Bit = 0 (desabilitado)

Quando o bit DRDY MODE é habilitado e uma nova conversão é concluída, DOUT/DRDY fica baixo se estiver alto. Se isso já estiver baixo, então DOUT/DRDY vai para alto e depois para baixo (como mostrado na Figura 74). Semelhante ao pino DRDY, uma borda descendente no pino DOUT/DRDY sinaliza que um novo resultado de conversão está pronto. Depois que DOUT/DRDY for baixo, os dados podem ser cronometrados fornecendo 24 SCLKs se o dispositivo estiver no modo de leitura contínua de dados. A fim de forçar DOUT/DRDY alto (para que DOUT/DRDY possa ser pesquisado para um 0 em vez de esperar por uma borda descendente), um não

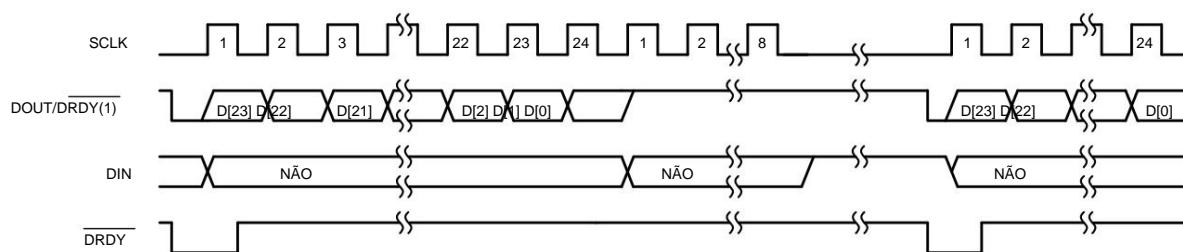
Programação (continuação)

comando de operação (NOP) ou qualquer outro comando que não carregue o registro de saída de dados pode ser enviado após lendo os dados. Como os SCLKs só podem ser enviados em múltiplos de oito, um NOP pode ser enviado para forçar DOUT/DRDY alto se nenhum outro comando estiver pendente. O pino DOUT/DRDY fica alto após a primeira borda ascendente do SCLK após ler o resultado da conversão completamente (conforme mostrado na Figura 75). A mesma condição também se aplica após um comando RREG. Após a leitura de todos os bits do registrador, a primeira borda ascendente do SCLK força DOUT/DRDY alto. A Figura 76 mostra um exemplo em que o envio de um comando NOP extra após a leitura de um registrador com um comando RREG força o pino DOUT/DRDY para alto.



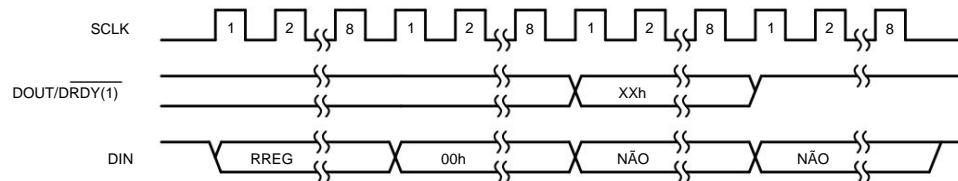
(1) CS empata em baixa.

Figura 74. Recuperação de dados com DRDY MODE Bit = 1 (habilitado)



(1) Bit DRDY MODE habilitado, CS empataido em nível baixo.

Figura 75. Alto forçado DOUT/DRDY após recuperar o resultado da conversão



(1) Bit DRDY MODE habilitado, CS empataido em nível baixo.

Figura 76. Alto forçado DOUT/DRDY após leitura dos dados do registro

9.5.1.6 Redefinição de SPI

A comunicação SPI é redefinida de diversas maneiras. Para reinicializar a interface serial (sem reinicializar os registros ou o filtro digital), o pino CS pode ser puxado para cima. Colocar o pino RESET em nível baixo redefine a interface serial junto com todos as outras funções digitais. Também retornará todos os registros aos seus valores padrão e iniciará uma nova conversão.

Em sistemas onde o CS está permanentemente vinculado, as gravações do registrador devem sempre ser totalmente concluídas em incrementos de 8 bits. Se uma falha no SCLK interromper as comunicações SPI, os comandos não serão reconhecidos pelo dispositivo. O dispositivo implementa uma função de tempo limite para todos os comandos listados no caso de os dados serem corrompidos e o pino CS ser permanentemente empataido. O tempo limite do SPI redefinirá a interface se estiver inativa por 64 ciclos de conversão.

Programação (continuação)

9.5.1.7 Comunicação SPI durante o modo Power-Down

Quando o pino

START está baixo ou o dispositivo está no modo Power-Down, apenas os comandos RDATA, RDATAC, SDATAC, WAKEUP e NOP podem ser emitidos. O comando RDATA pode ser usado para ler repetidamente o último resultado da conversão durante o modo desligado. Outros comandos não funcionam porque o relógio interno é desligado para economizar energia durante o modo desligado.

9.5.2 Formato dos Dados

O dispositivo fornece 24 bits de dados em formato binário de complemento de dois. O tamanho de um código (LSB) é calculado usando a [Equação 20](#).

$$1 \text{ LSB} = (2 \times VREF / \text{Ganho}) / 2^{24-23} + FS/2 \quad (20)$$

Uma entrada positiva de fundo de escala (FS) [$VIN \geq (+FS - 1 \text{ LSB}) = (VREF / \text{Ganho} - 1 \text{ LSB})$] produz um código de saída de 7FFFFFFh e uma entrada de fundo de escala negativo ($VIN \leq -FS = -VREF / \text{Ganho}$) produz um código de saída de 800000h. A saída corta esses códigos para sinais que excedem o fundo de escala. A [Tabela 18](#) resume os códigos de saída ideais para diferentes sinais de entrada.

Tabela 18. Código de saída ideal versus sinal de entrada

| SINAL DE ENTRADA, VIN (AINP – AINN) \hat{y} | CÓDIGO DE SAÍDA IDEAL(1) |
|--|--------------------------|
| $FS (2^{23} - 1) / 2^{23}$ | 7FFFFFFh |
| $FS/2^{23}$ | 000001h |
| 0 | 000000h |
| $-FS/2^{23}$ | FFFFFFFFFFh |
| $\hat{y} \leq -FS$ | 800.000 horas |

(1) Exclui efeitos de ruído, linearidade, deslocamento e erros de ganho.

O mapeamento do sinal de entrada analógico para os códigos de saída é mostrado na [Figura 77](#).

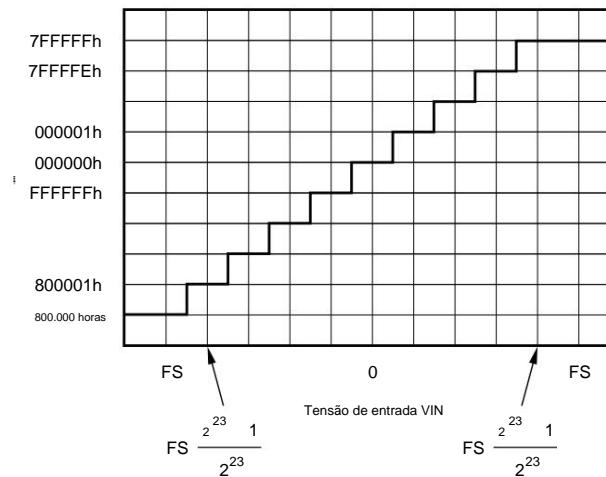


Figura 77. Diagrama de transição de código

9.5.3 Comandos

O dispositivo oferece 13 comandos para controlar a operação do dispositivo, conforme mostrado na [Tabela 19](#). Alguns dos comandos são comandos independentes (WAKEUP, SLEEP, SYNC, RESET, SYSOCAL, SYSGCAL e SELFOCAL). Existem três comandos adicionais usados para controlar a leitura de dados do dispositivo (RDATA, RDATAC e SDATAC).

Os comandos para ler (RREG) e escrever (WREG) dados de registro de configuração de e para o dispositivo requerem informações adicionais como parte da instrução. Um comando de não operação (NOP) pode ser usado para registrar dados do dispositivo sem registrar um comando.

Operandos:

- n = número de registros a serem lidos ou escritos (número de bytes – 1)
- r = registro (0 a 15)
- x = não me importo

Tabela 19. Comandos SPI

| COMANDO(1) | DESCRIÇÃO | 1º BYTE DE COMANDO | 2º BYTE DE COMANDO |
|-------------|--|---------------------------|--------------------|
| ACORDAR | Sair do modo de desligamento | 0000 000x (00h, 01h) | |
| DORMIR | Entre no modo de desligamento | 0000 001x (02h, 03h) | |
| SINCRONIZAR | Sincronize conversões ADC | 0000 010x (04h, 05h) 0000 | 0000 010x (04,05h) |
| REINICIAR | Redefinir para os valores padrão | 011x (06h, 07h) | |
| NÃO | Nenhuma operação | 1111 1111 (FFh) | |
| RDATA | Leia os dados uma vez | 0001 001x (12h, 13h) | |
| RDATAC | Ler dados em modo contínuo | 0001 010x (14h, 15h) | |
| SDATAC | Pare o modo contínuo de leitura de dados | 0001 011x (16h, 17h) | |
| RREG | Ler do registro rrrr | 0010 rrrr (2xh) | 0000 nnnn |
| WREG | Escreva para registrar rrrr | 0100 rrr (4xh) | 0000 nnnn |
| SISOCAL | Calibração de deslocamento do sistema | 0110 0000 (60h) | |
| SYSGCAL | Calibração de ganho do sistema | 0110 0001 (61h) | |
| AUTOFOCAL | Calibração de deslocamento automático | 0110 0010 (62h) | |
| Restrito | Comando restrito. Nunca envie para o dispositivo. | 1111 0001 (F1h) | |

(1) Quando o pino START está baixo ou o dispositivo está no modo desligado, apenas RDATA, RDATAC, SDATAC, WAKEUP e NOP comandos podem ser emitidos.

9.5.3.1 ACORDAR (0000 000x)

Use o comando WAKEUP para ligar o dispositivo após um comando SLEEP. Após a execução do WAKEUP comando, o dispositivo é ligado na borda descendente do oitavo SCLK.

9.5.3.2 DORMIR (0000 001x)

O comando SLEEP coloca o dispositivo no modo desligado. Quando o comando SLEEP é emitido, o dispositivo conclui a conversão atual e depois entra no modo desligado. Observe que este comando faz não desligar automaticamente a referência de tensão interna; veja os bits VREFCON no [MUX1](#) para cada dispositivo para detalhes adicionais.

Para sair do modo desligado, emita o comando WAKEUP. Conversões únicas podem ser realizadas emitindo um Comando WAKEUP seguido por um comando SLEEP.

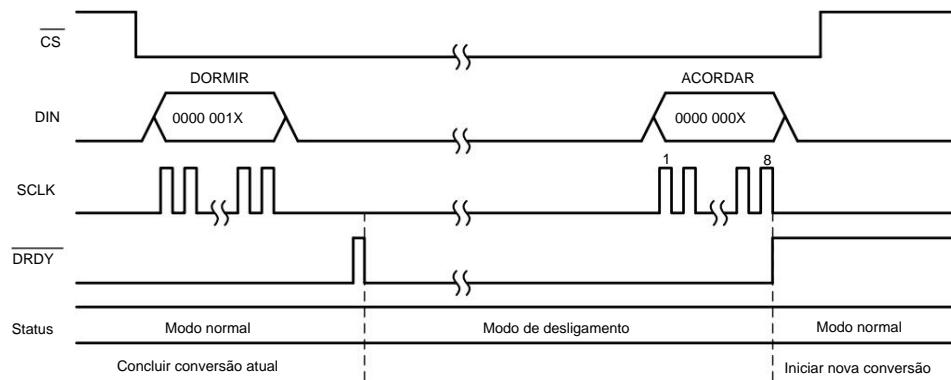
Tanto WAKEUP quanto SLEEP são os comandos de software equivalentes ao uso do pino START para controlar o dispositivo, conforme mostrado na [Figura 78](#).

OBSERVAÇÃO

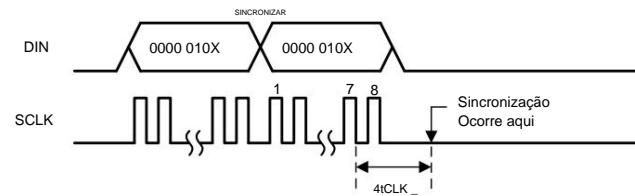
Se o pino START for mantido baixo, um comando WAKEUP não ligará o dispositivo. Quando usando o comando SLEEP, CS deve ser mantido baixo durante o desligamento modo.

ADS1246, ADS1247, ADS1248

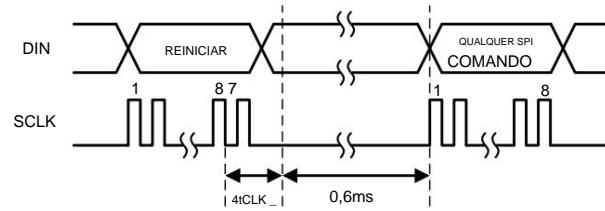
SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Figura 78. Operação dos comandos SLEEP e WAKEUP****9.5.3.3 SINCRONIZAÇÃO (0000 010x)**

O comando SYNC redefine o filtro digital ADC e inicia uma nova conversão. O pino DRDY de vários dispositivos conectados ao mesmo barramento SPI podem ser sincronizados emitindo um comando SYNC para todos os dispositivos simultaneamente.

**Figura 79. Operação do comando SYNC****9.5.3.4 REINICIAR (0000 011X)**

O comando RESET restaura os registros aos respectivos valores padrão. Este comando também redefini o filtro digital. RESET é o comando equivalente a usar o pino RESET para reiniciar o dispositivo. No entanto, o comando RESET não redefini a interface serial. Se o comando RESET for emitido quando a interface serial estiver fora de sincronização devido a uma falha no SCLK, o dispositivo não será reinicializado. O pino CS pode ser usado para redefinir a interface serial primeiro e, em seguida, um comando RESET pode ser emitido para redefinir o dispositivo. O comando RESET mantém os registros e o filtro de dizimação em um estado de reinicialização por 0,6 ms quando a frequência do clock do sistema é 4,096 MHz, semelhante à redefinição de hardware. Portanto, a comunicação SPI só pode ser iniciada 0,6 ms após o comando RESET é emitido, conforme mostrado na Figura 80.

**Figura 80. Comunicação SPI após uma redefinição de SPI****9.5.3.5 RDATA (0001 001x)**

O comando RDATA carrega o resultado da conversão mais recente no registro de saída. Depois de emitir este comando, o resultado da conversão é lido enviando 24 SCLKs, conforme mostrado na Figura 81. Este comando também funciona no modo RDATAC.

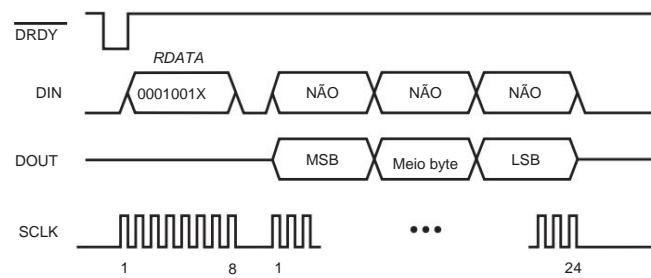


Figura 81. Ler dados uma vez

Ao realizar múltiplas leituras do resultado da conversão, o comando RDATAC pode ser enviado quando as últimas oito bits do resultado da conversão estão sendo deslocados durante o curso da primeira operação de leitura, tomando vantagem da natureza de comunicação duplex da interface serial, conforme mostrado na Figura 82.

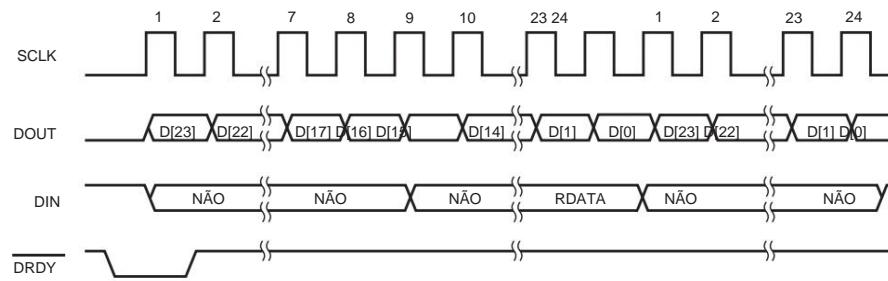


Figura 82. Usando RDATAC em modo Full-Duplex

9.5.3.6 RDATAC (0001 010x)

O comando RDATAC habilita o modo contínuo de leitura de dados. Este é o modo padrão após uma inicialização ou reinicialização. No modo de leitura contínua de dados, novos resultados de conversão são carregados automaticamente no DOUT. A conversão O resultado pode ser recebido do dispositivo após o sinal DRDY ficar baixo, enviando 24 SCLKs. Não é necessário para ler todos os bits, desde que o número de bits lidos seja um múltiplo de oito. O comando RDATAC deve ser emitido após o DRDY ficar baixo e o comando entrar em vigor no próximo DRDY.

Certifique-se de concluir a recuperação de dados (resultado da conversão ou leitura de registro) antes que o DRDY retorne para baixo ou os dados resultantes estarão corrompidos. Operações de leitura de registro bem-sucedidas no modo RDATAC requerem o conhecimento de quando ocorrer a próxima borda descendente do DRDY.

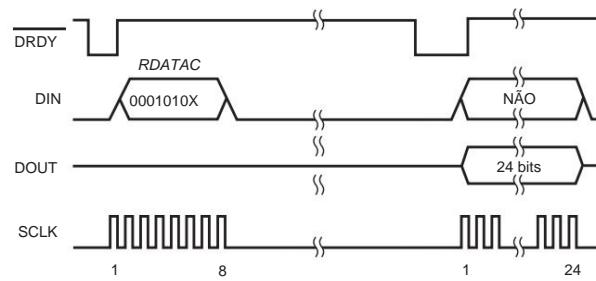


Figura 83. Ler dados continuamente

9.5.3.7 SDATAC (0001 011x)

O comando SDATAC encerra o modo contínuo de leitura de dados. No modo contínuo de parada de leitura de dados, o resultado da conversão não é carregado automaticamente no DOUT quando o DRDY fica baixo e as operações de leitura do registro podem ser executadas sem interrupção devido ao carregamento de novos resultados de conversão no registrador de deslocamento de saída. Use o Comando RDATAC para recuperar dados de conversão. O comando SDATAC entra em vigor após o próximo DRDY.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

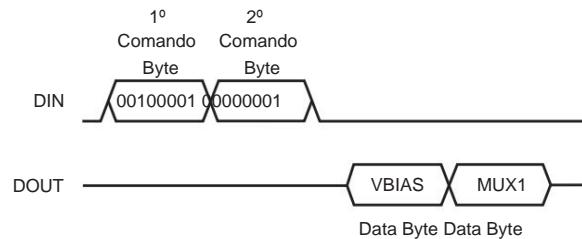
Se o DRDY não for monitorado ativamente para conversões de dados, o modo contínuo de parada de leitura de dados é o método preferido de leitura de dados. Neste modo, uma leitura de dados ADC não é interrompida pela conclusão de uma nova conversão ADC.

9.5.3.8 RREG (0010 rrr, 0000 nnnn)

O comando RREG gera dados de até 15 registros, começando com o endereço do registro especificado como parte da instrução. O número de registros lidos é um mais o valor do segundo byte. Se a contagem exceder os registros restantes, os endereços voltarão ao início. A estrutura de comando de dois bytes para RREG está listada abaixo.

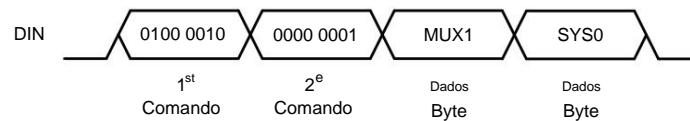
- Primeiro Byte de Comando: 0010 rrrr, onde rrrr é o endereço do primeiro registrador a ser lido. • Segundo Byte de Comando: 0000 nnnn, onde nnnn é o número de bytes a serem lidos –1. • Byte(s): os dados lidos dos registradores são cronometrados com NOPs.

Não é possível usar a natureza full-duplex da interface serial ao ler os dados do registrador. Por exemplo, um comando SYNC não pode ser emitido durante a leitura dos dados VBIAS e MUX1, conforme mostrado na [Figura 84](#). Qualquer comando enviado durante a leitura dos dados do registrador é ignorado. Assim, a TI recomenda o envio de NOPs via DIN na leitura dos dados do registro.

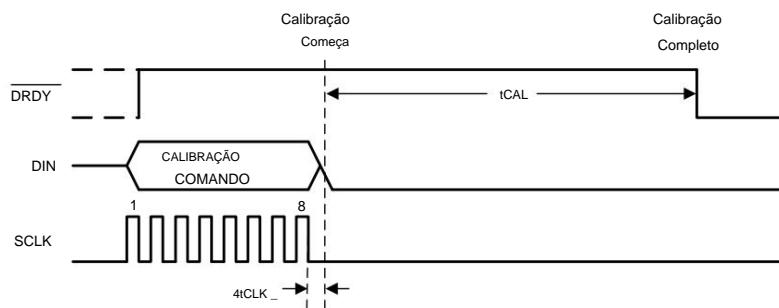
**Figura 84. Leitura do Registro****9.5.3.9 WREG (0100 rrr, 0000 nnnn)**

O comando WREG escreve nos registradores, começando com o registrador especificado como parte da instrução. O número de registros gravados é um mais o valor do segundo byte. A estrutura de comando do WREG está listada abaixo.

- Primeiro Byte de Comando: 0100 rrrr, onde rrrr é o endereço do primeiro registrador a ser escrito. • Segundo Byte de Comando: 0000 nnnn, onde nnnn é o número de bytes a serem escritos – 1. • Byte(s): dados a serem escritos nos registradores.

**Figura 85. Escreva para registrar****9.5.3.10 SYSOCAL (0110 0000)**

O comando SYSOCAL inicia uma calibração de deslocamento do sistema. Para uma calibração de compensação do sistema, as entradas devem estar em curto externo com uma tensão dentro da faixa de modo comum de entrada. As entradas devem estar próximas da tensão média de alimentação de $(AVDD + AVSS) / 2$. O registro OFC é atualizado quando o comando é concluído. O tempo para os comandos de calibração pode ser encontrado na [Figura 86](#).

**Figura 86. Comando de calibração****9.5.3.11 SYSGCAL (0110 0001)**

O comando SYSGCAL inicia a calibração de ganho do sistema. Para uma calibração de ganho do sistema, a entrada deve ser definido para escala completa. O registro FSC é atualizado após esta operação. O tempo para os comandos de calibração pode ser encontrado na [Figura 86](#).

9.5.3.12 AUTOFOCAL (0110 0010)

O comando SELFOCAL inicia uma calibração de deslocamento automático. O dispositivo causa um curto-circuito interno nas entradas para alimentação intermediária e realiza a calibração. O registro OFC é atualizado após esta operação. Tempo para a calibração comandos podem ser encontrados na [Figura 86](#).

9.5.3.13 NOP (1111 1111)

Este é um comando sem operação. Isso é usado para registrar dados sem registrar um comando.

9.5.3.14 Comando Restrito (1111 0001)

Este é um comando restrito. Este comando nunca deve ser emitido para o dispositivo.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6 Cadastrar Mapas****9.6.1 Mapa de Registro ADS1246****Tabela 20. Mapa de Registro ADS1246**

| REGISTRO DE ENDEREÇO | ENDEREÇO | PONTO 7 | PONTO 6 | PONTO 5 | PONTO 4 | PONTO 3 | PONTO 2 | PONTO 1 | BIT 0 | | | | | | | | | | | | |
|----------------------|----------|------------|----------|---------|---------|-----------|-------------|------------|-------|--|--|--|--|--|--|--|--|--|--|--|--|
| 00h | BCS | BCS[1:0] | | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | | | | | | |
| 01h | VBIAS | 0 | 0 | 0 | 0 | 0 | 0 | VBIAS[1:0] | | | | | | | | | | | | | |
| 02h | MUX1 | CLKSTAT | 0 | 0 | 0 | 0 | MUXCAL[2:0] | | | | | | | | | | | | | | |
| 03h | SYS0 | 0 | APG[2:0] | | | DR[3:0] | | | | | | | | | | | | | | | |
| 04h | OFC0 | OFC[7:0] | | | | | | | | | | | | | | | | | | | |
| 05h | OFC1 | OFC[15:8] | | | | | | | | | | | | | | | | | | | |
| 06h | OFC2 | OFC[23:16] | | | | | | | | | | | | | | | | | | | |
| 07h | FSC0 | FSC[7:0] | | | | | | | | | | | | | | | | | | | |
| 08h | FSC1 | FSC[15:8] | | | | | | | | | | | | | | | | | | | |
| 09h | FSC2 | FSC[23:16] | | | | | | | | | | | | | | | | | | | |
| 0Ah | EUIA | ID[3:0] | | | | DRDY MODO | 0 | 0 | 0 | | | | | | | | | | | | |

9.6.2 Definições detalhadas de registro ADS1246**9.6.2.1 BCS – Registro de Fonte de Corrente de Burn-out (offset = 00h) [reset = 01h]**

Esses bits controlam a queima do sensor e detectam a fonte de corrente.

Figura 87. Registro de Fonte de Corrente de Burnout

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|------|------|------|------|------|------|------|
| BCS[1:0] | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-1h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 21. Descrições dos campos do registro de fonte de corrente de queima

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7:6 | BCS[1:0] | R/W | 0h | Fonte de corrente de detecção de queima Esses bits controlam a configuração da detecção de queima do sensor fonte atual 00: Fonte de corrente queimada desligada (padrão) 01: Fonte de corrente de queima ligada, 0,5 µA 10: Fonte de corrente de queima ligada, 2 µA 11: Fonte de corrente de queima ligada, 10 µA |
| 5:0 | RESERVADO | R | 01h | Reservado Sempre escreva 000001 |

9.6.2.2 VBIAS—Registro de tensão de polarização (offset = 01h) [reset = 00h]

Este registro habilita uma tensão de polarização nas entradas analógicas.

Figura 88. Registro de tensão de polarização

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------|------|------|------|---|------------|
| 0 | 0 | 0 | 0 | 0 | 0 | | VBIAS[1:0] |
| R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | | R/W-0h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 22. Descrições dos campos do registro de tensão de polarização

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7:2 | RESERVADO | R | 00h | Reservado Sempre escreva 000000 |
| 1 | VBIAS[1] | R/W | 0h | VBIAS[1] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AINN 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada ao AINN |
| 0 | VBIAS[0] | R/W | 0h | VBIAS[0] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AINP 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada ao AINP |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.2.3 MUX—Registro de controle do multiplexador (offset = 02h) [reset = x0h]****Figura 89. Registro de controle do multiplexador**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|------|------|------|------|---|-------------|---|
| CLKSTAT | 0 | 0 | 0 | 0 | | MUXCAL[2:0] | |
| R-xh | R-0h | R-0h | R-0h | R-0h | | R/W-0h | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 23. Descrições dos campos do registro de controle do multiplexador

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7 | CLKSTAT | R | xh | Status do relógio Este bit é somente leitura e indica se o oscilador interno ou relógio externo está sendo usado. 0: Oscilador interno em uso 1: Relógio externo em uso |
| 6:3 | RESERVADO | R | 0h | Reservado Sempre escreva 0000 |
| 2:0 | MUXCAL | R/W | 0h | Controle do Monitor do Sistema Esses bits são usados para selecionar um monitor do sistema. O MUXCAL a seleção substitui as seleções do registro VBIAS. 000: Operação normal (padrão) 001: Calibração de deslocamento. As entradas analógicas estão desconectadas e AINP e AINN estão internamente conectados ao fornecimento intermediário (AVDD + AVSS) / 2. 010: Ganho de calibração. As entradas analógicas estão conectadas ao referência de tensão. 011: Medição de temperatura. As entradas estão conectadas a um circuito de diodo que produz uma tensão proporcional ao ambiente temperatura do dispositivo. |

A Tabela 24 lista a conexão de entrada ADC e as configurações PGA para cada configuração MUXCAL. A configuração PGA reverte para a configuração original do registro SYS0 quando o MUXCAL é levado de volta à operação normal ou medição de deslocamento.

Tabela 24. Configurações MUXCAL

| MUXCAL[2:0] | CONFIGURAÇÃO DE GANHO PGA | ENTRADA ADC |
|-------------|-----------------------------|---|
| 000 | Definido pelo registro SYS0 | Operação normal |
| 001 | Definido pelo registro SYS0 | Calibração de deslocamento: entradas em curto com alimentação média (AVDD + AVSS) / 2 |
| 010 | Forçado a 1 | Calibração de ganho: V(REFP) – V(REFN) (escala completa) |
| 011 | Forçado a 1 | Diodo de medição de temperatura |

9.6.2.4 SYS0—Registro de controle do sistema 0 (offset = 03h) [reset = 00h]
Figura 90. Registro de controle do sistema 0

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|----------|---|---|---------|---|---|
| 0 | | APG[2:0] | | | DR[3:0] | | |
| R-0h | | R/W-0h | | | R/W-0h | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 25. Descrições dos campos do registro de controle do sistema 0

| Pedapo | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7 | RESERVADO | R | 0h | Reservado Este bit deve sempre ser definido como 0 |
| 6:4 | APG[2:0] | R/W | 0h | Configuração de ganho para PGA Esses bits determinam o ganho do PGA 000: PGA = 1 (padrão) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128 |
| 3:0 | DR[3:0] | R/W | 0h | Configuração da taxa de saída de dados Esses bits determinam a taxa de saída de dados do ADC 0000: DR = 5 SPS (padrão) 0001: DR = 10 SPS 0010: DR = 20 SPS 0011: DR = 40 SPS 0100: DR = 80 SPS 0101: DR = 160 SPS 0110: DR = 320 SPS 0111: DR = 640 SPS 1000: DR = 1000 SPS 1001 a 1111: DR = 2.000 SPS |

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.2.5 OFC — Registros de Coeficiente de Calibração de Offset (offset = 04h, 05h, 06h) [reset = 00h, 00h, 00h]**

Esses bits constituem o registro do coeficiente de calibração de deslocamento do ADS1246.

Figura 91. Registros de coeficiente de calibração de deslocamento

| | | | | | | | |
|------------|----|----|----|----|----|----|----|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OFC[7:0] | | | | | | | |
| R/W-00h | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OFC[15:8] | | | | | | | |
| R/W-00h | | | | | | | |
| 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| OFC[23:16] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 26. Descrições dos campos do registro do coeficiente de calibração de deslocamento

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|--|--|
| 23:00 | OFC[23:0] | R/W | Registro de calibração de deslocamento 000000h | Três registros compõem a palavra de calibração de deslocamento de 24 bits do ADC. A palavra de 24 bits tem formato de complemento de dois e é deslocada internamente para a esquerda para se alinhar com o resultado da conversão ADC de 24 bits. O ADC subtrai o valor do registro do resultado da conversão antes de completar operação em escala. |

9.6.2.6 FSC – Registros de Coeficiente de Calibração em Escala Total (offset = 07h, 08h, 09h) [reset = PGA dependente]

Esses bits constituem o registro do coeficiente de calibração em escala total. O valor de reinicialização do FSC é ajustado de fábrica para cada configuração PGA. O valor de redefinição do FSC ajustado de fábrica é carregado automaticamente sempre que a configuração PGA é mudado.

Figura 92. Registros de coeficiente de calibração em escala real

| | | | | | | | |
|------------|----|----|----|----|----|----|----|
| 7 | 6 | 5 | 4 | 3 | 2 | 4 | 0 |
| FSC[7:0] | | | | | | | |
| R/W-xxh | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| FSC[15:8] | | | | | | | |
| R/W-xxh | | | | | | | |
| 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| FSC[23:16] | | | | | | | |
| R/W-xxh | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 27. Descrições dos campos do registro do coeficiente de calibração em escala real

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 23:00 | FSC[23:0] | R/W | xxxxxxh | Registro de calibração em escala real Três registros compõem a calibração em escala total do ADC de 24 bits palavra. A palavra de 24 bits é binária direta. A ADC divide o valor do registro pelo registro FSC em 400.000h para derivar o fator de escala para calibração. Após a calibração do offset, o ADC multiplica o fator de escala pelo resultado da conversão. O valor de redefinição do FSC ajustado de fábrica é carregado automaticamente sempre que a configuração PGA foi alterada. |

9.6.2.7 ID—Registro de ID (offset = 0Ah) [reset = x0h]**Figura 93. Registro de ID**

| | | | | | | | |
|---|---|---|---------|-----------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | ID[3:0] | MODO SECO | 0 | 0 | 0 |
| | | | R-xh | R/W-0h | R-0h | R-0h | R-0h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 28. Descrições dos campos de registro de ID

| Pedraço | Campo | Tipo | Reiniciar | Descrição |
|---------------|-----------|------|-----------|---|
| 7:4 | ID[3:0] | R | xh | Identificação da Revisão Bits somente leitura programados de fábrica; usado para revisão identificação. |
| 3 | MODO SECO | R/W | 0h | Configuração do modo pronto para dados Este bit define a funcionalidade do pino DOUT/DRDY. Em qualquer configuração do bit DRDY MODE, o pino DRDY dedicado continua a indicar dados prontos, ativo baixo. 0: O pino DOUT/DRDY funciona apenas como saída de dados (padrão) 1: O pino DOUT/DRDY funciona como saída de dados e pronto para dados, ativo baixo(1) |
| 2:0 RESERVADO | | R | 0h | RESERVADO Esses bits devem sempre ser definidos como 000 |

(1) Não pode ser usado no modo SDATAC

9.6.3 Mapa de Registro ADS1247 e ADS1248**Tabela 29. Mapa de Registro ADS1247 e ADS1248**

| REGISTRO DE ENDEREÇO | PONTO 7 | PONTO 6 | PONTO 5 | PONTO 4 | PONTO 3 | PONTO 2 | PONTO 1 | BITO 0 | | | |
|----------------------|----------|------------|--------------|-------------|-----------------|-------------|---------|--------|--|--|--|
| 00h | MUX0 | BCS[1:0] | | MUX_SP[2:0] | | MUX_SN[2:0] | | | | | |
| 01h | VBIAS | VBIAS[7:0] | | | | | | | | | |
| 02h | MUX1 | CLKSTAT | VREFCON[1:0] | | REFERÊNCIA[1:0] | MUXCAL[2:0] | | | | | |
| 03h | SYS0 | 0 | APG[2:0] | | | DR[3:0] | | | | | |
| 04h | OFC0 | OFC[7:0] | | | | | | | | | |
| 05h | OFC1 | OFC[15:8] | | | | | | | | | |
| 06h | OFC2 | OFC[23:16] | | | | | | | | | |
| 07h | FSC0 | FSC[7:0] | | | | | | | | | |
| 08h | FSC1 | FSC[15:8] | | | | | | | | | |
| 09h | FSC2 | FSC[23:16] | | | | | | | | | |
| 0Ah | IDAC0 | ID[3:0] | | | DRDY MODO | IMAGEM[2:0] | | | | | |
| 0Bh | IDAC1 | I1DIR[3:0] | | | I2DIR[3:0] | | | | | | |
| 0Ch | GPIOCFG | IOCFG[7:0] | | | | | | | | | |
| 0Dh | GPIODIR | IODIR[7:0] | | | | | | | | | |
| 0Eh | GPIODATO | IODAT[7:0] | | | | | | | | | |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.4 Definições detalhadas de registro ADS1247 e ADS1248****9.6.4.1 MUX0—Registro de controle do multiplexador 0 (offset = 00h) [reset = 01h]**

Este registro permite que qualquer combinação de entradas diferenciais seja selecionada em qualquer um dos canais de entrada. Observe que esta configuração pode ser substituída pelos bits MUXCAL e VBIAS.

Figura 94. Registro de controle do multiplexador 0

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|---|-------------|---|-------------|---|---|---|
| BCS[1:0] | | MUX_SP[2:0] | | MUX_SN[2:0] | | | |
| R/W-0h | | R/W-0h | | R/W-1h | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 30. Descrições dos campos do registro 0 do registro de controle do multiplexador

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-------------|------|-----------|---|
| 7:6 | BCS[1:0] | R/W | 0h | Burn-out Detectar Registro de Fonte Atual Esses bits controlam a configuração da detecção de desgaste do sensor fonte atual 00: Fonte de corrente queimada desligada (padrão) 01: Fonte de corrente de queima ligada, 0,5 µA 10: Fonte de corrente de queima ligada, 2 µA 11: Fonte de corrente de queima ligada, 10 µA |
| 5:3 | MUX_SP[2:0] | R/W | 0h | Seleção do Multiplexador - Entrada Positiva ADC Bits de seleção de canal de entrada positivos 000: AIN0 (padrão) 001: AIN1 010: AIN2 011: AIN3 100: AIN4 (somente ADS1248) 101: AIN5 (somente ADS1248) 110: AIN6 (somente ADS1248) 111: AIN7 (somente ADS1248) |
| 2:0 | MUX_SN[2:0] | R/W | 1h | Seleção do Multiplexador - Entrada Negativa ADC Bits de seleção de canal de entrada negativo 000: AIN0 001: AIN1 (padrão) 010: AIN2 011: AIN3 100: AIN4 (somente ADS1248) 101: AIN5 (somente ADS1248) 110: AIN6 (somente ADS1248) 111: AIN7 (somente ADS1248) |

9.6.4.2 VBIAS—Registro de tensão de polarização (offset = 01h) [reset = 00h]**Figura 95. Registro de tensão de polarização (ADS1247)**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------|------|---|---|---|------------|
| 0 | 0 | 0 | 0 | | | | VBIAS[3:0] |
| R-0h | R-0h | R-0h | R-0h | | | | R/W-0h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 31. Descrições dos campos do registro de tensão de polarização (ADS1247)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|---------------|----------|------|-----------|--|
| 7:4 RESERVADO | | R | 0h | Reservado Sempre escreva 0000 |
| 3 | VBIAS[3] | R/W | 0h | VBIAS[3] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN3 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN3 |
| 2 | VBIAS[2] | R/W | 0h | VBIAS[2] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN2 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN2 |
| 1 | VBIAS[1] | R/W | 0h | VBIAS[1] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN1 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN1 |
| 0 | VBIAS[0] | R/W | 0h | VBIAS[0] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN0 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN0 |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Figura 96. Registro de tensão de polarização (ADS1248)**

| | | | | | | | |
|------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| VBIAS[7:0] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 32. Descrições dos campos do registro de tensão de polarização (ADS1248)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|----------|------|-----------|--|
| 7 | VBIAS[7] | R/W | 0h | VBIAS[7] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN7 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN7 |
| 6 | VBIAS[6] | R/W | 0h | VBIAS[6] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN6 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN6 |
| 5 | VBIAS[5] | R/W | 0h | VBIAS[5] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN5 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN5 |
| 4 | VBIAS[4] | R/W | 0h | VBIAS[4] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN4 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN4 |
| 3 | VBIAS[3] | R/W | 0h | VBIAS[3] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN3 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN3 |
| 2 | VBIAS[2] | R/W | 0h | VBIAS[2] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN2 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN2 |
| 1 | VBIAS[1] | R/W | 0h | VBIAS[1] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN1 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN1 |
| 0 | VBIAS[0] | R/W | 0h | VBIAS[0] Habilitação de Tensão Uma tensão de polarização de alimentação média (AVDD + AVSS) / 2 é aplicada a AIN0 0: A tensão de polarização não está habilitada (padrão) 1: A tensão de polarização é aplicada a AIN0 |

9.6.4.3 MUX1—Registro de controle do multiplexador 1 (offset = 02h) [reset = x0h]**Figura 97. Registro de controle do multiplexador 1**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|--------------|-----------------|---|---|-------------|---|---|
| CLKSTAT | VREFCON[1:0] | REFERÊNCIA[1:0] | | | MUXCAL[2:0] | | |
| R-xh | R/W-0h | R/W-0h | | | R/W-0h | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 33. Descrições dos campos do registro 0 do registro de controle do multiplexador

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------------|------|-----------|---|
| 7 | CLKSTAT | R | xh | Status do relógio Este bit é somente leitura e indica se o oscilador interno ou relógio externo está sendo usado 0: Oscilador interno em uso 1: Relógio externo em uso |
| 6:5 | VREFCON[1:0] | R/W | 0h | Controle de Referência Interna Esses bits controlam a referência de tensão interna. Esses bits permitem referência seja ligada ou desligada completamente, ou permitir que o estado de referência para acompanhar o estado do dispositivo. Observe que a referência interna é necessário para a operação das funções do IDAC. 00: A referência interna está sempre desligada (padrão) 01: A referência interna está sempre ativada 10 ou 11: A referência interna está ativada quando uma conversão está em andamento e desliga quando o dispositivo recebe um comando SLEEP ou o O pin START está baixo |
| 4:3 | REFERÊNCIA[1:0] | R/W | 0h | Controle de seleção de referência Esses bits selecionam a entrada de referência para o ADC. 00: Entradas de referência REFP0 e REFNO selecionadas (padrão) 01: Entradas de referência REFP1 e REFN1 selecionadas (somente ADS1248) 10: Referência interna selecionada 11: Referência interna selecionada e conectada internamente ao REFP0 e Pinos de entrada REFNO |
| 2:0 | MUXCAL[2:0](1) | R/W | 0h | Controle do Monitor do Sistema Esses bits são usados para selecionar um monitor do sistema. A seleção MUXCAL substitui seleções dos registros MUX0, MUX1 e VBIAS (inclui MUX_SP, MUX_SN, VBIAS e seleções de entrada de referência). 000: Operação normal (padrão) 001: Calibração de deslocamento. As entradas analógicas são desconectadas e AINP e AINN estão conectados internamente ao fornecimento intermediário (AVDD + AVSS) / 2. 010: Ganho de calibração. As entradas analógicas estão conectadas à tensão referência. 011: Medição de temperatura. As entradas são conectadas a um diodo circuito que produz uma tensão proporcional à temperatura ambiente do dispositivo. 100: Monitor REF1. As entradas analógicas são desconectadas e AINP e AINN estão conectados internamente a $(V(\text{REFP1}) - V(\text{REFN1})) / 4$ (ADS1248 apenas) 101: Monitor REF0. As entradas analógicas são desconectadas e AINP e AINN estão conectados internamente a $(V(\text{REFP0}) - V(\text{REFN0})) / 4$ 110: Monitor de alimentação analógica. As entradas analógicas estão desconectadas e AINP e AINN estão conectados internamente a $(\text{AVDD} - \text{AVSS}) / 4$ 111: Monitor digital de alimentação. As entradas analógicas estão desconectadas e AINP e AINN estão conectados internamente a $(\text{DVDD} - \text{DGND}) / 4$ |

(1) Ao usar qualquer um dos monitores de referência, a referência interna deve estar habilitada.

A Tabela 34 fornece a conexão de entrada ADC e as configurações PGA para cada configuração MUXCAL. A configuração PGA reverte para a configuração original do registro SYS0 quando MUXCAL é levado de volta à operação normal ou deslocamento medição.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**Tabela 34. Configurações MUXCAL**

| MUXCAL[2:0] | CONFIGURAÇÃO DE GANHO PGA | ENTRADA ADC |
|-------------|-----------------------------|---|
| 000 | Definido pelo registro SYS0 | Operação normal |
| 001 | Definido pelo registro SYS0 | Entradas em curto com alimentação média (AVDD + AVSS) / 2 |
| 010 | Forçado a 1 | $V(\text{REFP}) - V(\text{REFN})$ (escala completa) |
| 011 | Forçado a 1 | Díodo de medição de temperatura |
| 100 | Forçado a 1 | $(V(\text{REFP1}) - V(\text{REFN1})) / 4$ |
| 101 | Forçado a 1 | $(V(\text{REFP0}) - V(\text{REFN0})) / 4$ |
| 110 | Forçado a 1 | $(\text{AVDD} - \text{AVSS}) / 4$ |
| 111 | Forçado a 1 | $(\text{DVDD}-\text{DGND}) / 4$ |

9.6.4.4 SYS0—Registro de controle do sistema 0 (offset = 03h) [reset = 00h]**Figura 98. Registro de controle do sistema 0**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|----------|---|---|---------|---|---|
| 0 | | APG[2:0] | | | DR[3:0] | | |
| R-0h | | R/W-0h | | | R/W-0h | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 35. Descrições dos campos do registro de controle do sistema 0

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7 | RESERVADO | R | 0h | Reservado Este bit deve sempre ser definido como 0 |
| 6:4 | APG[2:0] | R/W | 0h | Configuração de ganho para PGA Esses bits determinam o ganho do PGA 000: PGA = 1 (padrão) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128 |
| 3:0 | DR[3:0] | R/W | 0h | Configuração da taxa de saída de dados Esses bits determinam a taxa de saída de dados do ADC 0000: DR = 5 SPS (padrão) 0001: DR = 10 SPS 0010: DR = 20 SPS 0011: DR = 40 SPS 0100: DR = 80 SPS 0101: DR = 160 SPS 0110: DR = 320 SPS 0111: DR = 640 SPS 1000: DR = 1000 SPS 1001 a 1111: DR = 2.000 SPS |

9.6.4.5 OFC—Registro do Coeficiente de Calibração Offset (offset = 04h, 05h, 06h) [reset = 00h, 00h, 00h]

Esses bits constituem o registro do coeficiente de calibração de deslocamento do ADS1247 e ADS1248.

Figura 99. Registro do coeficiente de calibração de offset

| | | | | | | | |
|------------|----|----|----|----|----|----|----|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OFC[7:0] | | | | | | | |
| R/W-00h | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OFC[15:8] | | | | | | | |
| R/W-00h | | | | | | | |
| 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| OFC[23:16] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 36. Descrições dos campos do registro do coeficiente de calibração de deslocamento

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|--|--|
| 23:00 | OFC[23:0] | R/W | Registro de calibração de deslocamento 000000h | Três registros compõem a palavra de calibração de deslocamento de 24 bits do ADC. A palavra de 24 bits tem formato de complemento de dois e é deslocada internamente para a esquerda para se alinhar com o resultado da conversão ADC de 24 bits. O ADC subtrai o valor do registro do resultado da conversão antes de completar operação em escala. |

9.6.4.6 FSC — Registro de Coeficiente de Calibração em Escala Total (offset = 07h, 08h, 09h) [reset = dependente de PGA]

Esses bits constituem o registro do coeficiente de calibração em escala total. O valor de reinicialização do FSC é ajustado de fábrica para cada configuração PGA. O valor de redefinição do FSC ajustado de fábrica é carregado automaticamente sempre que a configuração PGA é mudado.

Figura 100. Registro de coeficiente de calibração em escala real

| | | | | | | | |
|------------|----|----|----|----|----|----|----|
| 7 | 6 | 5 | 4 | 3 | 2 | 4 | 0 |
| FSC[7:0] | | | | | | | |
| R/W-xxh | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| FSC[15:8] | | | | | | | |
| R/W-xxh | | | | | | | |
| 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| FSC[23:16] | | | | | | | |
| R/W-xxh | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 37. Descrições dos campos do registro do coeficiente de calibração em escala real

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 23:00 | FSC[23:0] | R/W | xxxxxxh | Registro de calibração em escala real Três registros compõem a calibração em escala total do ADC de 24 bits palavra. A palavra de 24 bits é binária direta. A ADC divide o valor do registro pelo registro FSC em 400.000h para derivar o fator de escala para calibração. Após a calibração do offset, o ADC multiplica o fator de escala pelo resultado da conversão. O valor de redefinição do FSC ajustado de fábrica é carregado automaticamente sempre que a configuração PGA foi alterada. |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.4.7 IDAC0—Registro de controle IDAC 0 (offset = 0Ah) [reset = x0h]****Figura 101. Registro de controle IDAC 0**

| | | | | | | | |
|---------|---|---|---|-----------|-------------|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ID[3:0] | | | | MODO SECO | IMAGEM[2:0] | | |
| R-xh | | | | R/W-0h | R/W-0h | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 38. Descrições dos campos do registro de controle 0 do IDAC

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-------------|------|-----------|---|
| 7:4 | ID[3:0] | R | xh | Identificação da Revisão Bits somente leitura programados de fábrica; usado para revisão identificação. |
| 3 | MODO SECO | R/W | 0h | Configuração do modo pronto para dados Este bit define a funcionalidade do pino DOUT/DRDY. Em qualquer configuração do bit DRDY MODE, o pino DRDY dedicado continua a indica <u>dados prontos</u> , ativo baixo. 0: O pino DOUT/DRDY funciona apenas como saída de dados (padrão) 1: O pino DOUT/DRDY funciona como saída de dados e pronto para dados, ativo baixo(1) |
| 2:0 | IMAGEM[2:0] | R/W | 0h | Magnitude da Corrente de Excitação IDAC O ADS1247 e o ADS1248 possuem duas correntes de excitação fontes (IDACs) que podem ser usadas para excitação do sensor. Os bits IMAG controlam a magnitude da corrente de excitação. Os IDACs exigem que a referência interna esteja ativada. 000: desligado (padrão) 001: 50 μ A 010: 100 μ A 011: 250 μ A 100: 500 μ A 101: 750 μ A 110: 1000 μ A 111: 1500 μ A |

(1) Não pode ser usado no modo SDATAC

9.6.4.8 IDAC1—Registro de controle 1 do IDAC (offset = 0Bh) [reset = FFh]**Figura 102. Registro de controle 1 do IDAC (ADS1247)**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------------|---|------|------|------------|---|
| 1 | 1 | I1DIR[1:0] | | 1 | 1 | I2DIR[1:0] | |
| R-1h | R-1h | R/W-3h | | R-1h | R-1h | R/W-3h | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Figura 103. Registro de controle 1 do IDAC (ADS1248)

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|---|---|---|------------|---|---|---|
| I1DIR[3:0] | | | | I2DIR[3:0] | | | |
| R/W-Fh | | | | R/W-Fh | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Os dois IDACs no ADS1248 podem ser roteados para os pinos de saída IEXC1 e IEXC2 ou diretamente para o entradas analógicas.

Tabela 39. Descrições dos campos do registro de controle IDAC

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|------------|------|-----------|--|
| 7:4 | I1DIR[3:0] | R/W | Fh | Saída de corrente de excitação IDAC 1 Esses bits selecionam o pino de saída para a primeira corrente de excitação fonte 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 (somente ADS1248) 0101: AIN5 (somente ADS1248) 0110: AIN6 (somente ADS1248) 0111: AIN7 (somente ADS1248) 10x0: IEXC1 (somente ADS1248) 10x1: IEXC2 (somente ADS1248) 11xx: Desconectado (padrão) |
| 3:0 | I2DIR[3:0] | R/W | Fh | Saída de corrente de excitação IDAC 2 Esses bits selecionam o pino de saída para a segunda corrente de excitação fonte 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 (somente ADS1248) 0101: AIN5 (somente ADS1248) 0110: AIN6 (somente ADS1248) 0111: AIN7 (somente ADS1248) 10x0: IEXC1 (somente ADS1248) 10x1: IEXC2 (somente ADS1248) 11xx: Desconectado (padrão) |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.4.9 GPIOCFG — Registro de configuração GPIO (offset = 0Ch) [reset = 00h]****Figura 104. Registro de configuração GPIO (ADS1247)**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------|------|---|---|---|------------|
| 0 | 0 | 0 | 0 | | | | IOCFG[3:0] |
| R-0h | R-0h | R-0h | R-0h | | | | R/W-0h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 40. Descrições dos campos de registro de configuração GPIO (ADS1247)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|--|
| 7:4 | RESERVADO | R | 0h | Reservado Sempre escreva 0000 |
| 3 | IOCFG[3] | R/W | 0h | Configuração de pinos GPIO[3] (AIN3) 0: GPIO[3] não está habilitado (padrão) 1: GPIO[3] é aplicado a AIN3 |
| 2 | IOCFG[2] | R/W | 0h | Configuração de pinos GPIO[2] (AIN2) 0: GPIO[2] não está habilitado (padrão) 1: GPIO[2] é aplicado a AIN2 |
| 1 | IOCFG[1] | R/W | 0h | Configuração de pinos GPIO[1] (REFN0) 0: GPIO[1] não está habilitado (padrão) 1: GPIO[1] é aplicado a REFN0 |
| 0 | IOCFG[0] | R/W | 0h | Configuração de pinos GPIO[0] (REFP0) 0: GPIO[0] não está habilitado (padrão) 1: GPIO[0] é aplicado a REFP0 |

Figura 105. Registro de configuração GPIO (ADS1248)

| | | | | | | | |
|------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IOCFG[7:0] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 41. Descrições dos campos de registro de configuração GPIO (ADS1248)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|----------|------|-----------|--|
| 7 | IOCFG[7] | R/W | 0h | Configuração de pinos GPIO[7] (AIN7) 0: GPIO[7] não está habilitado (padrão) 1: GPIO[7] é aplicado a AIN7 |
| 6 | IOCFG[6] | R/W | 0h | Configuração de pinos GPIO[6] (AIN6) 0: GPIO[6] não está habilitado (padrão) 1: GPIO[6] é aplicado a AIN6 |
| 5 | IOCFG[5] | R/W | 0h | Configuração de pinos GPIO[5] (AIN5) 0: GPIO[5] não está habilitado (padrão) 1: GPIO[5] é aplicado a AIN5 |
| 4 | IOCFG[4] | R/W | 0h | Configuração de pinos GPIO[4] (AIN4) 0: GPIO[4] não está habilitado (padrão) 1: GPIO[4] é aplicado a AIN4 |
| 3 | IOCFG[3] | R/W | 0h | Configuração de pinos GPIO[3] (AIN3) 0: GPIO[3] não está habilitado (padrão) 1: GPIO[3] é aplicado a AIN3 |
| 2 | IOCFG[2] | R/W | 0h | Configuração de pinos GPIO[2] (AIN2) 0: GPIO[2] não está habilitado (padrão) 1: GPIO[2] é aplicado a AIN2 |
| 1 | IOCFG[1] | R/W | 0h | Configuração de pinos GPIO[1] (REFNO) 0: GPIO[1] não está habilitado (padrão) 1: GPIO[1] é aplicado a REFNO |
| 0 | IOCFG[0] | R/W | 0h | Configuração de pinos GPIO[0] (REFP0) 0: GPIO[0] não está habilitado (padrão) 1: GPIO[0] é aplicado a REFP0 |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.4.10 GPIODIR—Registro de direção GPIO (offset = 0Dh) [reset = 00h]****Figura 106. Registro de direção GPIO (ADS1247)**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------|------|---|------------|---|---|
| 0 | 0 | 0 | 0 | | IODIR[3:0] | | |
| R-0h | R-0h | R-0h | R-0h | | R/W-0h | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 42. Descrições dos campos do registro de direção GPIO (ADS1247)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|--|
| 7:4 | RESERVADO | R | 0h | Reservado Sempre escreva 0000 |
| 3 | IODIR[3] | R/W | 0h | Direção do pino GPIO[3] (AIN3) Configura GPIO[3] como entrada GPIO ou saída GPIO 0: GPIO[3] é uma saída (padrão) 1: GPIO[3] é uma entrada |
| 2 | IODIR[2] | R/W | 0h | Direção do pino GPIO[2] (AIN2) Configura GPIO[2] como entrada GPIO ou saída GPIO 0: GPIO[2] é uma saída (padrão) 1: GPIO[2] é uma entrada |
| 1 | IODIR[1] | R/W | 0h | Direção do pino GPIO[1] (REFNO) Configura GPIO[1] como entrada GPIO ou saída GPIO 0: GPIO[1] é uma saída (padrão) 1: GPIO[1] é uma entrada |
| 0 | IODIR[0] | R/W | 0h | Direção do pino GPIO[0] (REFP0) Configura GPIO[0] como entrada GPIO ou saída GPIO 0: GPIO[0] é uma saída (padrão) 1: GPIO[0] é uma entrada |

Figura 107. Registro de direção GPIO (ADS1248)

| | | | | | | | |
|------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IODIR[7:0] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 43. Descrições dos campos do registro de direção GPIO (ADS1248)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|----------|------|-----------|--|
| 7 | IODIR[7] | R/W | 0h | Direção do pino GPIO[7] (AIN7) Configura GPIO[7] como entrada GPIO ou saída GPIO 0: GPIO[7] é uma saída (padrão) 1: GPIO[7] é uma entrada |
| 6 | IODIR[6] | R/W | 0h | Direção do pino GPIO[6] (AIN6) Configura GPIO[6] como entrada GPIO ou saída GPIO 0: GPIO[6] é uma saída (padrão) 1: GPIO[6] é uma entrada |
| 5 | IODIR[5] | R/W | 0h | Direção do pino GPIO[5] (AIN5) Configura GPIO[5] como entrada GPIO ou saída GPIO 0: GPIO[5] é uma saída (padrão) 1: GPIO[5] é uma entrada |
| 4 | IODIR[4] | R/W | 0h | Direção do pino GPIO[4] (AIN4) Configura GPIO[4] como entrada GPIO ou saída GPIO 0: GPIO[4] é uma saída (padrão) 1: GPIO[4] é uma entrada |
| 3 | IODIR[3] | R/W | 0h | Direção do pino GPIO[3] (AIN3) Configura GPIO[3] como entrada GPIO ou saída GPIO 0: GPIO[3] é uma saída (padrão) 1: GPIO[3] é uma entrada |
| 2 | IODIR[2] | R/W | 0h | Direção do pino GPIO[2] (AIN2) Configura GPIO[2] como entrada GPIO ou saída GPIO 0: GPIO[2] é uma saída (padrão) 1: GPIO[2] é uma entrada |
| 1 | IODIR[1] | R/W | 0h | Direção do pino GPIO[1] (REFN0) Configura GPIO[1] como entrada GPIO ou saída GPIO 0: GPIO[1] é uma saída (padrão) 1: GPIO[1] é uma entrada |
| 0 | IODIR[0] | R/W | 0h | Direção do pino GPIO[0] (REFP0) Configura GPIO[0] como entrada GPIO ou saída GPIO 0: GPIO[0] é uma saída (padrão) 1: GPIO[0] é uma entrada |

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**9.6.4.11 GPIODAT — Registro de dados GPIO (offset = 0Eh) [reset = 00h]****Figura 108. Registro de dados GPIO (ADS1247)**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|------|------|------|---|---|---|--------|
| IODAT[3:0] | | | | | | | |
| R-0h | R-0h | R-0h | R-0h | | | | R/W-0h |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 44. Descrições dos campos de registro de dados GPIO (ADS1247)

| Pedaço | Campo | Tipo | Reiniciar | Descrição |
|--------|-----------|------|-----------|---|
| 7:4 | RESERVADO | R | 0h | Reservado Sempre escreva 0000 |
| 3 | IODAT[3] | R/W | 0h | Dados do pino GPIO[3] (AIN3) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[3] é baixo (padrão) 1: GPIO[3] é alto |
| 2 | IODAT[2] | R/W | 0h | Dados do pino GPIO[2] (AIN2) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[2] é baixo (padrão) 1: GPIO[2] está alto |
| 1 | IODAT[1] | R/W | 0h | Dados do pino GPIO[1] (REFN0) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[1] é baixo (padrão) 1: GPIO[1] está alto |
| 0 | IODAT[0] | R/W | 0h | Dados do pino GPIO[0] (REFP0) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[0] é baixo (padrão) 1: GPIO[0] é alto |

Figura 109. Registro de dados GPIO (ADS1248)

| | | | | | | | |
|------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IODAT[7:0] | | | | | | | |
| R/W-00h | | | | | | | |

LEGENDA: R/W = Leitura/Escrita; R = Somente leitura; -n = valor após reset; -x = variável

Tabela 45. Descrições dos campos de registro de dados GPIO (ADS1248)

| Pedaço | Campo | Tipo | Reinic peace | Descrição |
|--------|----------|------|--------------|---|
| 7 | IODAT[7] | R/W | 0h | Dados do pino GPIO[7] (AIN7) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[7] é baixo (padrão) 1: GPIO[7] é alto |
| 6 | IODAT[6] | R/W | 0h | Dados do pino GPIO[6] (AIN6) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[6] é baixo (padrão) 1: GPIO[6] é alto |
| 5 | IODAT[5] | R/W | 0h | Dados do pino GPIO[5] (AIN5) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[5] é baixo (padrão) 1: GPIO[5] é alto |
| 4 | IODAT[4] | R/W | 0h | Dados do pino GPIO[4] (AIN4) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[4] é baixo (padrão) 1: GPIO[4] é alto |
| 3 | IODAT[3] | R/W | 0h | Dados do pino GPIO[3] (AIN3) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[3] é baixo (padrão) 1: GPIO[3] é alto |
| 2 | IODAT[2] | R/W | 0h | Dados do pino GPIO[2] (AIN2) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[2] é baixo (padrão) 1: GPIO[2] está alto |
| 1 | IODAT[1] | R/W | 0h | Dados do pino GPIO[1] (REFNO) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[1] é baixo (padrão) 1: GPIO[1] está alto |
| 0 | IODAT[0] | R/W | 0h | Dados do pino GPIO[0] (REFPO) Configurado como saída, read retorna o valor do registrador Configurado como entrada, write define apenas o valor do registro 0: GPIO[0] é baixo (padrão) 1: GPIO[0] é alto |

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

10 Aplicação e Implementação

NOTA

As informações nas seções de aplicações a seguir não fazem parte das especificações dos componentes da TI e a TI não garante sua precisão ou integridade. Os clientes da TI são responsáveis por determinar a adequação dos componentes aos seus propósitos. Os clientes devem validar e testar a implementação do projeto para confirmar a funcionalidade do sistema.

10.1 Informações de aplicação O

ADS1246, ADS1247 e ADS1248 constituem uma família de ADCs com 24 bits que oferece muitos recursos integrados para facilitar a medição dos tipos de sensores mais comuns, incluindo vários tipos de sensores de temperatura e ponte. As principais considerações ao projetar uma aplicação com esses dispositivos incluem conectar e configurar a interface serial, projetar a filtragem de entrada analógica, estabelecer uma referência externa apropriada para medições raciométricas e definir a tensão de entrada de modo comum para o PGA interno. Essas considerações são discutidas nas seções a seguir.

10.1.1 Conexões de interface serial

As principais conexões de interface serial para o ADS1248 são mostradas na [Figura 110](#).

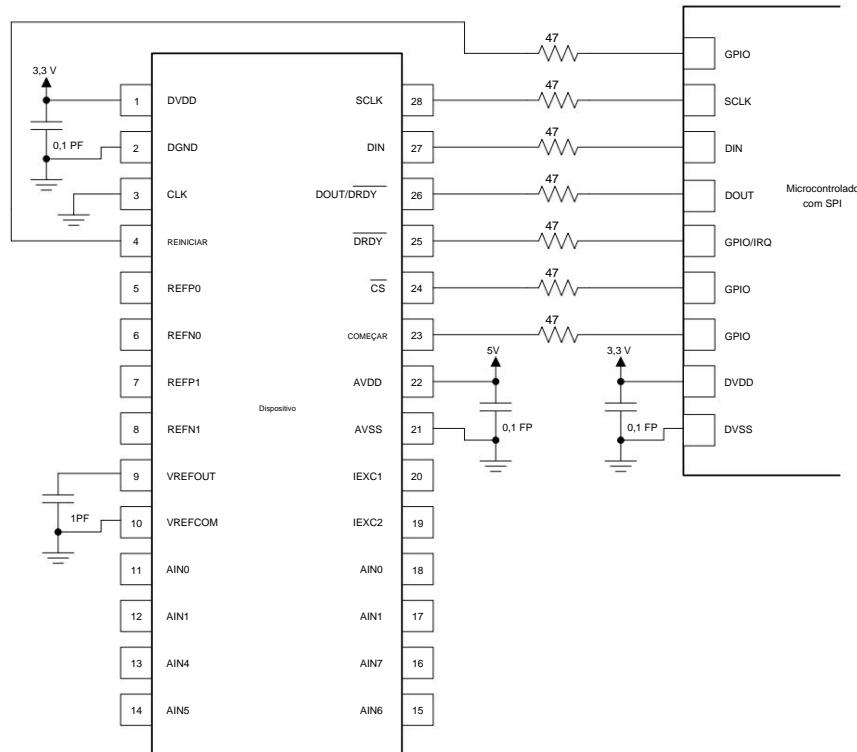


Figura 110. Conexões de interface serial

A maioria dos periféricos SPI do microcontrolador podem operar com o ADS1248. A interface opera no modo SPI 1 onde CPOL = 0 e CPHA = 1. No modo SPI 1, o SCLK fica inativo e os dados são iniciados ou alterados apenas nas bordas ascendentes do SCLK; os dados são travados ou lidos pelo mestre e escravo nas bordas descendentes do SCLK. Detalhes do protocolo de comunicação SPI empregado pelo dispositivo podem ser encontrados na seção [Requisitos de temporização da interface serial](#).

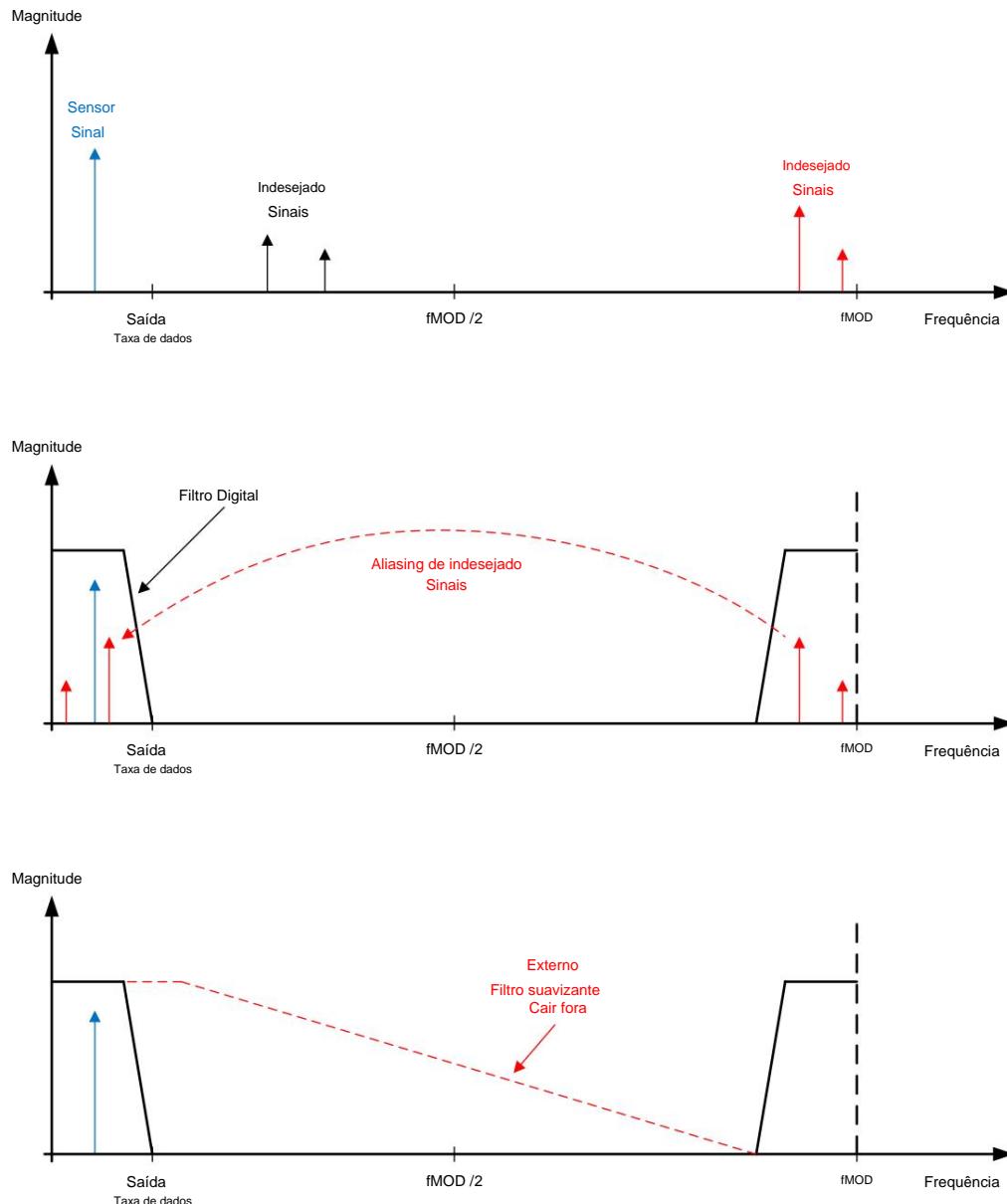
A TI recomenda colocar resistores de 47 Ω em série com todos os pinos de entrada e saída digital (CS, SCLK, DIN, DOUT/DRDY, RESET e START). Esta resistência suaviza transições bruscas, suprime overshoot e oferece alguma proteção contra sobretensão. Deve-se tomar cuidado para atender a todos os requisitos de temporização do SPI porque os resistores adicionais interagem com as capacitâncias do barramento presentes nas linhas de sinal digital.

Informações do aplicativo (continuação)

10.1.2 Filtragem de Entrada Analógica

A filtragem de entrada analógica serve a dois propósitos: primeiro, limitar o efeito do aliasing durante o processo de amostragem e segundo, para reduzir o ruído externo de fazer parte da medição.

Como acontece com qualquer sistema amostrado, o aliasing pode ocorrer se a filtragem anti-alias adequada não estiver implementada. O alias ocorre quando componentes de frequência estão presentes no sinal de entrada que são superiores à metade da frequência de amostragem do ADC (também conhecida como frequência de Nyquist). Esses componentes de frequência são dobrados e aparecem na faixa de frequência real de interesse abaixo da metade da frequência de amostragem. Observe que dentro de um ADC, o sinal de entrada é amostrado na frequência do modulador, fMOD e não na taxa de dados de saída. A resposta do filtro do filtro digital se repete em múltiplos do fMOD, conforme mostrado na Figura 111. Sinais ou ruído até uma frequência em que o filtro as repetições de resposta são atenuadas até certo ponto pelo filtro digital, dependendo da arquitetura do filtro. Qualquer componentes de frequência presentes no sinal de entrada em torno da frequência do modulador ou seus múltiplos não são atenuado e alias de volta à banda de interesse, a menos que seja atenuado por um filtro analógico externo.



Informações do aplicativo (continuação)

Muitos sinais de sensores são inherentemente limitados em banda; por exemplo, a saída de um termopar tem uma taxa de variação limitada. Neste caso, o sinal do sensor não volta para a banda passante ao usar um $\Delta\Delta$ ADC. No entanto, qualquer captação de ruído ao longo da fiação do sensor ou do circuito da aplicação pode potencialmente entrar na banda passante.

A frequência e os harmônicos do ciclo da linha de energia são uma fonte de ruído comum. Ruído externo também pode ser gerado por fontes de interferência eletromagnética (EMI) ou interferência de radiofrequência (RFI), como motores e telefones celulares próximos. Outra fonte de ruído normalmente existe na própria placa de circuito impresso (PCB) na forma de relógios e outros sinais digitais. A filtragem de entrada analógica ajuda a evitar que sinais indesejados afetem o resultado da medição.

Um filtro resistor-capacitor (RC) de primeira ordem é (na maioria dos casos) suficiente para eliminar totalmente o aliasing ou para reduzir o efeito do aliasing a um nível dentro do nível de ruído do sensor. Idealmente, qualquer sinal além do fMOD/2 é atenuado a um nível abaixo do nível de ruído do ADC. O filtro digital do ADS1248 atenua os sinais até certo ponto, conforme ilustrado nos gráficos de resposta do filtro na seção [Filtro Digital](#). Além disso, os componentes de ruído são geralmente menores em magnitude do que o sinal real do sensor. Portanto, usar um filtro RC de primeira ordem com uma frequência de corte definida na taxa de dados de saída ou 10x maior é geralmente um bom ponto de partida para o projeto de um sistema.

Interno ao dispositivo, antes das entradas PGA, há um filtro EMI; veja a [Figura 52](#). A frequência de corte deste filtro é de aproximadamente 47 MHz, o que ajuda a rejeitar interferências de alta frequência.

10.1.3 Referência Externa e Medições Ratiométricas

A faixa de fundo de escala do ADS1248 é definida pela tensão de referência e pelo ganho PGA ($FSR = \pm VREF / \text{Ganho}$).

Uma referência externa pode ser usada em vez da referência integrada de 2,048 V para adaptar o FSR às necessidades específicas do sistema. Uma referência externa deve ser usada se $VIN > 2,048$ V. Por exemplo, uma referência externa de 2,5 V é necessária para medir sinais tão grandes quanto 2,5 V. Observe que o sinal de entrada deve estar dentro da faixa de entrada de modo comum para ser válida e que a tensão de entrada de referência deve estar entre 0,5 V e ($AVDD - AVSS - 1$ V).

As entradas de referência bufferizadas do dispositivo também permitem a implementação de medições ratiométricas. Em uma medição ratiométrica, a mesma fonte de excitação usada para excitar o sensor também é usada para estabelecer a referência para o ADC. Como exemplo, uma forma simples de medição ratiométrica utiliza a mesma fonte de corrente para excitar tanto o elemento sensor resistivo (como um RTD) quanto outro elemento de referência resistivo que está em série com o elemento que está sendo medido. A tensão que se desenvolve através do elemento de referência é usada como fonte de referência para o ADC. Nesta configuração, o ruído e o desvio de corrente são comuns tanto à medição do sensor quanto à referência, portanto, esses componentes são cancelados na função de transferência ADC. O código de saída é apenas uma relação entre o valor do elemento sensor e o valor do resistor de referência e não é afetado pelo valor absoluto da corrente de excitação.

10.1.4 Estabelecendo uma tensão de entrada de modo comum adequada

O ADS1248 é usado para medir vários tipos de configurações de sinal. No entanto, é importante configurar a entrada do dispositivo adequadamente para o respectivo tipo de sinal.

O ADS1248 possui um multiplexador de 8 entradas (enquanto o ADS1247 possui um multiplexador de 4 entradas). Cada entrada pode ser selecionada independentemente como entrada positiva ou negativa a ser medida pelo ADC. Com um multiplexador de 8 entradas, o usuário pode medir quatro canais independentes de entrada diferencial. O usuário também pode optar por medir 7 canais, usando uma entrada como entrada comum fixa. Independentemente da configuração da entrada analógica, certifique-se de que todas as entradas, incluindo a entrada comum, estejam dentro da faixa de tensão de entrada de modo comum.

Se a alimentação for unipolar (por exemplo, $AVSS = 0$ V e $AVDD = 5$ V), então $V(AINN) = 0$ V não está dentro da faixa de entrada de modo comum, conforme mostrado pela [Equação 3](#). Portanto, uma medição de terminação única com o entrada comum conectada ao terra não é possível. A TI recomenda conectar a entrada comum à alimentação intermediária ou, alternativamente, ao $VREFOUT$. Observe que a faixa de modo comum fica ainda mais restrita com o aumento do ganho PGA.

Se a alimentação for bipolar ($AVSS = -2,5$ V e $AVDD = 2,5$ V), então o aterramento está dentro da faixa de entrada de modo comum. Medições de terminação única com a entrada comum conectada a 0 V são possíveis neste caso.

Para obter uma explicação detalhada da faixa de entrada de modo comum relacionada ao PGA, consulte a seção [Requisitos de tensão de modo comum do PGA](#).

Informações do aplicativo (continuação)

10.1.5 Entradas de sensores isolados (ou flutuantes)

Sensores isolados (sensores que não são referenciados ao terra ADC) devem ter uma tensão de modo comum estabelecida dentro da faixa de entrada ADC especificada. Mudança de nível da tensão de modo comum pela polarização do resistor externo, conectando o condutor negativo ao terra (alimentação analógica bipolar) ou conectando a uma tensão CC (alimentação analógica unipolar). A tensão de saída de referência de 2,048 V também pode ser usada para fornecer mudança de nível para entradas de sensores flutuantes.

10.1.6 Entradas e Saídas Não Utilizadas

Para minimizar as correntes de fuga nas entradas analógicas, deixe as entradas analógicas não utilizadas flutuando, conecte-as à alimentação intermediária ou conecte-as ao AVDD. Conectar entradas analógicas não utilizadas ao AVSS também é possível, mas pode produzir correntes de fuga mais altas do que as opções mencionadas anteriormente.

Não flutue entradas digitais não utilizadas ou poderá ocorrer corrente excessiva de fuga na fonte de alimentação. Vincule todas as entradas digitais não utilizadas aos níveis apropriados, DVDD ou DGND, inclusive quando estiver no modo desligado. Se a saída DRDY não for usada, deixe o pino desconectado ou conecte-o ao DVDD usando um resistor pull-up fraco.

10.1.7 Exemplo de pseudocódigo

A lista a seguir mostra uma sequência de pseudocódigo com as etapas necessárias para configurar o dispositivo e o microcontrolador que faz interface com o ADC para fazer leituras subsequentes do ADS1248 no modo parar leitura contínua de dados (SDATAC). No modo SDATAC, basta aguardar um período de tempo superior à taxa de dados para recuperar o resultado da conversão. Novos dados de conversão não interromperão a leitura de registros ou dados no DOUT. No entanto, neste exemplo, o pino DRDY dedicado é usado para indicar a disponibilidade de novos dados de conversão, em vez de esperar um período de tempo definido por uma leitura. As configurações padrão do registro de configuração são alteradas para ganho PGA = 16, usando a referência interna, e uma taxa de dados de 20 SPS.

Energizar;
Atraso de no mínimo 16 ms para permitir que as fontes de alimentação se estabeleçam e a reinicialização da inicialização seja concluída; Habilite o dispositivo definindo o pino START como alto; Configure a interface serial do microcontrolador para modo SPI 1 (CPOL = 0, CPHA =1); Se o pino CS não estiver permanentemente vinculado, configure o microcontrolador GPIO conectado ao CS como uma saída; Configure o microcontrolador GPIO conectado ao pino DRDY como uma entrada de interrupção acionada por borda descendente; Defina CS para o dispositivo baixo; Atraso por no mínimo tCSSC; Envie o comando RESET (06h) para certificar-se de que o dispositivo foi reinicializado corretamente após ser ligado; Atraso mínimo de 0,6 ms; Enviar comando SDATAC (16h) para evitar que novos dados interrompam dados ou registrem transações; Escreva a respectiva configuração do registrador com o comando WREG (40h, 03h, 01h, 00h, 03h e 42h); Como verificação de integridade opcional, leia todos os registros de configuração com o comando RREG (quatro bytes de 20h, 03h); Envie o comando SYNC (04h) para iniciar a conversão do ADC; Atraso por um mínimo de tSCCS; Limpe CS para alto (redefine a interface serial); Laço {

—

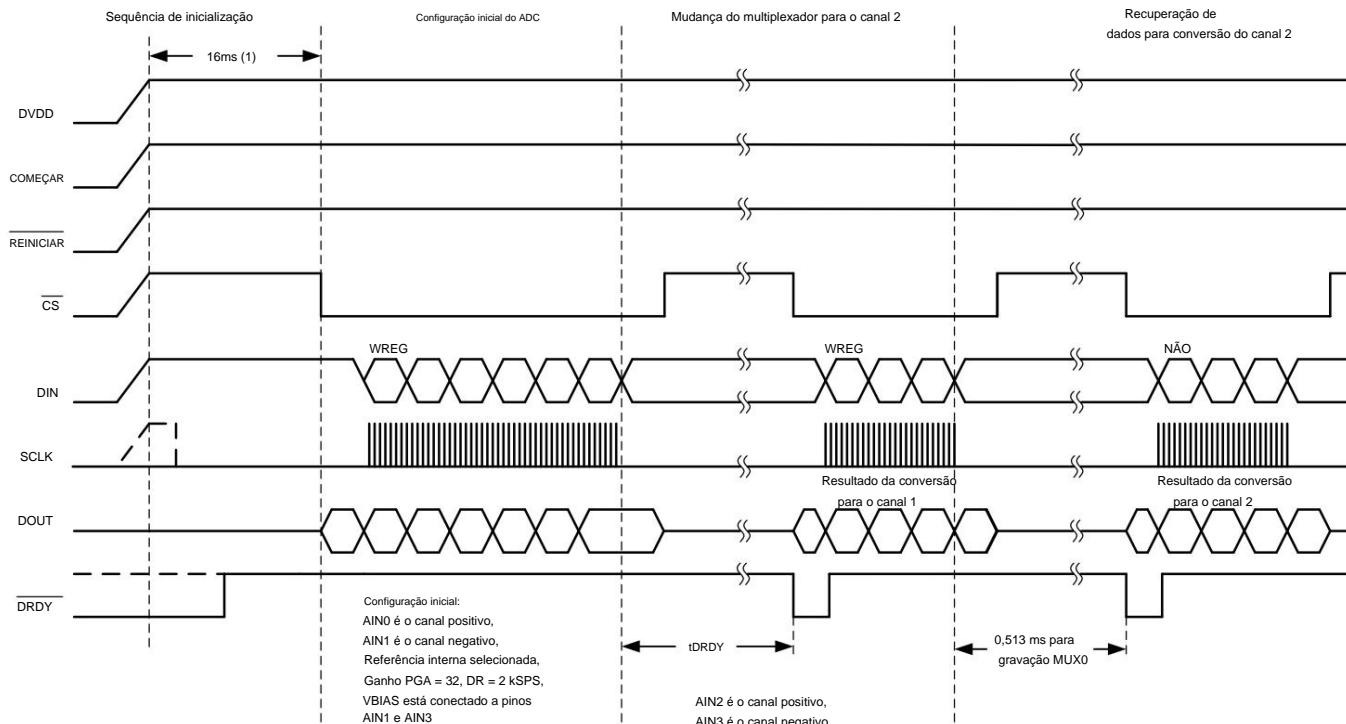
Aguarde até que o DRDY faça a transição para baixo;
Leve o CS para baixo;
Atraso por no mínimo tCSSC;
Envio do comando RDATA (12h);
Envie 24 SCLKs para ler dados de conversão em DOUT/DRDY;
Atraso por um mínimo de tSCCS;
Limpar CS para alto;
}
Leve o CS para baixo;
Atraso por no mínimo tCSSC;
Envie o comando SLEEP (02h) para interromper as conversões e colocar o dispositivo em modo desligado;

—

Informações do aplicativo (continuação)

10.1.8 Exemplo de multiplexação de canal

Este exemplo se aplica apenas ao ADS1247 e ADS1248. Explica um método para usar o dispositivo com dois sensores conectados a dois canais analógicos diferentes. A Figura 112 mostra a sequência de operações SPI realizado no dispositivo. Depois de ligar, 2¹⁶ Os ciclos tCLK são necessários antes que a comunicação possa ser iniciada. Durante os primeiros 2¹⁶ ciclos tCLK, o dispositivo é mantido internamente em um estado de reinicialização. Neste exemplo, um dos sensores é conectado aos canais AIN0 e AIN1 e o outro sensor está conectado aos canais AIN2 e AIN3. O ADC é operado a uma taxa de dados de 2 kSPS. O ganho PGA é definido como 32 para ambos os sensores. VBIAS está conectado ao terminal negativo de ambos os sensores (ou seja, canais AIN1 e AIN3). Todas essas configurações podem ser alteradas por realizar uma operação de gravação em bloco nos primeiros quatro registros do dispositivo. Depois que o pino DRDY fica baixo, o resultado da conversão pode ser recuperado imediatamente enviando 24 pulsos SCLK porque o padrão do dispositivo é Modo RDATAC. À medida que o resultado da conversão é recuperado, os canais de entrada ativos podem ser alterados para AIN2 e AIN3 escrevendo no registro MUX0 de maneira full-duplex, conforme mostrado na Figura 112. A operação de gravação é completada com oito pulsos SCLK adicionais. O tempo desde a operação de escrita no registrador MUX0 até a próxima transição baixa do DRDY é mostrada na Figura 112 e é de 0,513 ms neste caso. Depois que o DRDY diminui, o resultado da conversão pode ser recuperado e o canal ativo pode ser alternado como antes.



(1) Para fCLK = 4,096 MHz.

Figura 112. Sequência de comunicação SPI para multiplexação de canal

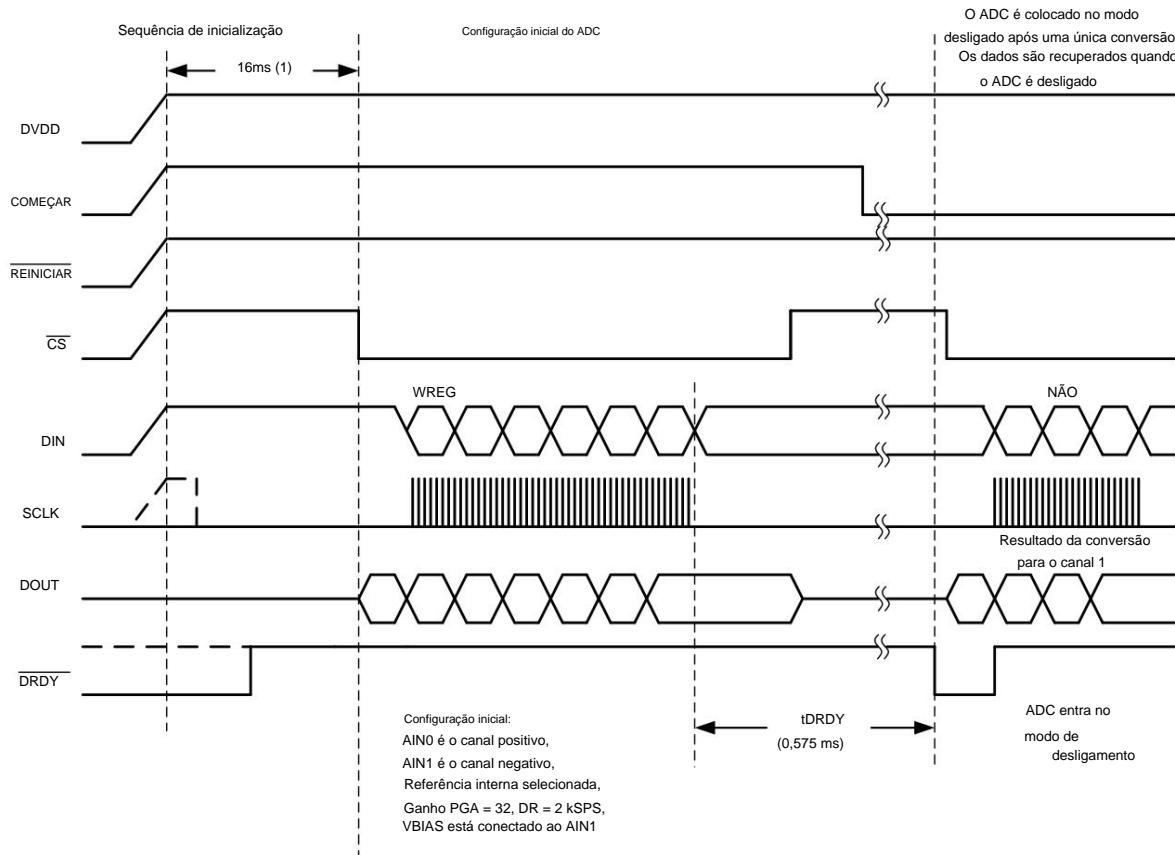
Informações do aplicativo (continuação)

10.1.9 Exemplo de modo desligado

Este segundo exemplo trata da realização de uma conversão após ligar e depois entrar no modo de desligamento.

Neste exemplo, um sensor está conectado aos canais de entrada AIN0 e AIN1. Os comandos para configurar o dispositivo devem ocorrer pelo menos⁽¹⁾ 2 ciclos de clock do sistema após ligar o dispositivo. O ADC opera a uma taxa de dados de 2 kSPS.

O ganho PGA é definido como 32. VBIAS está conectado ao terminal negativo do sensor (ou seja, canal AIN1). Todas essas configurações podem ser alteradas realizando uma operação de gravação em bloco nos primeiros quatro registros do dispositivo. Depois de realizar a operação de gravação do bloco, o pino START pode ser colocado em nível baixo. O dispositivo entra no modo de desligamento assim que DRDY atinge o nível baixo 0,575 ms após escrever no registro SYS0. O resultado da conversão pode ser recuperado mesmo após o dispositivo entrar no modo desligado, enviando 24 pulsos SCLK.



(1) Para fCLK = 4,096 MHz.

Figura 113. Sequência de comunicação SPI para entrar no modo de desligamento após uma conversão

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**10.2 Aplicações Típicas****10.2.1 Sistema de medição RTD raciométrico de 3 fios**

A Figura 114 mostra um circuito de aplicação RTD de 3 fios com compensação de fio condutor usando o ADS1247. As duas fontes de corrente IDAC integradas no ADS1247 são usadas para implementar a compensação do fio condutor. Uma fonte de corrente IDAC (IDAC1) fornece excitação ao elemento RTD. A outra fonte de corrente (IDAC2) tem a mesma configuração de corrente, proporcionando cancelamento da resistência do fio condutor, gerando uma queda de tensão na resistência do fio condutor RLEAD2 igual à queda de tensão no RLEAD1. Como a tensão no RTD é medida diferencialmente nos pinos AIN1 e AIN2 do ADC, as tensões nas resistências do fio condutor são canceladas. A tensão de referência do ADC (pinos REFP0 e REFN0) é derivada da tensão através do RREF com as correntes de IDAC1 e IDAC2, proporcionando cancelamento raciométrico do desvio da fonte de corrente. O RREF também altera o nível do sinal RTD para dentro da faixa de entrada de modo comum especificada pelo ADC.

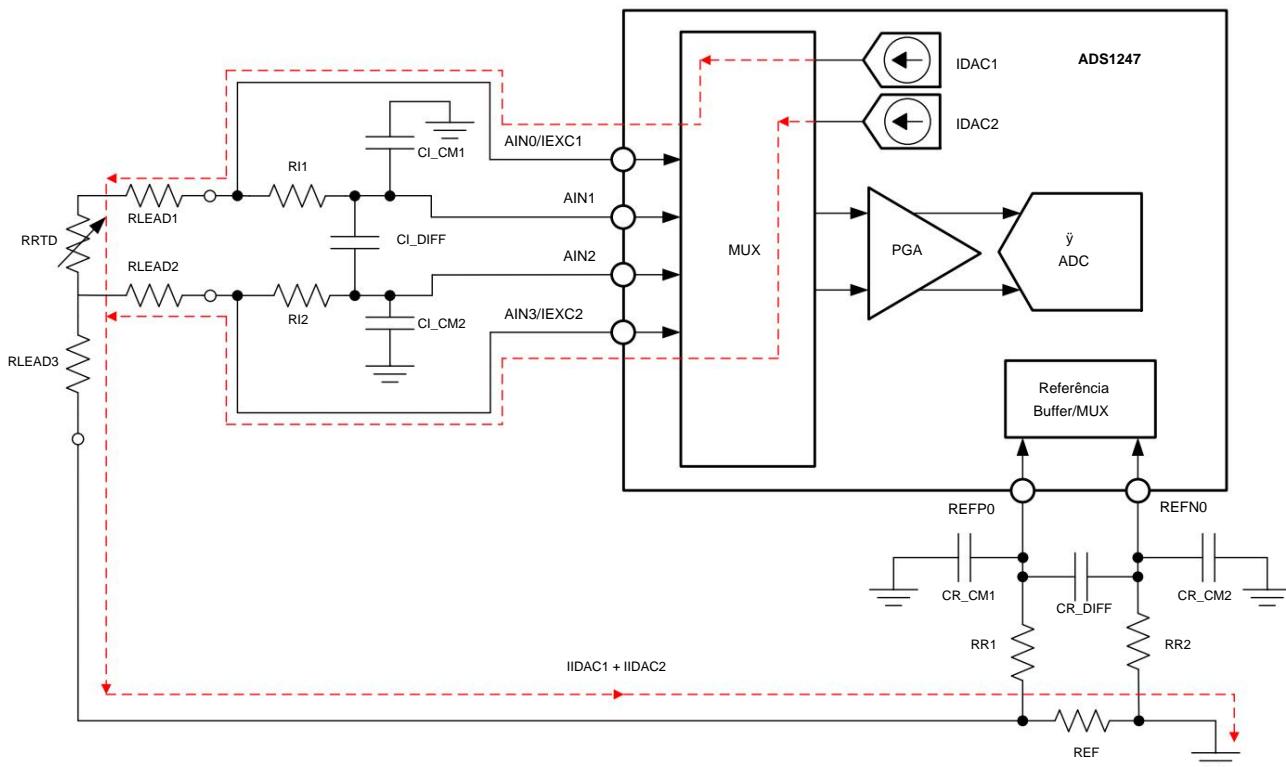


Figura 114. Sistema de medição RTD raciométrico de 3 fios apresentando o ADS1247

10.2.1.1 Requisitos de projeto A

Tabela 46 mostra os requisitos de projeto da aplicação RTD de 3 fios.

Tabela 46. Exemplo de requisitos de projeto de aplicação RTD de 3 fios

| PARÂMETRO DE PROJETO | VALOR |
|---|-----------------|
| Tensão de alimentação | 3,3 V |
| Taxa de dados | 20 SPS |
| Tipo de IDT | PT100 de 3 fios |
| Corrente de excitação RTD | 1mA |
| Faixa de medição de temperatura | -200°C a +850°C |
| Precisão de medição de temperatura calibrada em TA = 25°C (1) | ±0,05°C |

(1) Não contabilização de erro de RTD; um ganho de dois pontos e calibração de deslocamento são realizados, bem como corte das correntes de excitação para remover erros de incompatibilidade de IDAC.

10.2.1.2 Procedimento de Projeto Detalhado

10.2.1.2.1 Topologia

A Figura 115 mostra a topologia básica de uma medição raciométrica usando um RTD. São mostrados o ADC com o RTD e um resistor de referência RREF. Existe uma única fonte de corrente, denominada IDAC1, que é usada para excitar o RTD, bem como para estabelecer uma tensão de referência para o ADC através do RREF.

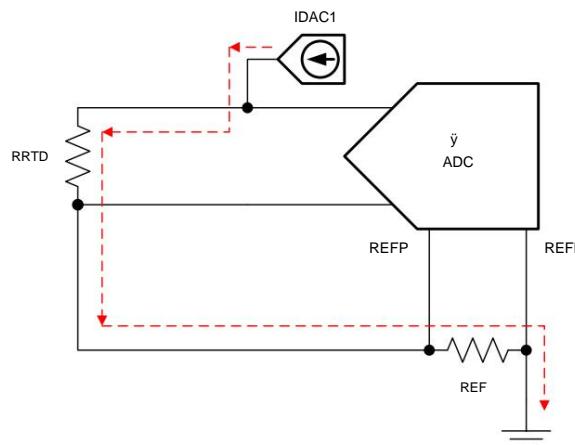


Figura 115. Exemplo de medição de RTD raciométrica

Com o IDAC1, o ADC mede a tensão do RTD usando a tensão através do RREF como referência. Isso fornecerá uma medição tal que o código de saída seja proporcional à relação entre a tensão do RTD e a tensão de referência, conforme mostrado na [Equação 21](#) e na [Equação 22](#).

$$\text{Código } \hat{y} = V_{RTD} / V_{REF} \quad (21)$$

$$\text{Código } \hat{y} = (R_{RTD} \cdot I_{IDAC1}) / (R_{REF} \cdot I_{IDAC1}) \quad (22)$$

As correntes se cancelam de modo que a equação se reduz à [Equação 23](#):

$$\text{Código } \hat{y} = R_{RTD} / R_{REF} \quad (23)$$

Conforme mostrado na [Equação 23](#), a medição depende do valor resistivo do RTD e do resistor de referência RREF, mas não do valor da corrente IDAC1. Portanto, a precisão absoluta e o desvio de temperatura da corrente de excitação não importam. Esta é uma medida raciométrica. Desde que não haja fuga de corrente do IDAC1 fora deste circuito, a medição depende apenas de RRTD e RREF.

Na [Figura 116](#), as resistências dos condutores de um RTD de 3 fios são mostradas e outra fonte de corrente de excitação é adicionada, denominada IDAC2.

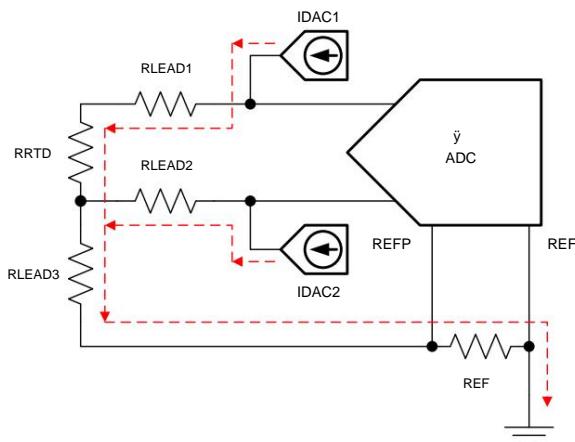


Figura 116. Exemplo de compensação de fio condutor

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

Com uma única fonte de corrente de excitação, o RLEAD1 adiciona um erro à medição. Ao adicionar IDAC2, o segundo a fonte de corrente de excitação é usada para cancelar o erro na resistência do fio condutor. Ao adicionar o lead resistências e a segunda fonte de corrente, a equação se torna:

$$\text{Código } \ddot{\gamma} (\text{VRTD} + (\text{RLEAD1} \cdot \text{IIDAC1}) - (\text{RLEAD2} \cdot \text{IIDAC2})) / (\text{VREF} \cdot (\text{IIDAC1} + \text{IIDAC2})) \quad (24)$$

Se as resistências dos condutores corresponderem e as correntes de excitação corresponderem, então RLEAD1 = RLEAD2 e IIDAC1 = IIDAC2. O as resistências do fio condutor se cancelam de modo que a [Equação 24](#) se reduz ao resultado da [Equação 25](#) mantendo um medição raciométrica.

$$\text{Código } \ddot{\gamma} \text{ RRTD} / (2 \cdot \text{RREF}) \quad (25)$$

RLEAD3 não faz parte da medição, pois não está no caminho de medição de entrada ou na entrada de referência caminho.

Como mostra a [Equação 24](#), as duas fontes de corrente devem ser combinadas para cancelar as resistências dos condutores do RTD fios. Qualquer incompatibilidade nas duas fontes de corrente é minimizada usando o multiplexador para trocar ou *dividir* as duas fontes de corrente entre as duas entradas. Fazendo medições em ambas as configurações e calculando a média das leituras reduz os efeitos de fontes de corrente incompatíveis. O design usa o multiplexador no ADS1247 para implementar esta técnica de corte para remover o erro de incompatibilidade entre IDAC1 e IDAC2.

10.2.1.2.2 Seleção de RTD

O RTD é primeiro escolhido para ser um elemento PT100. A resistência RTD é definida pelo Callendar-Van Dusen (CVD) e a resistência do RTD são conhecidas dependendo da temperatura. O PT100 RTD possui um impedância de 100 $\ddot{\gamma}$ a 0°C e aproximadamente 0,385 $\ddot{\gamma}$ de mudança de resistência por 1°C na mudança de temperatura. Com um precisão de medição de temperatura desejada de 0,05°C, isso se traduz em uma precisão de medição resistiva de aproximadamente 0,01925 $\ddot{\gamma}$. A resistência RTD na extremidade inferior da faixa de temperatura de -200°C é 18.590 $\ddot{\gamma}$ e a resistência na extremidade superior da faixa de temperatura de 850°C é 390,48 $\ddot{\gamma}$.

10.2.1.2.3 Corrente de Excitação

Para a melhor resolução possível, a tensão no RTD deve ser a maior possível em comparação com o nível de ruído na medição. Em geral, a resolução da medição melhora com o aumento da excitação atual. No entanto, uma corrente de excitação maior criará autoaquecimento no RTD, o que causará desvios e erros na medida. A seleção das correntes de excitação compensa a resolução em relação ao autoaquecimento do sensor.

As fontes de corrente de excitação neste projeto são selecionadas para serem de 1 mA. Isso maximizará o valor do RTD Tensão enquanto mantém o autoaquecimento baixo. A faixa típica de coeficientes de autoaquecimento RTD é de 2,5 mW/°C para elementos pequenos de película fina e 65 mW/°C para elementos maiores enrolados em fio. Com excitação de 1 mA no máximo Valor de resistência do RTD, a dissipação de energia no RTD é inferior a 0,4 mW e manterá a medição erros devido ao autoaquecimento a menos de 0,01°C.

Conforme mencionado em [Topologia](#), o corte das fontes de corrente de excitação cancela as incompatibilidades entre os IDACs. Esta técnica é necessária para obter a melhor precisão possível do sistema. Incompatibilidade entre o fontes de corrente de excitação são uma grande fonte de erro se o corte não for implementado.

A tensão de referência interna deve ser habilitada durante a utilização dos IDACs, mesmo que um raciométrico externo a medição é usada para conversões ADC.

A [Tabela 47](#) mostra as configurações do registro ADS1247 para configuração da referência interna e da corrente de excitação fontes.

Tabela 47. Configurações de bits de registro para fontes de corrente de excitação

| CADASTRE-SE (Endereço) | NOME DO BIT | VALORES DE BIT | COMENTÉ |
|------------------------|-----------------|----------------|---|
| MUX1 (02h)(1) | VREFCON[1:0] | 01 | Referência interna habilitada |
| MUX1 (02h) | REFERÊNCIA[1:0] | 00 | Entradas de referência REFP0 e REFN0 selecionadas |
| IDAC0 (0Ah) | IMAGEM[2:0] | 110 | Magnitude IDAC = 1 mA |
| IDAC1 (0Bh) | I1DIR[3:0](2) | 0000 | IDAC1 = AIN0 |
| IDAC1 (0Bh) | I2DIR[3:0](2) | 0011 | IDAC2 = AIN3 |

(1) A referência interna deve estar habilitada para utilizar as fontes de corrente IDAC.

(2) Para implementar o corte, troque a direção IDAC1 pela direção IDAC2. Defina I1DIR[3:0] = 0011 e I2DIR[3:0] = 0000

10.2.1.2.4 Resistor de Referência RREF

A TI recomenda definir a tensão de modo comum da medição perto do meio da alimentação, isso ajuda a manter o entrada dentro da faixa de entrada de modo comum do PGA.

O resistor de referência é selecionado para ser 820 Ω . A tensão através do RREF é calculada a partir da [Equação 26](#).

$$VREF = RREF \cdot (IIDAC1 + IIDAC2) = 820 \Omega \cdot 2 \text{ mA} = 1,64 \text{ V} \quad (26)$$

Com AVDD = 3,3 V, a [Equação 26](#) mostra que a tensão de entrada está logo abaixo do meio da alimentação.

As fontes de corrente de excitação operam adequadamente com uma tensão máxima de conformidade com IDAC. Acima desta conformidade tensão, as fontes de corrente perdem a regulação da corrente. Neste exemplo, a tensão de saída da corrente de excitação

A fonte é calculada a partir da soma das tensões no RTD e no RREF , conforme mostrado na [Equação 27](#).

$$VIDAC1 \text{ MAX} = RRTD \text{ MAX} \cdot IIDAC1 + (RREF \cdot (IIDAC1 + IIDAC2)) = 0,4 \text{ V} + 1,64 \text{ V} = 2,04 \text{ V} \quad (27)$$

Uma tensão de conformidade de 3,3 V – 2,04 V = 1,26 V é suficiente para a operação adequada do IDAC. Veja a [Figura 41](#) e [Figura 42](#) em [Características Típicas](#) para detalhes.

Como a tensão através do RREF define a tensão de referência para o ADC, a tolerância e o desvio de temperatura do RREF afeta diretamente o ganho de medição. Um resistor com tolerância máxima de 0,02% é selecionado.

10.2.1.2.5 Configuração PGA

Como a corrente de excitação é pequena para reduzir o autoaquecimento, o PGA no ADS1247 é usado para amplificar o sinal através do RTD para utilizar a faixa completa do ADC. Começando com a tensão de referência, o ADC irá ser capaz de medir uma faixa de sinal de entrada diferencial de $\pm 1,64 \text{ V}$. A configuração de ganho PGA máximo permitido é com base na tensão de referência, na resistência máxima do RTD e na corrente de excitação.

Como mencionado anteriormente, a resistência máxima do RTD será vista na faixa superior da temperatura medição a 850°C. Isso fornecerá a maior medição de tensão do ADC. RRTD@850°C será 390,48 Ω .

$$VRTD \text{ MAX} = RRTD@850^\circ\text{C} \cdot IIDAC1 = 390,48 \Omega \cdot 1 \text{ mA} = 390,48 \text{ mV} \quad (28)$$

Com uma tensão de referência de 1,64 V, o ganho máximo para o PGA, sem ultrapassar a faixa do ADC, é mostrado na [Equação 29](#).

$$\text{GanhoMAX} = VREF / VRTD \text{ MAX} = 1,64 \text{ V} / 390,48 \text{ mV} = 4,2 \text{ V/V} \quad (29)$$

Selecionar um ganho PGA de 4 fornecerá uma medição máxima de 95% da faixa positiva do fundo de escala. [Tabela 48](#) mostra as configurações do registro para definir o ganho PGA, bem como as entradas para o ADC.

Tabela 48. Configurações de bits de registro para o multiplexador de entrada e PGA

| CADASTRE-SE (ENDEREÇO) | NOME DO BIT | VALORES DE BIT | COMENTE |
|------------------------|-------------|----------------|---------------|
| MUX0 (01h) | MUX_SP[2:0] | 001 | AINP = AIN1 |
| MUX0 (01h) | MUX_SN[2:0] | 010 | AINN = AIN2 |
| SYS0 (03h) | APG[2:0] | 010 | Ganho PGA = 4 |

10.2.1.2.6 Faixa de entrada de modo comum

Agora que os valores dos componentes estão selecionados, a faixa de entrada de modo comum deve ser verificada para garantir que o ADC e o PGA não têm operação limitada. Comece com a tensão de entrada máxima, que proporcionará o máximo restrição na faixa de entrada de modo comum. Na tensão de entrada máxima, a tensão de entrada de modo comum visto pelo ADC é mostrado na [Equação 30](#).

$$VCM = VREF + (VRTD \text{ MÁX} / 2) = 1,64 \text{ V} + (390,48 \text{ mV} / 2) = 1,835 \text{ V} \quad (30)$$

Conforme mencionado em [Low-Noise PGA](#), a faixa de entrada de modo comum é mostrada na [Equação 3](#) e é aplicada a [Equação 31](#).

$$AVSS + 0,1 \text{ V} + (VRTD \text{ MAX} \cdot \text{Ganho}) / 2 \leq VCM \leq AVDD - 0,1 \text{ V} - (VRTD \text{ MAX} \cdot \text{Ganho}) / 2 \quad (31)$$

Após substituir os valores apropriados, a faixa de entrada de modo comum pode ser encontrada na [Equação 32](#) e [Equação 33](#).

$$0 \text{ V} + 0,1 \text{ V} + (390,48 \text{ mV} \cdot 4) / 2 \leq VCM \leq 3,3 \text{ V} - 0,1 \text{ V} - (390,48 \text{ mV} \cdot 4) / 2 \quad 2,881 \text{ mV} \leq VCM \quad (32)$$

$$\leq 2,42 \text{ V} \quad (33)$$

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

Como $V_{CM} = 1,835\text{ V}$ está dentro dos limites da [Equação 33](#), a medição do RTD está dentro da faixa de modo comum de entrada do ADC e PGA. Na tensão mínima do RTD ($V_{RTD\ MIN} = 18,59\text{ mV}$), um cálculo semelhante pode ser feito para mostrar que a tensão de modo comum de entrada também estará dentro da faixa.

10.2.1.2.7 Filtros passa-baixo de entrada e referência

Os filtros diferenciais escolhidos para esta aplicação são projetados para ter uma frequência de canto de -3 dB pelo menos 10 vezes maior que a largura de banda do ADC. A taxa de amostragem ADS1247 selecionada de 20 SPS resulta em uma largura de banda de -3 dB de 14,8 Hz. A frequência de canto do filtro de -3 dB é definida para ser aproximadamente 250 Hz na resistência de medição de escala média. Para uma operação adequada, as frequências de corte diferenciais dos filtros passa-baixa de referência e de entrada devem ser bem combinadas. Isto pode ser difícil porque à medida que a resistência do RTD muda ao longo da extensão da medição, a frequência de corte do filtro também muda. Para mitigar este efeito, os dois resistores utilizados no filtro de entrada ($RI1$ e $RI2$) são escolhidos para serem duas ordens de grandeza maiores que o RTD. As correntes de polarização de entrada do ADC causam uma queda de tensão nos resistores do filtro que aparece como um erro de deslocamento diferencial se as correntes de polarização e/ou os resistores do filtro não forem iguais. A TI recomenda limitar os resistores a no máximo 10 $\text{k}\Omega$ para reduzir erros de deslocamento CC devido à corrente de polarização de entrada. $RI1$ e $RI2$ são escolhidos para serem 4,7 $\text{k}\Omega$.

O capacitor diferencial do filtro de entrada (CI_DIFF) é calculado a partir da frequência de corte conforme mostrado na [Equação 34](#). $f_{-3dB_DIFF} = 1 / (2 \cdot \pi \cdot CI_DIFF)$.

$$(RI1 + RRTD + RI2) f_{-3dB_DIFF} = 1 / (2 \cdot \pi \cdot CI_DIFF) \quad (34)$$

$$(4,7 \text{ k}\Omega + 150 \text{ }\text{\AA} + 4,7 \text{ k}\Omega) \quad (35)$$

Depois de resolver CI_DIFF , o capacitor é escolhido para ter um valor padrão de 68 nF.

Para garantir que a incompatibilidade dos capacitores do filtro de modo comum não se traduza em uma tensão diferencial, os capacitores de modo comum (CI_CM1 e CI_CM2) são escolhidos para serem 10 vezes menores que o capacitor diferencial, tornando-os 6,8 nF cada. Isso resulta em uma frequência de corte de modo comum que é aproximadamente 20 vezes maior que o filtro diferencial, tornando a correspondência das frequências de corte de modo comum menos crítica. $f_{-3dB_CM+} = 1 / (2 \cdot \pi \cdot CI_CM1 \cdot (RI1 + RRTD + RREF))$ $f_{-3dB_CM-} = 1 / (2 \cdot \pi \cdot CI_CM1 \cdot (RI2 + RREF))$.

$$(RI2 + RREF)) \quad (36)$$

$$(37)$$

Depois de substituir os valores na [Equação 36](#) e na [Equação 37](#), as frequências de corte de modo comum são $f_{-3dB_CM+} = 4,13\text{ kHz}$ e $f_{-3dB_CM-} = 4,24\text{ kHz}$.

Frequentemente, a filtragem da entrada de referência não é necessária e a adição de capacidade em massa na entrada de referência é suficiente. No entanto, as equações que mostram um procedimento de projeto que calcula os valores do filtro para as entradas de referência são mostradas abaixo.

O filtro de referência diferencial foi projetado para ter uma frequência de canto de -3 dB de 250 Hz para corresponder ao filtro de entrada diferencial. Os dois resistores de filtro de referência são selecionados para serem 9,09 $\text{k}\Omega$, várias vezes maiores que o valor de RREF. Os resistores do filtro de referência não devem ser dimensionados acima de 10 $\text{k}\Omega$ ou os erros de polarização CC se tornarão significativos. O capacitor diferencial para o filtro de referência é calculado conforme mostrado na [Equação 38](#).

$$f_{-3dB_DIFF} = 1 / (2 \cdot \pi \cdot CR_DIFF \cdot (RR1 + RRTD + RR2)) \quad (38)$$

$$CR_DIFF \approx 33 \quad (39)$$

nF Após resolver CR_DIFF , o capacitor é escolhido para ter um valor padrão de 33 nF.

Para garantir que a incompatibilidade dos capacitores do filtro de modo comum não se traduza em uma tensão diferencial, os capacitores de modo comum de referência (CR_CM1 e CR_CM2) são escolhidos para serem 10 vezes menores que o capacitor diferencial de referência, tornando-os 3,3 nF cada. Novamente, a frequência de corte resultante para os filtros de modo comum é aproximadamente 20 vezes maior que a do filtro diferencial, tornando a correspondência das frequências de corte menos crítica. (40) (41)

$$f_{-3dB_CM+} = 1 / (2 \cdot \pi \cdot CR_CM1 \cdot (RR1 + RREF))$$

$$f_{-3dB_CM-} = 1 / (2 \cdot \pi \cdot CR_CM2 \cdot RR2)$$

Depois de substituir os valores na [Equação 40](#) e na [Equação 41](#), as frequências de corte de modo comum para o filtro de referência são $f_{-3dB_CM+} = 4,87\text{ kHz}$ e $f_{-3dB_CM-} = 5,31\text{ kHz}$.

10.2.1.2.8 Configurações de Cadastro

As configurações de registro para este projeto são mostradas na [Tabela 49](#).

Tabela 49. Configurações de registro

| REGISTRO | NOME | CONTEXTO | DESCRIÇÃO |
|----------|----------|----------|---|
| 00h | MUX0 | 0Ah | Selecione AIN1 = AINP e AIN2 = AINN |
| 01h | VBIAS | 00h | |
| 02h | MUX1 | 20h | Referência interna habilitada, Entradas de referência REFP0 e REFN0 selecionadas |
| 03h | SYS0 | 22h | Ganho PGA = 4, DR = 20 SPS |
| 04h | OFC0(1) | xxh | |
| 05h | OFC1 | xxh | |
| 06h | OFC2 | xxh | |
| 07h | FSC0(1) | xxh | |
| 08h | FSC1 | xxh | |
| 09h | FSC2 | xxh | |
| 0Ah | IDAC0 | x6h | Os bits de ID podem depender da versão, Magnitude IDAC definida para 1 mA |
| 0Bh | IDAC1 | 03h(2) | IDAC1 definido como AIN0; IDAC2 definido como AIN3 |
| 0Ch | GPIOCFG | 00h | |
| 0Dh | GPIOCDIR | 00h | |
| 0Eh | GPIODATO | 00h | |

(1) Uma calibração de ganho de dois pontos e uma calibração de deslocamento removem erros da tolerância RREF, tensão de deslocamento e erro de ganho. Os resultados são usado para os registros OFC e FSC

(2) Para cortar as fontes de corrente de excitação, troque os pinos de saída com o registro IDAC1 e configure para 30h

10.2.1.3 Curvas de Aplicação

Para testar a precisão do circuito de aquisição, uma série de resistores calibrados de alta precisão são usados como a entrada para o sistema. As medições são feitas a TA = 25°C. [A Figura 117](#) exibe a resistência não calibrada precisão de medição do sistema em uma faixa de entrada de 20 °C a 400 °C. O erro de deslocamento pode ser atribuído ao deslocamento do ADC, enquanto o erro de ganho pode ser atribuído à precisão do resistor RREF e do ADC.

Um ajuste de curva linear é aplicado aos resultados, produzindo o ganho do sistema e erros de deslocamento exibidos na [Figura 117](#).

As aplicações de medição precisa de temperatura são normalmente calibradas para remover os efeitos de ganho e deslocamento erros, que geralmente dominam o erro total do sistema. O método de calibração mais simples é linear ou de dois pontos. calibração que aplica um termo de ganho e deslocamento igual e oposto para cancelar o ganho do sistema medido e erros de deslocamento. A aplicação de uma calibração de ganho e deslocamento produz os resultados calibrados mostrados na [Figura 118](#).

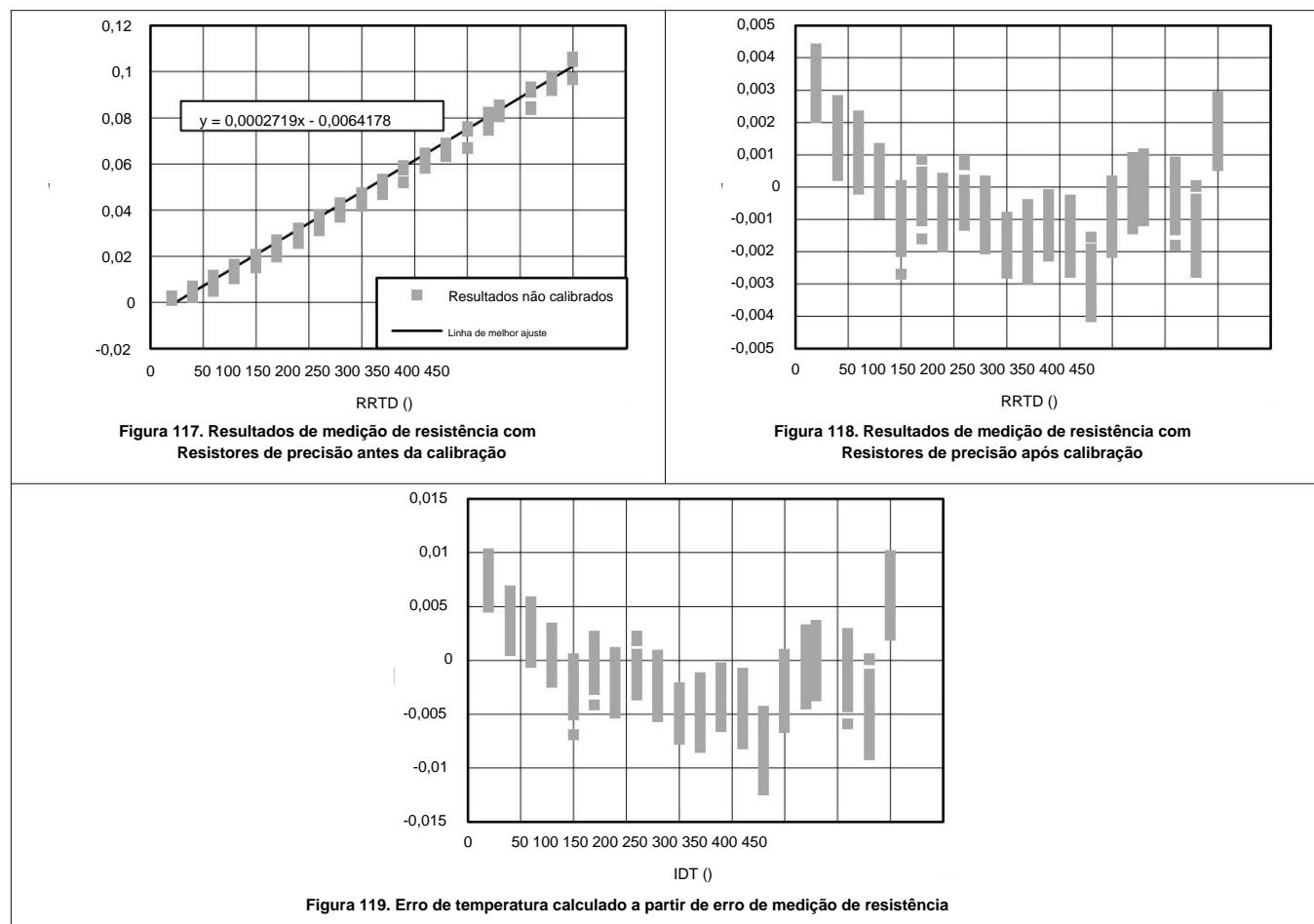
Os resultados na [Figura 118](#) são convertidos em precisão de temperatura dividindo os resultados pela sensibilidade do RTD ($\frac{\Delta}{\Delta}$) na resistência medida. Em toda a faixa de entrada de resistência, o erro total máximo medido é $\pm 0,00415\%$. [A Equação 42](#) usa o erro de resistência medido e a sensibilidade do RTD a 0°C para calcular a precisão da temperatura medida.

$$\text{Erro (C)} = \frac{\text{Erro (\%)}}{0,00415} - \frac{0,00415}{0,0106^\circ\text{C}} = \frac{0,39083}{0,0106^\circ\text{C}} = 36,3^\circ\text{C} \quad (42)$$

A [Figura 119](#) exibe a precisão da temperatura calculada do circuito assumindo uma resistência RTD linear para resposta de temperatura. Não inclui qualquer compensação de linearidade do RTD.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

A Tabela 50 compara a precisão da medição com o objetivo do projeto da Tabela 46.

Tabela 50. Comparação entre metas de design e desempenho medido

| | META | MEDIDO |
|---|--------------------------|----------------------------|
| Precisão de Medição de Resistência Calibrada em TA = 25°C | $\pm 0,01925\text{y}$ | $\pm 0,00415\text{y}$ |
| Precisão de medição de temperatura calibrada em TA = 25°C | $\pm 0,05^\circ\text{C}$ | $\pm 0,0106^\circ\text{C}$ |

Para obter informações mais detalhadas sobre o projeto, cálculos ou análise de erros, consulte *Medição RTD de 3 fios Projeto de referência do sistema, -200°C a 850°C, SLAU520*.

10.2.2 Medição por Termopar Tipo K (–200°C a +1250°C) com Compensação de Junção Fria A Figura 120

mostra as conexões básicas de um sistema de medição por termopar baseado no ADS1248. Este circuito usa uma medição de compensação de junção fria baseada na topologia *do sistema de medição RTD de 3 fios raciométrico* mostrada no exemplo de aplicação anterior. O uso dos pinos IEXC1 e IEXC2 permite o roteamento das correntes IDAC sem usar quaisquer outros pinos analógicos. Junto com as medições de termopar e junção fria, quatro outras entradas analógicas (AIN4 a AIN7 não mostradas no esquema) estão disponíveis para medições alternativas ou uso como pinos GPIO.

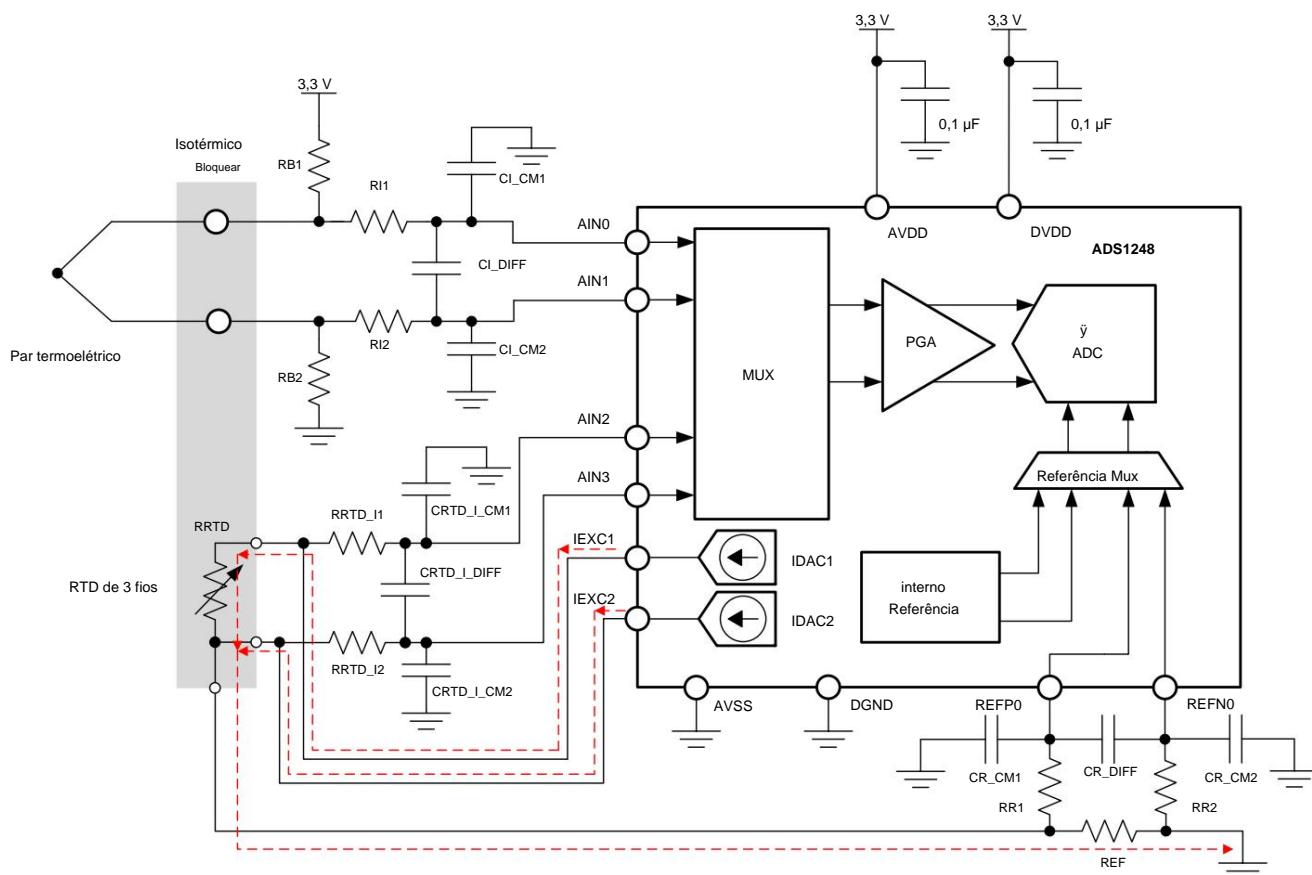


Figura 120. Sistema de medição de termopar usando o ADS1248

10.2.2.1 Requisitos de Projeto A

Tabela 51 mostra os requisitos de projeto da aplicação do termopar para o ADS1248.

Tabela 51. Exemplo de requisitos de projeto de aplicação de termopar

| PARÂMETRO DE PROJETO | VALOR |
|--------------------------------------|-------------------------------|
| Tensão de alimentação | 3,3 V |
| Voltagem de referência | Referência interna de 2.048 V |
| Taxa de atualização | ~ 10 leituras por segundo |
| Tipo de termopar | K |
| Faixa de medição de temperatura | –200°C a +1250°C |
| Precisão de medição em TA = 25°C (1) | ±0,2°C |

(1) Não contabilizando o erro do termopar e da medição da junta fria; a calibração de deslocamento é realizada em T(TC) = T(CJ) = 25°C; não ganhar calibração.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com**10.2.2.2 Procedimento de Projeto Detalhado****10.2.2.2.1 Resistores de polarização**

Os resistores de polarização RB1 e RB2 são usados para definir a tensão de modo comum do termopar dentro da faixa de tensão de modo comum especificada do PGA (neste exemplo, para AVDD/2 de alimentação média). Se a aplicação exigir que o termopar seja polarizado para GND, uma alimentação bipolar (por exemplo, AVDD = 2,5 V e AVSS = -2,5 V) deverá ser usada para que o dispositivo atenda aos requisitos de tensão de modo comum do PGA. Ao escolher os valores dos resistores de polarização, deve-se tomar cuidado para que a corrente de polarização não prejudique a precisão da medição. A corrente de polarização flui através do termopar e pode causar autoaquecimento e quedas de tensão adicionais nos terminais do termopar. Os valores típicos para os resistores de polarização variam de 1 M Ω a 50 M Ω .

Além de polarizar o termopar, RB1 e RB2 também são úteis para detectar um terminal de termopar aberto.

Quando um dos terminais do termopar falha na abertura, os resistores de polarização puxam as entradas analógicas (AIN0 e AIN1) para AVDD e AVSS, respectivamente. Conseqüentemente, o ADC lê um valor de escala completa, que está fora da faixa normal de medição da tensão do termopar, para indicar esta condição de falha.

10.2.2.2.2 Filtragem de Entrada

Embora o filtro digital atenuar componentes de ruído de alta frequência, a TI recomenda fornecer um filtro RC passivo de primeira ordem nas entradas para melhorar ainda mais o desempenho. O filtro RC diferencial formado por RI1, RI2 e o capacitor diferencial CI_DIFF oferece uma frequência de corte que é calculada usando a [Equação 43](#).

$$f_C = 1 / (2 \cdot (\text{RI1} + \text{RI2}) \cdot \text{CI_DIFF}) \quad (43)$$

Dois capacitores de filtro de modo comum (CI_CM1 e CI_CM2) também são adicionados para oferecer atenuação de componentes de ruído de modo comum de alta frequência. A TI recomenda que o capacitor diferencial CI_DIFF seja pelo menos uma ordem de magnitude (10x) maior que os capacitores de modo comum (CI_CM1 e CI_CM2) porque incompatibilidades nos capacitores de modo comum podem converter o ruído de modo comum em ruído diferencial.

Os resistores de filtro RF1 e RF2 também servem como resistores limitadores de corrente. Esses resistores limitam a corrente nas entradas analógicas (AIN0 e AIN1) do dispositivo a níveis seguros caso ocorra uma sobretensão nas entradas. Deve-se ter cuidado ao escolher os valores do resistor do filtro porque as correntes de entrada que fluem para dentro e para fora do dispositivo causam uma queda de tensão nos resistores. Esta queda de tensão aparece como um erro de deslocamento adicional nas entradas ADC. Para medições de termopares, a TI recomenda limitar os valores do resistor do filtro abaixo de 10 k Ω .

Os valores dos componentes do filtro usados neste projeto são: RI1 = RI2 = 1 k Ω , CI_DIFF = 100 nF e CI_CM1 = CI_CM2 = 10 nF.

10.2.2.2.3 Configuração PGA

A maior resolução de medição é alcançada ao combinar o maior sinal de entrada potencial com o FSR do ADC, escolhendo o maior ganho possível. Pelo requisito do projeto, a tensão máxima do termopar ocorre em TTC = 1250°C e é VTC = 50,644 mV conforme definido nas tabelas publicadas pelo Instituto Nacional de Padrões e Tecnologia (NIST), usando uma temperatura de junção fria de TCJ = 0°C. Um termopar produz uma tensão de saída que é proporcional à diferença de temperatura entre a ponta do termopar e a junta fria. Se a junta fria estiver a uma temperatura inferior a 0°C, o termopar produz uma tensão superior a 50,644 mV. A área do bloco isotérmico é limitada pela faixa de temperatura operacional do dispositivo.

Portanto, a temperatura do bloco isotérmico é limitada a -40°C. Um termopar tipo K em TTC = 1250°C produz uma tensão de saída de VTC = 50,644 mV - (-1,527 mV) = 52,171 mV quando referenciado a uma temperatura de junção fria de TCJ = -40°C. O ganho máximo que pode ser aplicado ao usar a referência interna de 2,048 V é então calculado como 39,3 da [Equação 44](#). A próxima configuração menor de ganho PGA que o dispositivo oferece é 32.

$$\text{GanhoMAX} = \text{VREF} / \text{VTC MAX} = 2,048 \text{ V} / 52,171 \text{ mV} = 39,3 \quad (44)$$

10.2.2.2.4 Medição de Junção Fria

AIN2 e AIN3 estão conectados a um RTD de 3 fios que é usado para medir a temperatura da junta fria. Semelhante ao [sistema de medição RTD raciométrico de 3 fios](#), o design do RTD de 3 fios é o mesmo, exceto que as entradas e as fontes de corrente de excitação foram alteradas. Observe que o ganho RREF e PGA pode ser otimizado para uma faixa de temperatura reduzida.

O dispositivo não realiza uma compensação automática da junta fria do termopar. Esta compensação deve ser feita no microcontrolador que faz interface com o dispositivo. O microcontrolador solicita uma ou múltiplas leituras da tensão do termopar do dispositivo e então configura o dispositivo para medir a junção fria com o RTD para compensar a temperatura da junção fria.

Um algoritmo semelhante ao seguinte deve ser implementado no microcontrolador para compensar a temperatura da junta fria:

1. Meça a tensão do termopar, V(TC), entre AIN0 e AIN1.
2. Meça a temperatura da junção fria, T(CJ), usando uma medição raciométrica com o RTD de 3 fios entre AIN2 e AIN3.
3. Converta a temperatura da junta fria em uma tensão termoelétrica equivalente, V(CJ), usando as tabelas ou equações fornecidas pelo NIST.
4. Adicione V(TC) e V(CJ) e converta a soma de volta em uma temperatura de termopar usando as tabelas NIST ou equações novamente.

Existem métodos alternativos para medir a temperatura da junta fria. Os canais de entrada analógica adicionais do dispositivo pode ser usado neste caso para medir a temperatura da junta fria com um termistor ou um dispositivo alternativo sensor de temperatura analógico.

10.2.2.5 Resolução Calculada

Para obter uma aproximação da resolução de temperatura alcançável, o ruído RMS do ADS1248 em Ganho = 32 e DR = 20 SPS (0,16 μ Vrms) é retirado da [Tabela 5](#). O ruído é dividido pela sensibilidade média de um tipo K termopar (41 μ V/°C), conforme mostrado na [Equação 45](#).

$$\text{Resolução de temperatura} = 0,16 \mu\text{V} / 41 \mu\text{V}/^\circ\text{C} = 0,004^\circ\text{C} \quad (45)$$

10.2.2.6 Configurações de registro

As configurações de registro para este projeto são mostradas na [Tabela 52](#). As entradas são selecionadas para medir o termopar e a referência interna é usada e selecionada. As fontes de corrente de excitação são selecionadas e ligadas. Enquanto isso consome alguma energia, permite uma transição rápida para a medição da junta fria.

Tabela 52. Configurações de registro para medição por termopar

| REGISTRO | NOME | CONTEXTO | DESCRIÇÃO |
|----------|----------|----------|---|
| 00h | MUX0 | 01h | Selecione AIN0 = AINP, AIN1 = AINN |
| 01h | VBIAS | 00h | |
| 02h | MUX1 | 30h | Referência interna habilitada, referência interna selecionada |
| 03h | SYS0 | 52h | Ganho PGA = 32, DR = 20 SPS |
| 04h | OFC0 | xxh | |
| 05h | OFC1 | xxh | |
| 06h | OFC2 | xxh | |
| 07h | FSC0 | xxh | |
| 08h | FSC1 | xxh | |
| 09h | FSC2 | xxh | |
| 0Ah | IDAC0 | x6h | Magnitude IDAC definida para 1 mA |
| 0Bh | IDAC1 | 89h | IDAC1 definido como IEXC1, IDAC2 definido como IEXC2 |
| 0Ch | GPIOCFG | 00h | |
| 0Dh | GPIODIR | 00h | |
| 0Eh | GPIODATO | 00h | |

Passando para a medição de junta fria, os registradores são configurados para medir o RTD. Isso requer mudança a entrada, a entrada de referência, o ganho e quaisquer configurações de calibração necessárias para a precisão da medição.

A [Tabela 53](#) mostra as configurações de registro para a medição RTD usada para compensação de junta fria.

ADS1246, ADS1247, ADS1248

SBAS426H –AGOSTO DE 2008–REVISADO MARÇO DE 2016

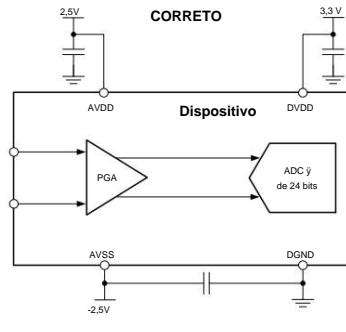
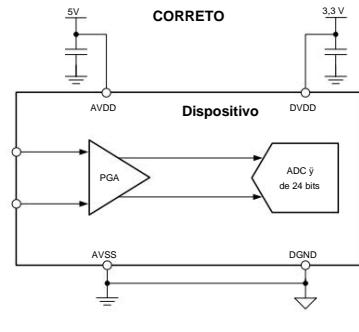
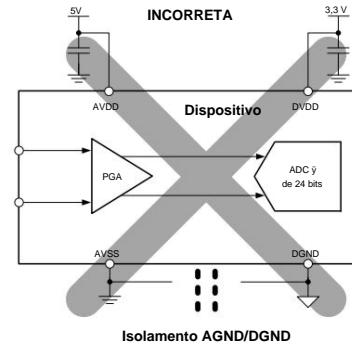
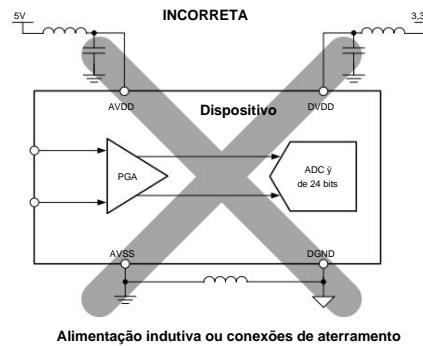
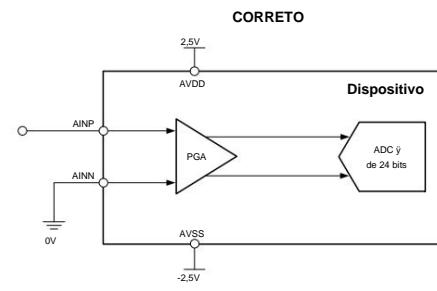
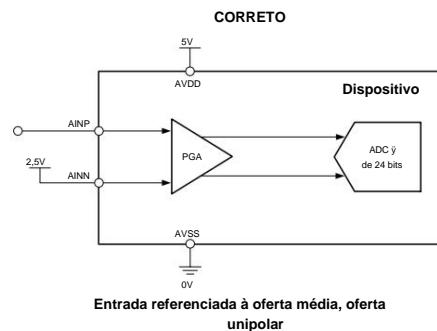
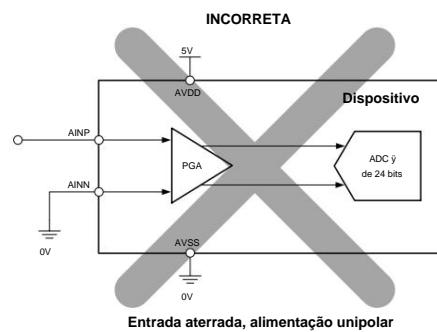
www.ti.com**Tabela 53. Configurações de registro para medição de junta fria**

| REGISTRO | NOME | CONTEXTO | DESCRIÇÃO |
|----------|----------|----------|--|
| 00h | MUX0 | 13h | Selecione AIN2 = AINP, AIN3 = AINN |
| 01h | VBIAS | 00h | |
| 02h | MUX1 | 20h | Referência interna habilitada, REFP0 e REFN0 selecionado |
| 03h | SYS0 | 22h | Ganho PGA = 4, DR = 20 SPS |
| 04h | OFC0 | xxh | Os valores de calibração serão diferentes entre configurações de medição |
| 05h | OFC1 | xxh | |
| 06h | OFC2 | xxh | |
| 07h | FSC0 | xxh | |
| 08h | FSC1 | xxh | |
| 09h | FSC2 | xxh | |
| 0Ah | IDAC0 | x6h | Magnitude IDAC definida para 1 mA |
| 0Bh | IDAC1 | 89h | IDAC1 definido como IEXC1, IDAC2 definido como IEXC2 |
| 0Ch | GPIOCFG | 00h | |
| 0Dh | GPIODIR | 00h | |
| 0Eh | GPIODATO | 00h | |

10.3 O que fazer e o que não fazer

- Divida os circuitos analógico, digital e de alimentação em seções separadas na PCB.
- Use um único plano de aterramento para aterramentos analógicos e digitais.
- Coloque os componentes analógicos próximos aos pinos ADC usando conexões curtas e diretas.
- Mantenha o pino SCLK livre de falhas e ruídos.
- Verifique se as tensões de entrada analógicas estão dentro da faixa de tensão de entrada PGA especificada em todas as entradas condições.
- Faça flutuar os pinos de entrada analógica não utilizados para minimizar a corrente de fuga de entrada. Conectar pinos não utilizados ao AVDD é a próxima melhor opção.
- Forneça limitação de corrente para as entradas analógicas caso ocorram falhas de sobretensão.
- Use um regulador linear de baixa queda (LDO) para reduzir a tensão de ondulação gerada pela energia do modo de comutação suprimentos. Isto é especialmente verdadeiro para AVDD, onde o ruído da fonte pode afetar o desempenho.
- Não cruze sinais analógicos e digitais.
- Não permita que as tensões da fonte de alimentação analógica e digital excedam 5,5 V sob quaisquer condições, inclusive durante ligar e desligar.

A Figura 121 mostra o que fazer e o que não fazer nas conexões do circuito ADC.

O que fazer e o que não fazer (continuação)**Figura 121. Conexões de circuito do que fazer e do que não fazer**

11 Recomendações de fonte de alimentação O dispositivo

requer duas fontes de alimentação: analógica (AVDD, AVSS) e digital (DVDD, DGND). A fonte de alimentação analógica pode ser bipolar (por exemplo, AVDD = 2,5 V, AVSS = -2,5 V) ou unipolar (por exemplo, AVDD = 3,3 V, AVSS = 0 V) e é independente da fonte de alimentação digital. A fonte digital define os níveis de E/S digital (com exceção dos níveis GPIO que são definidos pela fonte analógica de AVDD para AVSS).

11.1 Sequenciamento da fonte de alimentação

As fontes de alimentação podem ser sequenciadas em qualquer ordem, mas em nenhum caso nenhuma entrada analógica ou digital deve exceder os respectivos limites de tensão da fonte de alimentação analógica ou digital. Aguarde pelo menos 2¹⁶ ciclos tCLK depois que todas as fontes de alimentação estiverem estabilizadas antes de se comunicar com o dispositivo para permitir que o processo de redefinição de inicialização seja concluído.

11.2 Desacoplamento da fonte de alimentação

Um bom desacoplamento da fonte de alimentação é importante para obter um desempenho ideal. AVDD, AVSS (ao usar uma fonte bipolar) e DVDD devem ser desacoplados com pelo menos um capacitor de 0,1 μ F, conforme mostrado na Figura 122. Coloque os capacitores de bypass o mais próximo possível dos pinos da fonte de alimentação do dispositivo usando baixa tensão. conexões de impedância.

A TI recomenda o uso de capacitores de chip cerâmico multicamadas (MLCCs) que oferecem características de baixa resistência em série equivalente (ESR) e indutância (ESL) para fins de desacoplamento da fonte de alimentação. Para sistemas muito sensíveis, ou para sistemas em ambientes com ruídos severos, evitar o uso de vias para conectar os capacitores aos pinos do dispositivo pode oferecer imunidade superior a ruídos. O uso de múltiplas vias em paralelo reduz a indutância geral e é benéfico para conexões com planos de aterrimento. A TI recomenda conectar o aterramento analógico e digital o mais próximo possível do dispositivo.

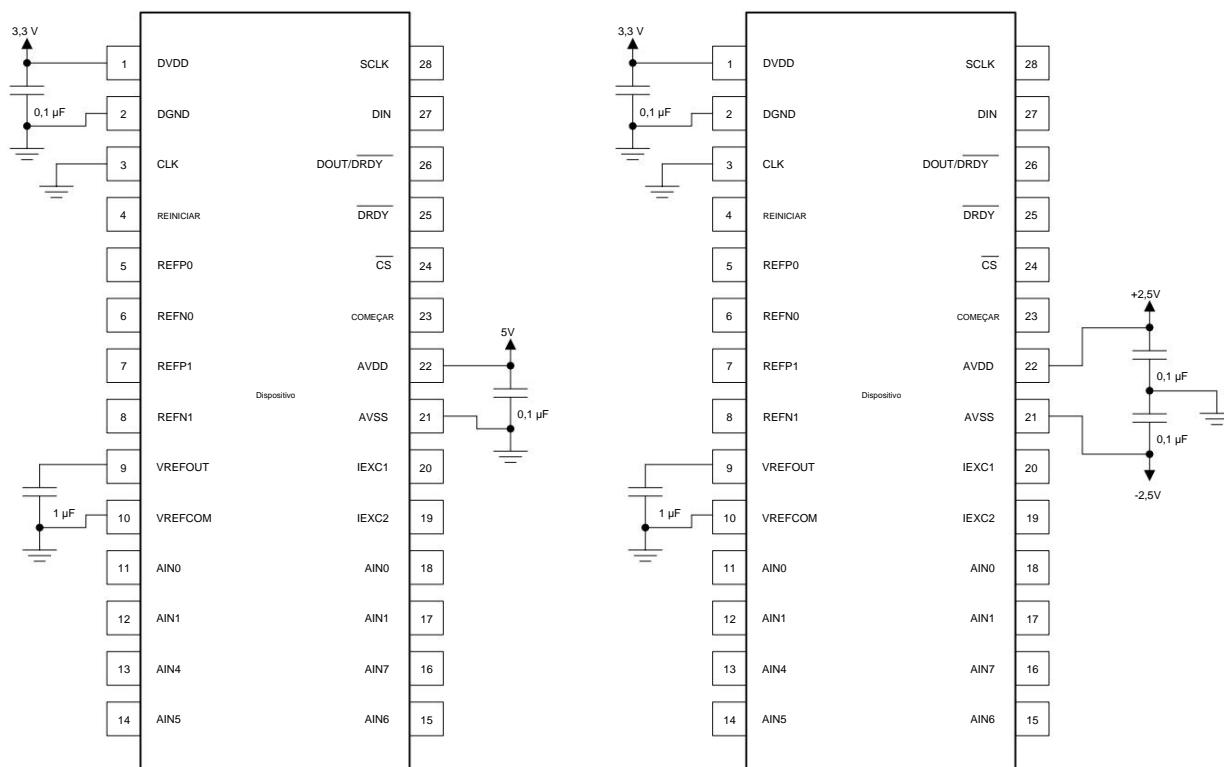


Figura 122. Desacoplamento da fonte de alimentação para operação de alimentação unipolar e bipolar

12 Disposição

12.1 Diretrizes de layout A TI

recomenda empregar as melhores práticas de projeto ao projetar uma placa de circuito impresso (PCB) para componentes analógicos e digitais. Esta recomendação geralmente significa que o layout separa componentes analógicos [como ADCs, amplificadores, referências, conversores digital-analógico (DACs) e MUXs analógicos] de componentes digitais [como microcontroladores, dispositivos lógicos programáveis complexos (CPLDs), campo -matrizes de portas programáveis (FPGAs), transceptores de radiofrequência (RF), transceptores de barramento serial universal (USB) e reguladores de comutação]. Um exemplo de bom posicionamento de componentes é mostrado na [Figura 123](#). Embora a [Figura 123](#) forneça um bom exemplo de posicionamento de componentes, o melhor posicionamento para cada aplicação é exclusivo das geometrias, componentes e capacidades de fabricação de PCB empregados. Ou seja, não existe um layout único que seja perfeito para cada projeto e uma consideração cuidadosa deve sempre ser usada ao projetar com qualquer componente analógico.

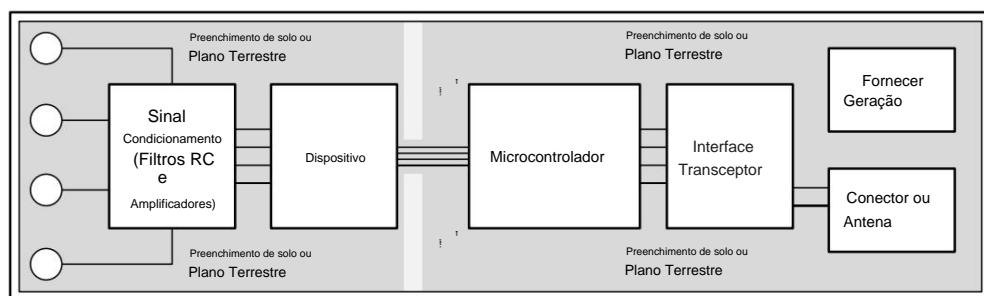


Figura 123. Posicionamento dos Componentes do Sistema

A seguir descrevemos algumas recomendações básicas para o layout do ADS1248 para obter o melhor desempenho possível do ADC. Um bom projeto pode ser arruinado com um layout de circuito ruim.

- Sinais analógicos e digitais separados. Para começar, divida a placa em seções analógicas e digitais onde o layout permitir. Afaste as linhas digitais das linhas analógicas. Isso evita que o ruído digital se acople novamente aos sinais analógicos.
- O plano de terra pode ser dividido em plano analógico (AGND) e plano digital (DGND), mas isso não é necessário. Coloque os sinais digitais no plano digital e os sinais analógicos no plano analógico. Como etapa final do layout, a divisão entre os aterramentos analógico e digital deve ser conectada no ADC.
- Preencha as áreas vazias nas camadas de sinal com preenchimento de solo.
- Fornecer bons caminhos de retorno ao solo. As correntes de retorno de sinal fluirão no caminho de menor impedância. Se o plano de terra estiver cortado ou tiver outros traços que bloqueiem o fluxo da corrente próximo ao traço do sinal, será necessário encontrar outro caminho para retornar à fonte e completar o circuito. Se for forçado a seguir um caminho maior, aumenta a chance de o sinal irradiar. Sinais sensíveis serão mais suscetíveis à interferência EMI.
- Use capacitores de bypass nas fontes para reduzir ruído de alta frequência. Não coloque vias entre os capacitores de bypass e o dispositivo ativo. Colocar os capacitores de bypass na mesma camada, próximo ao dispositivo ativo, produz os melhores resultados.
- Considere a resistência e a indutância do roteamento. Freqüentemente, os traços das entradas possuem resistências que reagem com a corrente de polarização de entrada e causam uma tensão de erro adicional. A redução da área do loop delimitada pelo sinal da fonte e pela corrente de retorno reduzirá a indutância no caminho. A redução da indutância reduzirá a captação EMI e reduzirá a impedância de alta frequência vista pelo dispositivo.
- Fique atento a termopares parasitas no layout. Metais diferentes que vão de cada entrada analógica para o sensor podem criar um termopar parasita que pode adicionar um deslocamento à medição. As entradas diferenciais devem ser combinadas para ambas as entradas que vão para a fonte de medição.
- As entradas analógicas com conexões diferenciais devem ter um capacitor colocado diferencialmente nas entradas. As melhores combinações de entrada para medições diferenciais usam linhas de entrada analógicas adjacentes, como AIN0, AIN1 e AIN2, AIN3. Os capacitores diferenciais devem ser de alta qualidade. Os melhores capacitores de chip cerâmico são C0G (NPO), que possuem propriedades estáveis e características de baixo ruído.

ADS1246, ADS1247, ADS1248

SBAS426H – AGOSTO DE 2008–REVISADO MARÇO DE 2016

www.ti.com

12.2 Exemplo de Layout

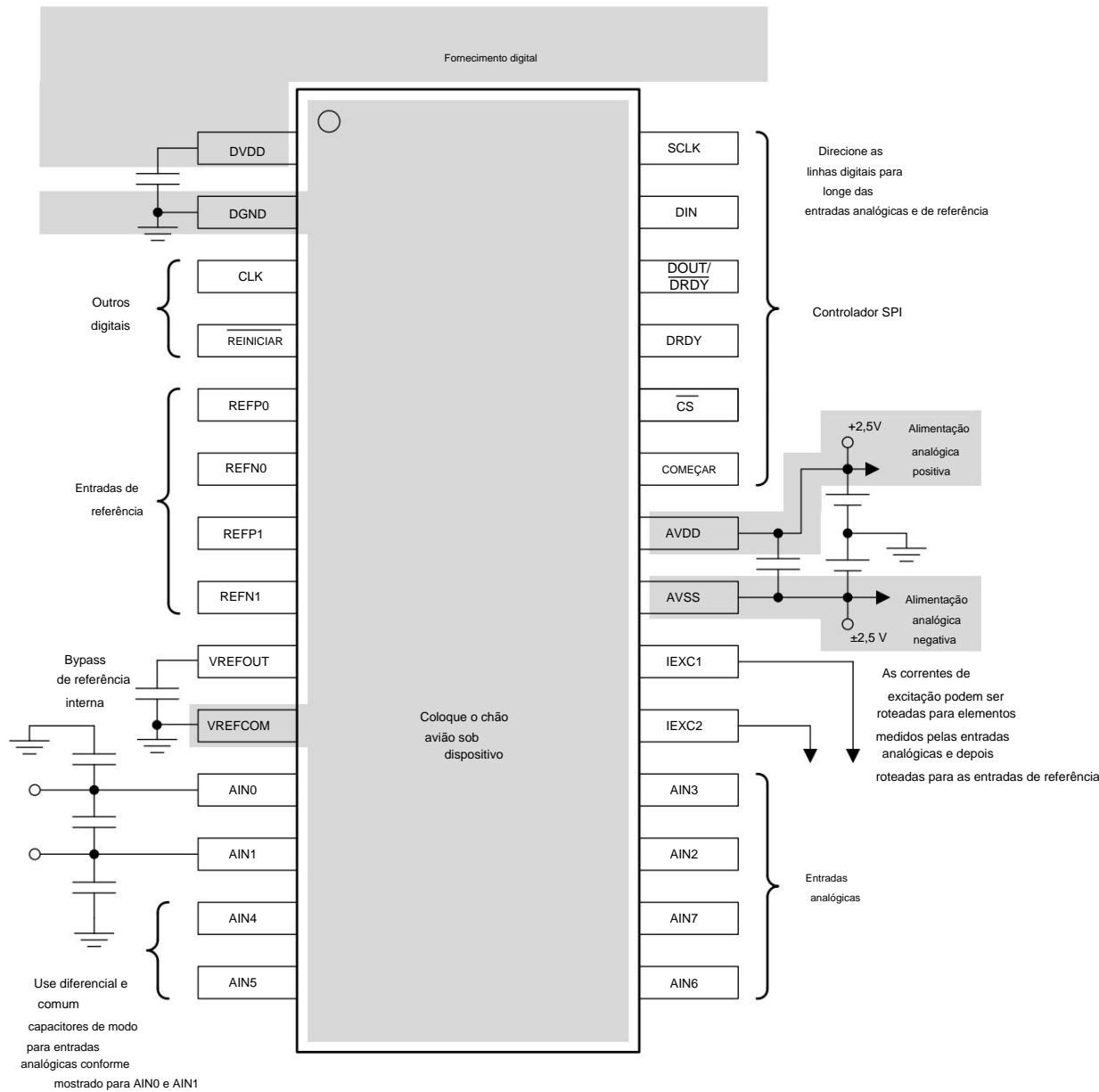


Figura 124. Exemplo de layout ADS124x

13 Suporte a dispositivos e documentação

13.1 Suporte de Documentação

13.1.1 Documentação Relacionada

Para documentação relacionada, consulte o seguinte:

- *Exemplos de aplicações de medição de temperatura usando ADS1247 e ADS1248, SBAA180*
- *Medições raciométricas e filtragem RTD usando a família de dispositivos ADS1148 e ADS1248, SBAA201*
- *Projeto de referência do sistema de medição RTD de 3 fios, -200°C a 850°C, SLAU520*
- *Um glossário de especificações e características de desempenho analógico-digital, SBAA147*

13.2 Links Relacionados

A tabela abaixo lista links de acesso rápido. As categorias incluem documentos técnicos, suporte e comunidade recursos, ferramentas e software e acesso rápido para provar ou comprar.

Tabela 54. Links Relacionados

| PEÇAS | AMOSTRA E COMPRA DE PASTA DE PRODUTOS | TÉCNICO DOCUMENTOS | FERRAMENTAS & PROGRAMAS | APOIAR & COMUNIDADE |
|---------|---------------------------------------|-----------------------------|-----------------------------|-----------------------------|
| ADS1246 | Clique aqui | Clique aqui | Clique aqui | Clique aqui |
| ADS1247 | Clique aqui | Clique aqui | Clique aqui | Clique aqui |
| ADS1248 | Clique aqui | Clique aqui | Clique aqui | Clique aqui |

13.3 Recursos Comunitários

Os links a seguir conectam-se aos recursos da comunidade TI. Os conteúdos vinculados são fornecidos "COMO ESTÃO" pelo respectivo contribuidores. Elas não constituem especificações da TI e não refletem necessariamente as opiniões da TI; consulte os [Termos de Usar](#).

Comunidade on-line TI E2E™ Comunidade de Engenheiro para Engenheiro (E2E) da TI. Criado para promover a colaboração entre engenheiros. Em e2e.ti.com você pode tirar dúvidas, compartilhar conhecimentos, explorar ideias e ajudar resolver problemas com colegas engenheiros.

Suporte de projeto Suporte de Design da TI Encontre rapidamente fóruns E2E úteis junto com ferramentas de suporte de design e informações de contato para suporte técnico.

13.4 Marcas Registradas

E2E é uma marca registrada da Texas Instruments.

SPI é uma marca registrada da Motorola, Inc.

Todas as outras marcas registradas são propriedade de seus respectivos proprietários.

13.5 Cuidado com descarga eletrostática

 Este circuito integrado pode ser danificado por ESD. A Texas Instruments recomenda que todos os circuitos integrados sejam manuseados com precauções apropriadas. A não observância dos procedimentos adequados de manuseio e instalação pode causar danos.

Os danos por ESD podem variar desde uma degradação sutil do desempenho até uma falha completa do dispositivo. Circuitos integrados de precisão podem ser mais suscetível a danos porque alterações paramétricas muito pequenas podem fazer com que o dispositivo não atenda às especificações publicadas.

13.6 Glossário

[SLYZ022 - Glossário TI](#).

Este glossário lista e explica termos, acrônimos e definições.

14 Informações mecânicas, de embalagem e para pedidos

As páginas a seguir incluem informações mecânicas, de embalagem e sobre pedidos. Esta informação é a mais dados atuais disponíveis para os dispositivos designados. Estes dados estão sujeitos a alterações sem aviso prévio e revisão de esse documento. Para versões desta folha de dados baseadas em navegador, consulte a navegação à esquerda.



www.ti.com

ADENDO DE OPÇÃO DE PACOTE

10 de dezembro de 2020

INFORMAÇÕES DE EMBALAGEM

| Dispositivo encomendável | Status (1) | Tipo de pacote Pacote Desenho | Pacote de alfinetes Quantidade | Plano Ecológico (2) | Acabamento de chumbo/ Material da bola (6) | Temperatura de pico MSL (3) | Temperatura operacional (°C) | Marcação do dispositivo (4/5) | Amostras |
|--------------------------|---------------|----------------------------------|-----------------------------------|------------------------|--|--------------------------------|------------------------------|----------------------------------|----------|
| | | | | | | | | | |
| ADS1246IPW | ATIVO | TSSOP | PW 16 | 90 RoHS e verde | NIPDAU | Nível-1-260C-UNLIM -40 a 105 | | ADS1246 | Samples |
| ADS1246IPWR | ATIVO | TSSOP | PW 16 2000 | RoHS e verde | NIPDAU | Nível-1-260C-UNLIM -40 a 105 | | ADS1246 | Samples |
| ADS1247IPW | ATIVO | TSSOP | PO 20 | 70 RoHS e verde | NIPDAU | Nível-2-260C-1 ANO -40 a 105 | | ADS1247 | Samples |
| ADS1247IPWR | ATIVO | TSSOP | PW 20 2000 | RoHS e verde | NIPDAU | Nível-2-260C-1 ANO -40 a 105 | | ADS1247 | Samples |
| ADS1248IPW | ATIVO | TSSOP | PO 28 | 50 RoHS e Verde | NIPDAU | Nível-2-260C-1 ANO -40 a 125 | | ADS1248 | Samples |
| ADS1248IPWR | ATIVO | TSSOP | PW 28 2000 | RoHS e Verde | NIPDAU | Nível-2-260C-1 ANO -40 a 125 | | ADS1248 | Samples |

(1) Os valores de status de marketing são definidos da seguinte forma:

ATIVO: Dispositivo de produto recomendado para novos projetos.

LIFEBUY: A TI anunciou que o dispositivo será descontinuado e um período de compra vitalícia está em vigor.

NRND: Não recomendado para novos designs. O dispositivo está em produção para dar suporte aos clientes existentes, mas a TI não recomenda o uso desta peça em um novo design.

PREVIEW: O dispositivo foi anunciado, mas não está em produção. As amostras podem ou não estar disponíveis.

OBSOLETO: A TI descontinuou a produção do aparelho.

(2) **RoHS:** A TI define "RoHS" como produtos semicondutores que estão em conformidade com os atuais requisitos RoHS da UE para todas as 10 substâncias RoHS, incluindo o requisito de que a substância RoHS não exceda 0,1% em peso em materiais homogêneos. Quando projetados para serem soldados em altas temperaturas, os produtos "RoHS" são adequados para uso em processos específicos sem chumbo. TI pode referenciar esses tipos de produtos como "Livres de Pb".

Isento de RoHS: A TI define "Isento de RoHS" como produtos que contêm chumbo, mas estão em conformidade com a RoHS da UE de acordo com uma isenção específica da RoHS da UE.

Verde: A TI define "Verde" como significando que o conteúdo de retardadores de chama à base de cloro (Cl) e bromo (Br) atendem aos requisitos de baixo halogênio JS709B de <= limite de 1000 ppm. À base de trióxido de antimônio os retardadores de chama também devem atender ao requisito de limite <=1000ppm.

(3) MSL, temperatura de pico. - A classificação do nível de sensibilidade à umidade de acordo com as classificações padrão da indústria JEDEC e o pico de temperatura de solda.

(4) Pode haver marcação adicional relacionada ao logotipo, às informações do código de rastreamento do lote ou à categoria ambiental do dispositivo.

(5) As marcações de vários dispositivos estarão entre parênteses. Apenas uma Marca de Dispositivo contida entre parênteses e separada por um "~" aparecerá em um dispositivo. Se uma linha for recuada, então é uma continuação da linha anterior e os dois combinados representam toda a marcação do dispositivo para esse dispositivo.

(6) Acabamento de chumbo/material da esfera - Os dispositivos que podem ser encomendados podem ter diversas opções de acabamento de material. As opções de acabamento são separadas por uma linha vertical. Os valores de acabamento de chumbo/material da bola podem agrupar-se em dois linhas se o valor final exceder a largura máxima da coluna.



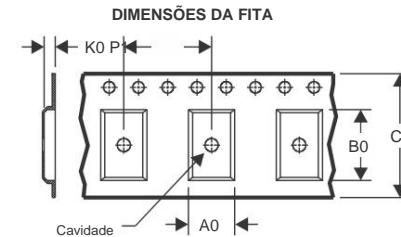
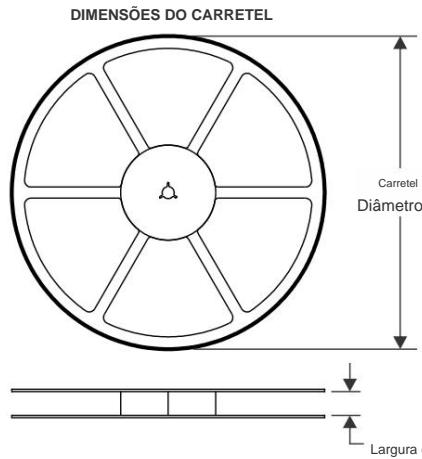
www.ti.com

ADENDO DE OPÇÃO DE PACOTE

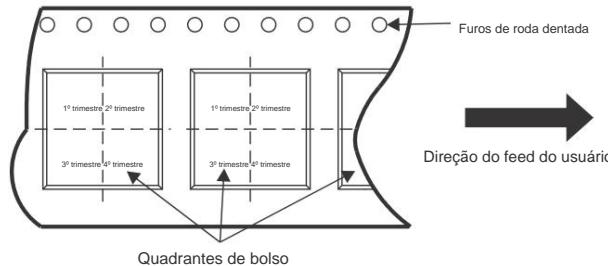
10 de dezembro de 2020

Informações importantes e isenção de responsabilidade: As informações fornecidas nesta página representam o conhecimento e a crença da TI na data em que foram fornecidas. A TI baseia o seu conhecimento e crença em informações fornecidas por terceiros e não faz nenhuma declaração ou garantia quanto à exatidão de tais informações. Estão em curso esforços para integrar melhor as informações de terceiros. A TI tomou e continua a tomar medidas razoáveis para fornecer informações representativas e precisas, mas pode não ter conduzido testes destrutivos ou análises químicas em materiais e produtos químicos recebidos. A TI e os fornecedores de TI consideram certas informações como proprietárias e, portanto, os números CAS e outras informações limitadas podem não estar disponíveis para divulgação.

Em nenhum caso a responsabilidade da TI decorrente de tais informações excederá o preço total de compra da(s) peça(s) da TI em questão neste documento vendidas pela TI ao Cliente anualmente.

INFORMAÇÕES SOBRE FITA E CARRETEL

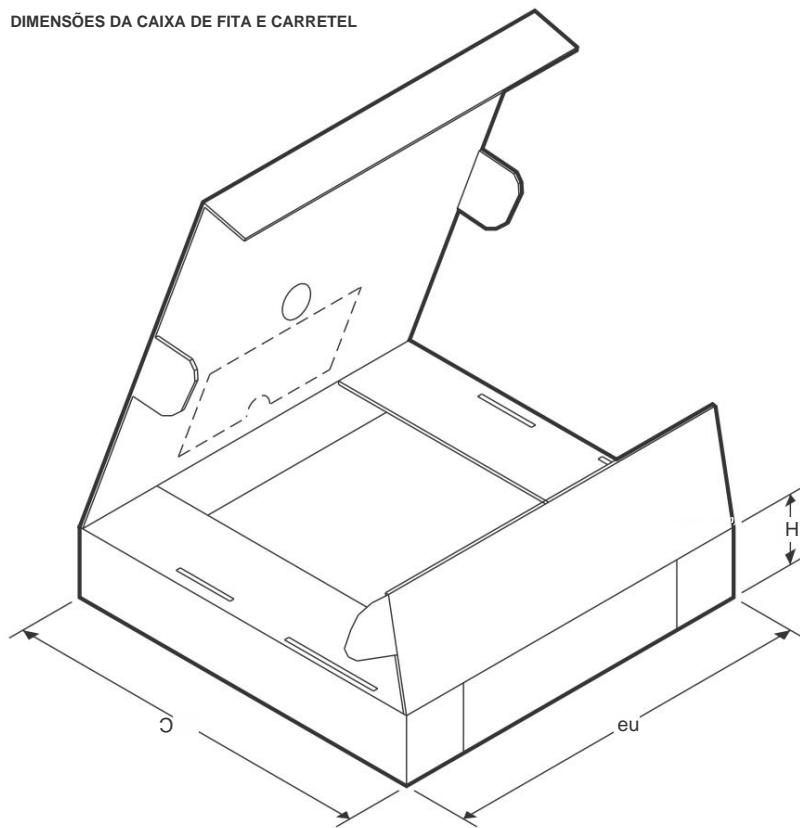
| | |
|----|--|
| A0 | Dimensão projetada para acomodar a largura do componente |
| B0 | Dimensão projetada para acomodar o comprimento do componente |
| K0 | Dimensão projetada para acomodar a espessura do componente |
| C | Largura total da fita transportadora |
| P1 | Passo entre centros de cavidades sucessivas |

ATRIBUIÇÕES DE QUADRANTE PARA ORIENTAÇÃO DO PIN 1 NA FITA

*Todas as dimensões são nominais

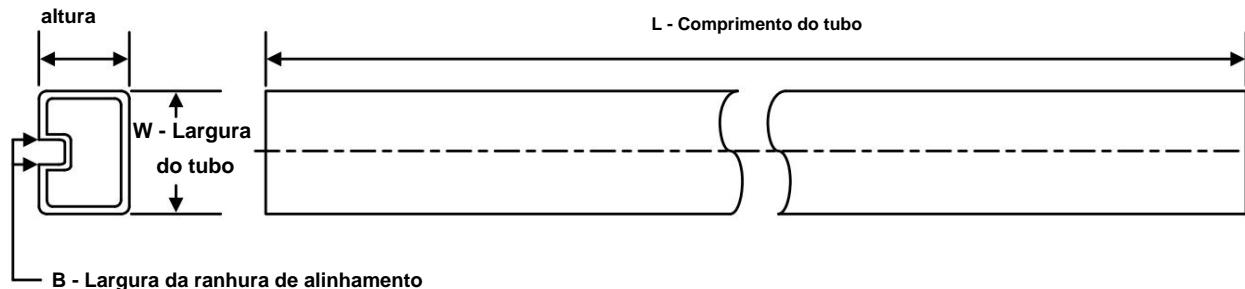
| Dispositivo | Pacote Tipo | Pacote Desenho | Pinos | SPQ Carretil | Diâmetro (milímetros) | Carretil Largura W1 (mm) | A0 (milímetros) | B0 (milímetros) | K0 (milímetros) | P1 (milímetros) | C (milímetros) | Pino1 Quadrante |
|-------------|------------------|----------------|-------|--------------|-----------------------|--------------------------|-----------------|-----------------|-----------------|-----------------|----------------|-----------------|
| ADS1246IPWR | TSSOP PW 16 2000 | | | | 330,0 | 12,4 | 6,9 | 5,6 | 1,6 | 8,0 | 12,0 | 1º trimestre |
| ADS1247IPWR | TSSOP PW 20 2000 | | | | 330,0 | 16,4 | 6,95 | 7,1 | 1,6 | 8,0 | 16,0 | 1º trimestre |
| ADS1248IPWR | TSSOP PW 28 2000 | | | | 330,0 | 16,4 | 6,9 | 10,2 | 1,8 | 12,0 | 16,0 | 1º trimestre |

DIMENSÕES DA CAIXA DE FITA E CARRETEL



*Todas as dimensões são nominais

| Dispositivo | Tipo de pacote | Pinos de desenho do pacote SPQ | Comprimento (mm) | Largura (mm) | Altura (mm) | | |
|-------------|----------------|--------------------------------|------------------|--------------|-------------|-------|------|
| ADS1246IPWR | TSSOP | PW | 16 | 2000 | 367,0 | 367,0 | 35,0 |
| ADS1247IPWR | TSSOP | PW | 20 | 2000 | 356,0 | 356,0 | 35,0 |
| ADS1248IPWR | TSSOP | PW | 28 | 2000 | 356,0 | 356,0 | 35,0 |

TUBO**T - Tubo**

*Todas as dimensões são nominais

| Dispositivo | Nome do pacote | Pinos do tipo de pacote | SPQ | L (mm) | W (mm) | T (μ m) | | B (mm) |
|-------------|----------------|-------------------------|-----|--------|--------|--------------|------|--------|
| ADS1246IPW | PW | TSSOP | 16 | 90 | 530 | 10.2 | 3600 | 3.5 |
| ADS1247IPW | PW | TSSOP | 20 | 70 | 530 | 10.2 | 3600 | 3.5 |
| ADS1248IPW | PW | TSSOP | 28 | 50 | 530 | 10.2 | 3600 | 3.5 |

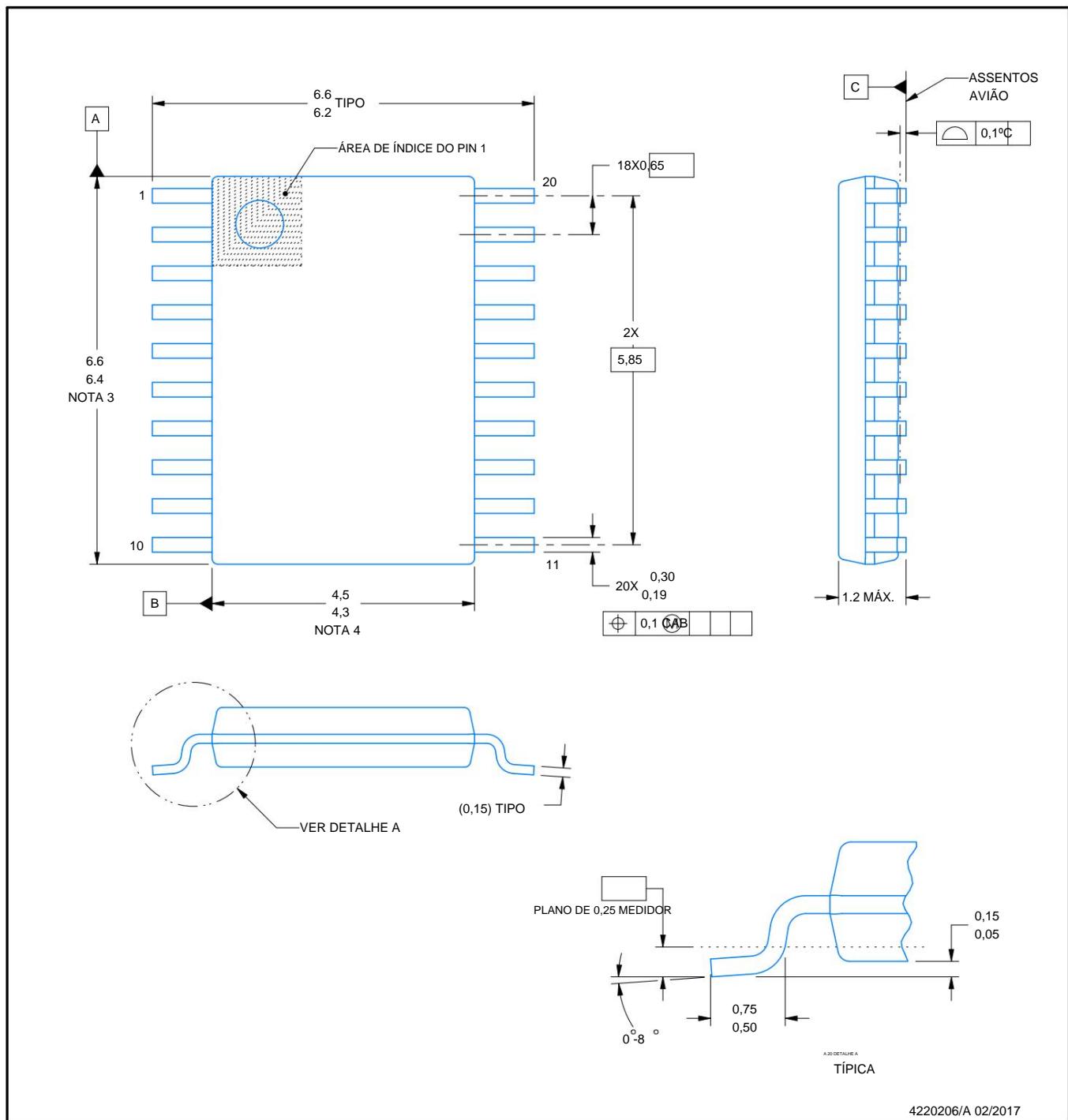
ESBOÇO DO PACOTE

PW0020A



TSSOP - altura máxima de 1,2 mm

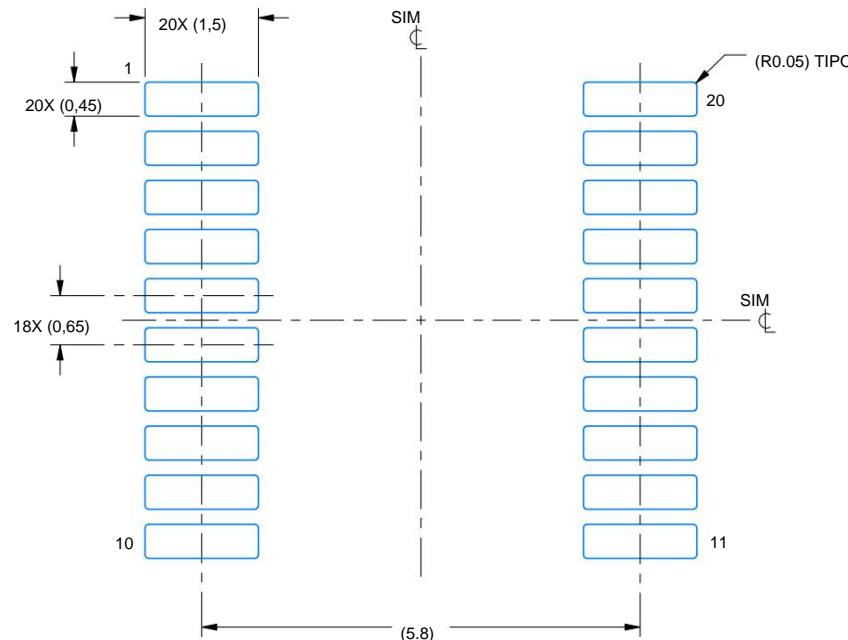
PEQUENO PACOTE DE ESBOÇO



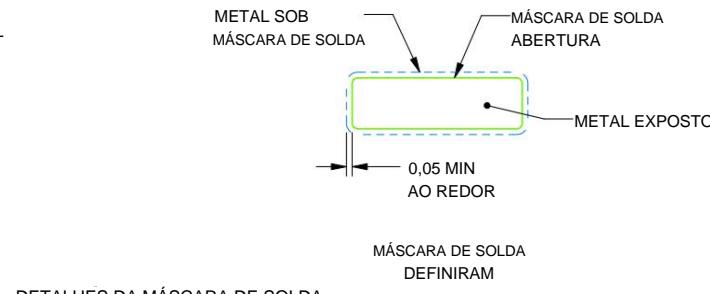
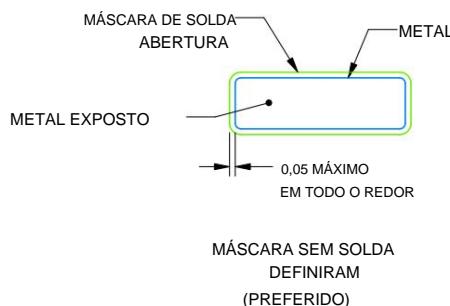
EXEMPLO DE LAYOUT DO QUADRO

PW0020A**TSSOP - altura máxima de 1,2 mm**

PEQUENO PACOTE DE ESBOÇO



EXEMPLO DE PADRÃO DE TERRENO
METAL EXPOSTO MOSTRADO
ESCALA: 10X



4220206/A 02/2017

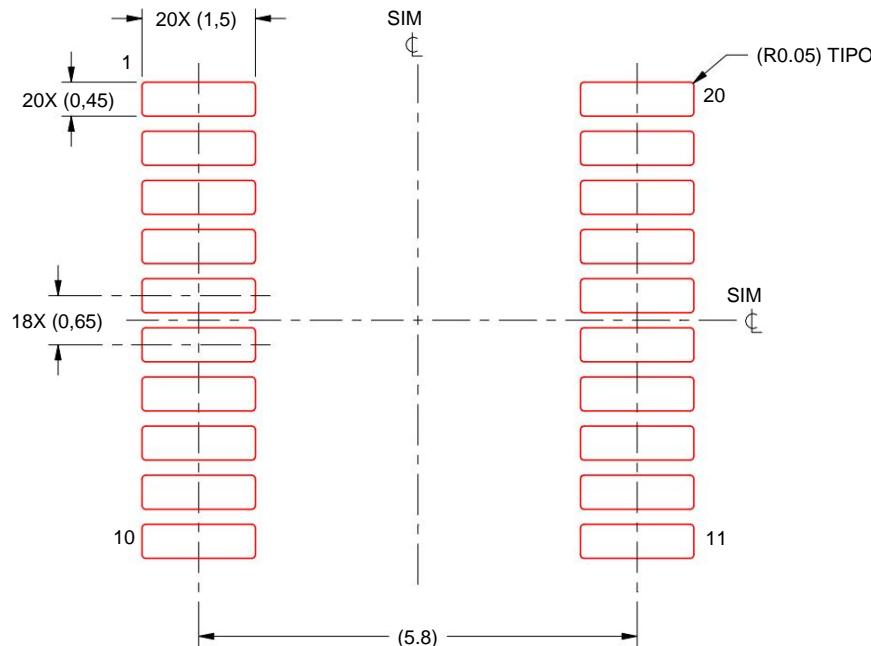
NOTAS: (continuação)

6. A publicação IPC-7351 pode ter designs alternativos.
7. As tolerâncias da máscara de solda entre e ao redor das placas de sinal podem variar de acordo com o local de fabricação da placa.

EXEMPLO DE DESIGN DE ESTÊNCIL

PW0020A**TSSOP - altura máxima de 1,2 mm**

PEQUENO PACOTE DE ESBOÇO



EXEMPLO DE PASTA DE SOLDA COM
BASE EM ESCALA DE ESTÊNCIL DE 0,125 mm
DE ESPESSURA: 10X

4220206/A 02/2017

NOTAS: (continuação)

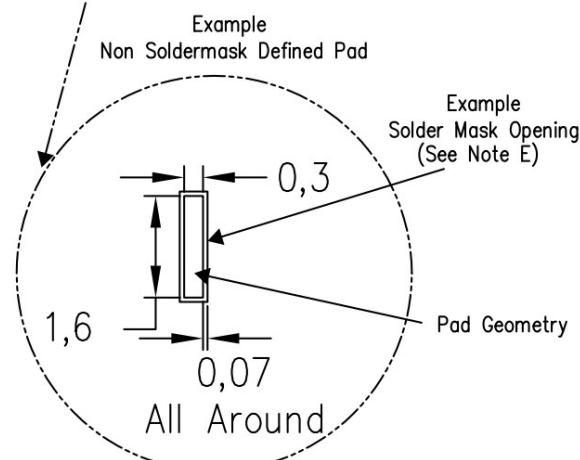
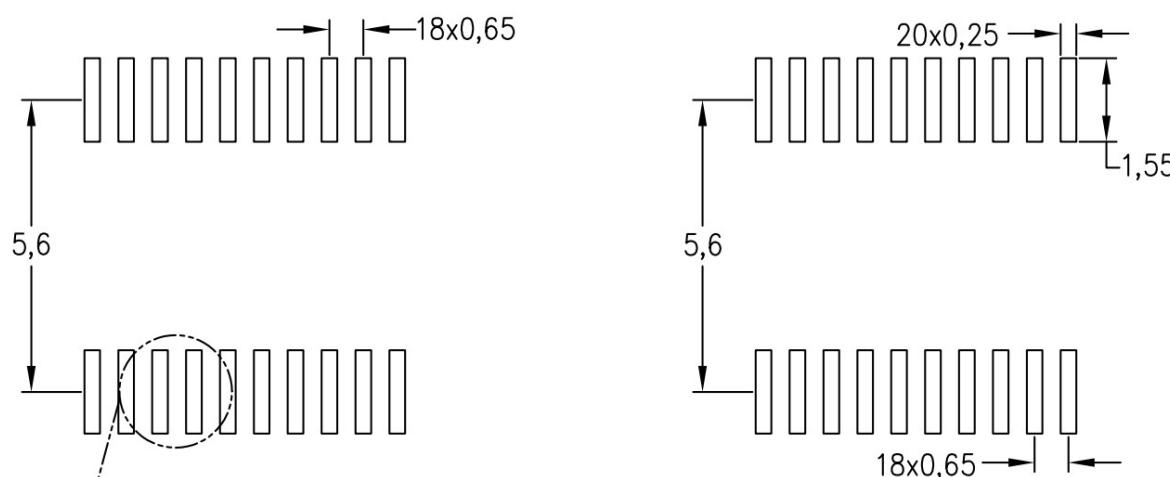
8. Aberturas de corte a laser com paredes trapezoidais e cantos arredondados podem oferecer melhor liberação da pasta. IPC-7525 pode ter alternativa recomendações de projeto.
9. O local de montagem da placa pode ter recomendações diferentes para o design do estêncil.

LAND PATTERN DATA

PW (R-PDSO-G20)

PLASTIC SMALL OUTLINE

Example Board Layout

Based on a stencil thickness
of .127mm (.005inch).

4211284-5/G 08/15

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate design.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

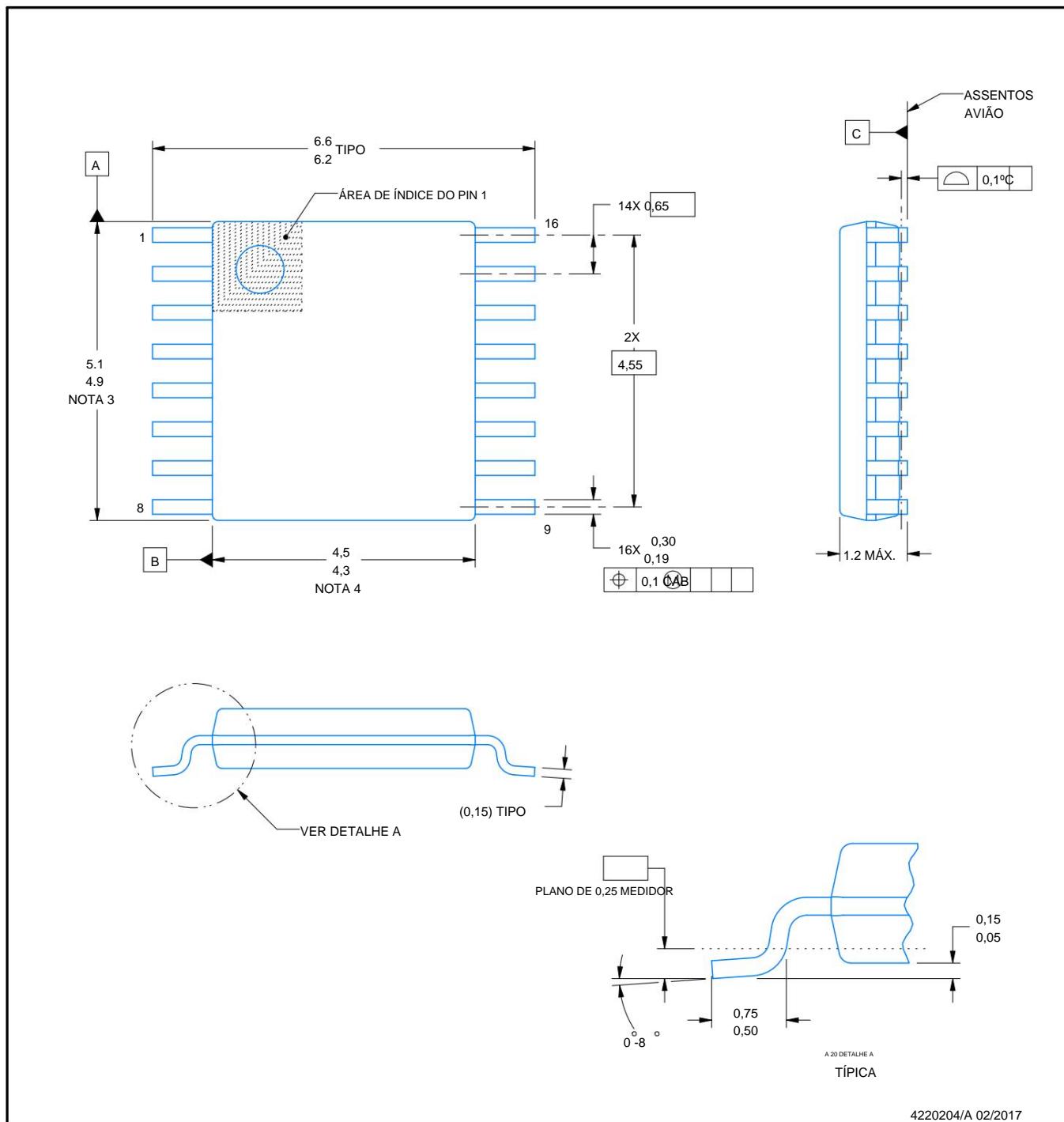
ESBOÇO DO PACOTE

PW0016A



TSSOP - altura máxima de 1,2 mm

PEQUENO PACOTE DE ESBOÇO

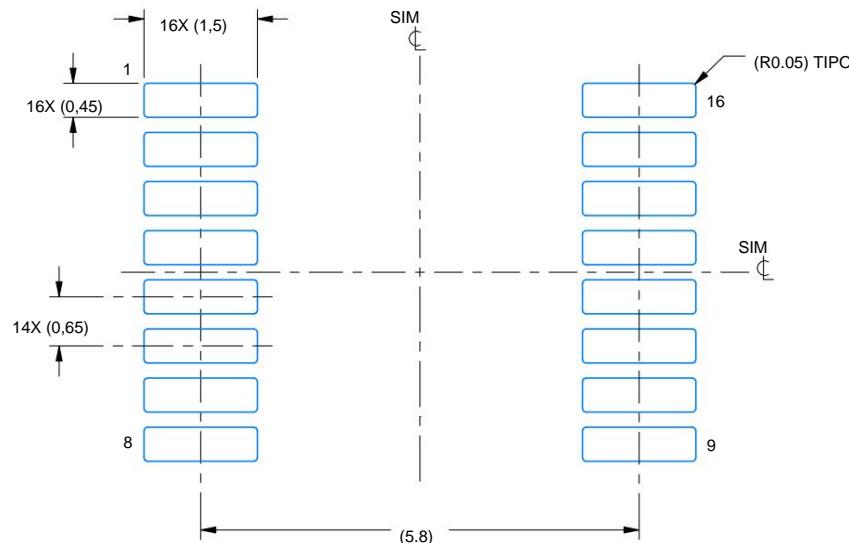


EXEMPLO DE LAYOUT DO QUADRO

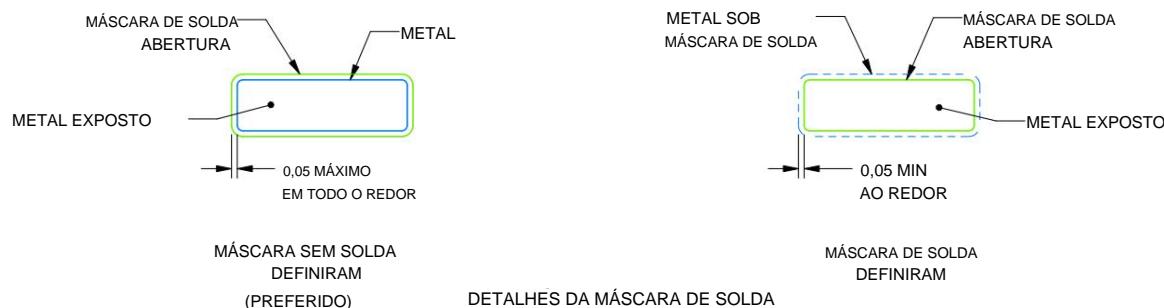
PW0016A

TSSOP - altura máxima de 1,2 mm

PEQUENO PACOTE DE ESBOÇO



EXEMPLO DE PADRÃO DE TERRENO
METAL EXPOSTO MOSTRADO
ESCALA: 10X



4220204/A 02/2017

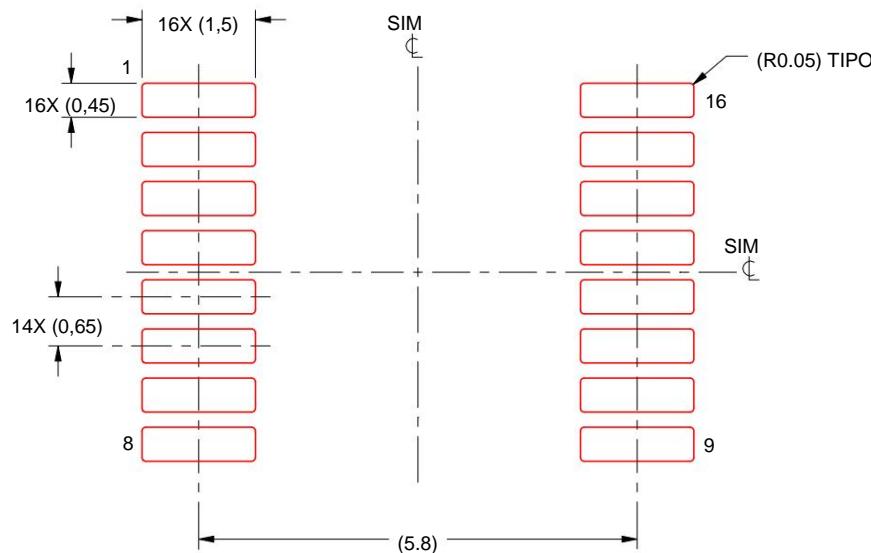
NOTAS: (continuação)

6. A publicação IPC-7351 pode ter designs alternativos.
7. As tolerâncias da máscara de solda entre e ao redor das placas de sinal podem variar de acordo com o local de fabricação da placa.

EXEMPLO DE DESIGN DE ESTÊNCIL

PW0016A**TSSOP - altura máxima de 1,2 mm**

PEQUENO PACOTE DE ESBOÇO



EXEMPLO DE PASTA DE SOLDA COM
BASE EM ESCALA DE ESTÊNCIL DE 0,125 mm
DE ESPESSURA: 10X

4220204/A 02/2017

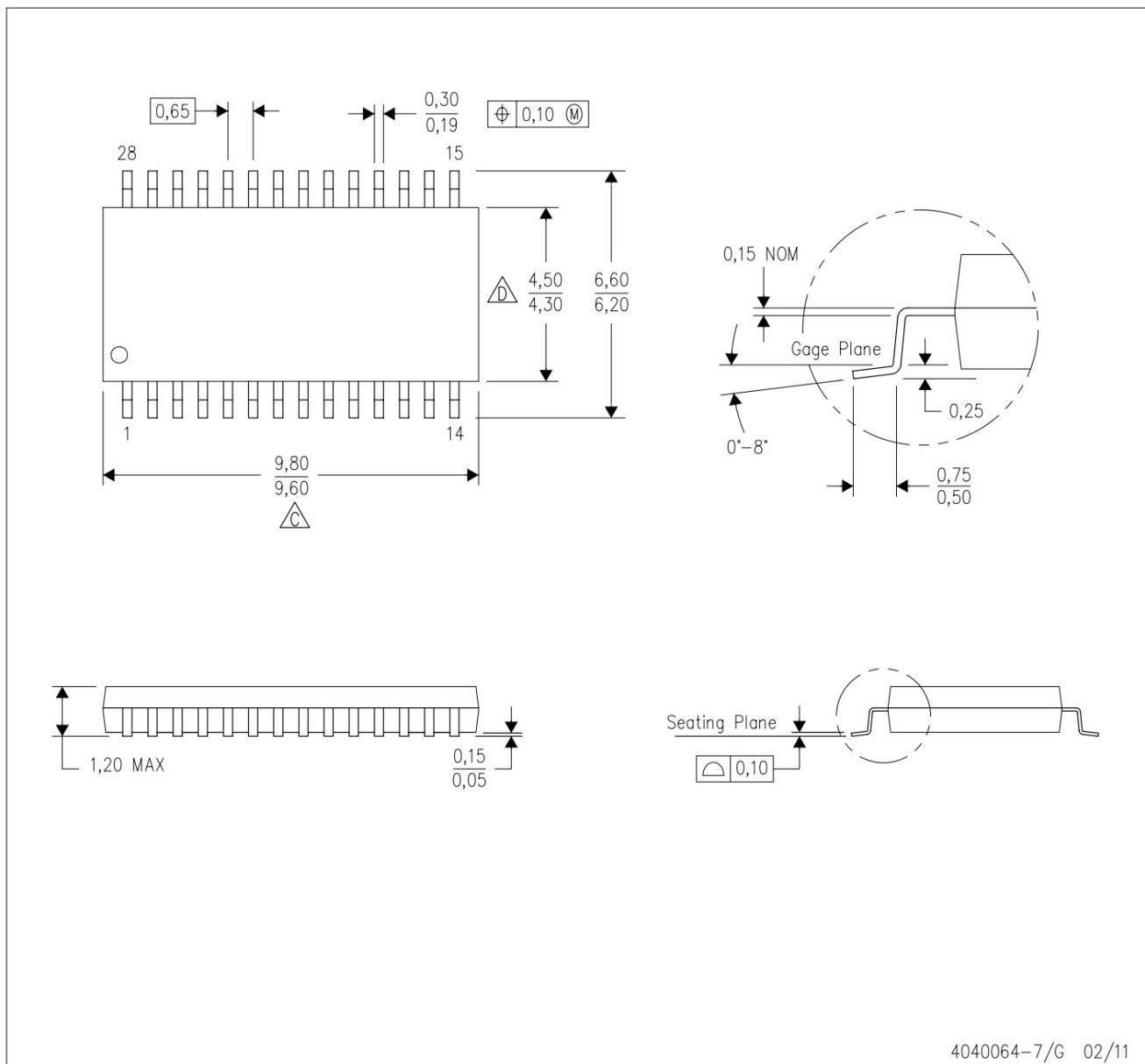
NOTAS: (continuação)

8. Aberturas de corte a laser com paredes trapezoidais e cantos arredondados podem oferecer melhor liberação da pasta. IPC-7525 pode ter alternativa recomendações de projeto.
9. O local de montagem da placa pode ter recomendações diferentes para o design do estêncil.

MECHANICAL DATA

PW (R-PDSO-G28)

PLASTIC SMALL OUTLINE



4040064-7/G 02/11

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.

B. This drawing is subject to change without notice.

C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.

D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.

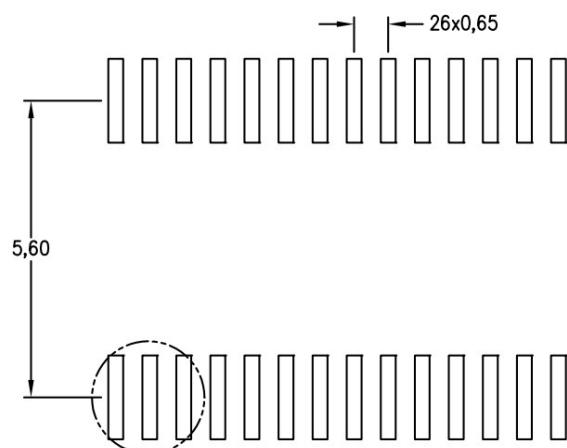
E. Falls within JEDEC MO-153

LAND PATTERN DATA

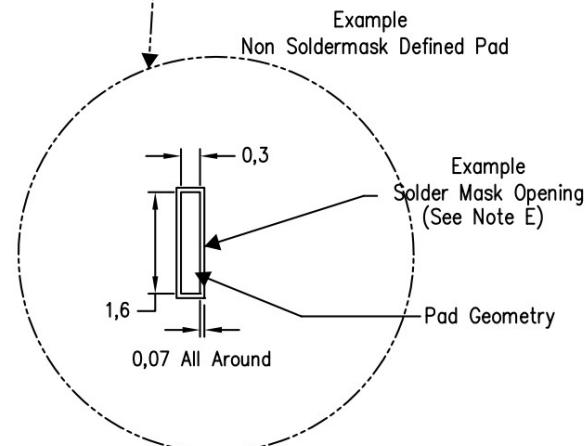
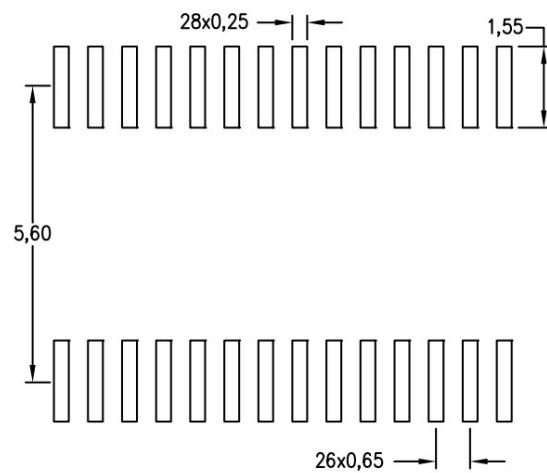
PW (R-PDSO-G28)

PLASTIC SMALL OUTLINE

Example Board Layout



Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



4211284-6/G 08/15

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate design.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

Aviso Importante e Aviso Legal

A TI FORNECE DADOS TÉCNICOS E DE CONFIABILIDADE (INCLUINDO FOLHAS DE DADOS), RECURSOS DE PROJETO (INCLUINDO PROJETOS DE REFERÊNCIA), APLICAÇÃO OU OUTROS CONSELHOS DE DESIGN, FERRAMENTAS DA WEB, INFORMAÇÕES DE SEGURANÇA E OUTROS RECURSOS "COMO ESTÃO" E COM TODAS AS FALHAS, E ISENTA-SE DE TODAS AS GARANTIAS, EXPRESSAS E IMPLÍCITAS, INCLUINDO, SEM LIMITAÇÃO, QUAISQUER GARANTIAS IMPLÍCITAS DE COMERCIALIZAÇÃO, ADEQUAÇÃO A UM DETERMINADO FIM OU NÃO VIOLAÇÃO DE DIREITOS DE PROPRIEDADE INTELECTUAL DE TERCEIROS.

Esses recursos são destinados a desenvolvedores qualificados que projetam produtos de TI. Você é o único responsável por (1) selecionar os produtos de TI apropriados para sua aplicação, (2) projetar, validar e testar sua aplicação e (3) garantir que sua aplicação atenda aos padrões aplicáveis e quaisquer outros requisitos de segurança, regulatórios ou outros. .

Esses recursos estão sujeitos a alterações sem aviso prévio. A TI concede permissão para usar esses recursos apenas para o desenvolvimento de um aplicativo que utilize os produtos da TI descritos no recurso. É proibida qualquer outra reprodução e exibição destes recursos. Nenhuma licença é concedida a qualquer outro direito de propriedade intelectual da TI ou a qualquer direito de propriedade intelectual de terceiros. A TI se isenta de responsabilidade e você indenizará totalmente a TI e seus representantes contra quaisquer reclamações, danos, custos, perdas e responsabilidades decorrentes do uso destes recursos.

Os produtos da TI são fornecidos de acordo com os [Termos de Venda da TI](#) ou outros termos aplicáveis disponíveis em [ti.com](#) ou fornecido em conjunto com esses produtos da TI. O fornecimento desses recursos pela TI não expande nem altera de outra forma as garantias aplicáveis ou isenções de garantia da TI para produtos da TI.

A TI se opõe e rejeita quaisquer termos adicionais ou diferentes que você possa ter proposto.

Endereço para correspondência: Texas Instruments, Caixa Postal 655303, Dallas, Texas 75265

Direitos autorais © 2022, Texas Instruments Incorporated