Міністерство освіти і науки України

Київський політехнічний інститут ім. Ігоря Сікорського

Теплоенергетичний факультет

Кафедра АПЕПС

Комп’ютерна схемотехніка та архітектура комп’ютерів

ЗВІТ ДО

ЛАБОРАТОРНОЇ РОБОТИ № 3

«Типові комбінаційні ЦП»

Варіант № 17

Дата «25» жовтня 2021 Виконав: студент 1 курсу

гр. ТР-12

Каркушевський В.Л.

Перевірив:Ковальов М.О.

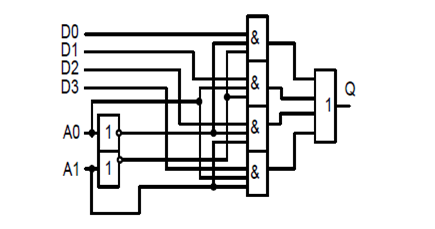
Київ-2021

**Мета роботи:** Закріплення знань і отримання практичних навичок проектування та синтезу на базі ПЛІС типових комбінаційних ЦП в заданому елементному базисі.

**Теорія:**

**Мультиплексори** – це керовані кодом перемикачі декількох інформаційних входів(D) до спільного виходу(Q). Вибір входу здійснюється за допомогою двійкового цифрового коду який подається на входи адреси (A), і визначає номер входу(D) який з’єднується з виходом. Існують мультиплексори

на 2, 4, 8 і 16 інформаційних входів.

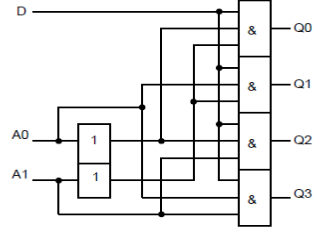


Принципова схема 4-х канального мультиплексора

**Каскадування мультиплексорів**

Для збільшення кількості інформаційних входів використовують багатоступінчате вмикання мультиплексорів (принцип мультиплексного дерева). Для цього виходи мультиплексорів першого рівня підключають до входів мультиплексорів другого рівня. Таким чином, мультиплексори першого рівня керуються молодшими розрядами адресного слова, другого рівня – старшими розрядами.

**Демультиплексори** – це керовані кодом перемикачі інформаційного входу(D) до одного з виходів(Q). Вибір виходу здійснюється за допомогою двійкового цифрового коду який подається на входи адреси (A), і визначає номер виходу(Q) який з’єднується з входом.



Принципова схема 4-х канального демультиплексора

**Каскадування демультиплексорів**

Для збільшення кількості інформаційних виходів використовують багатоступінчате вмикання демультиплексорів (аналогічно до мультиплексорів). Для цього входи демультиплексорів другого рівня підключають до виходів демультиплексорів першого рівня. Таким чином, демультиплексори першого рівня керуються молодшими розрядами адресного слова, другого рівня – старшими розрядами.

Демультиплексори можна застосовувати для перетворення послідовного коду в паралельний. Для цього на вхід подається послідовний код, потім послідовно змінюючи код адреси, по черзі отримуємо на відповідних виходах розряди паралельного коду.

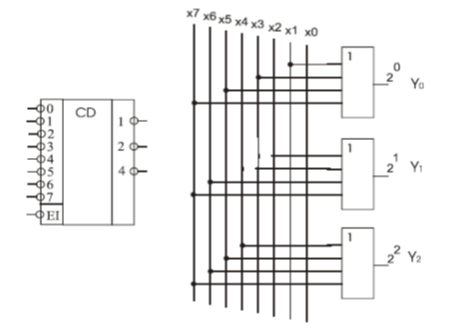
**Шифратор** призначений для перетворення цифрової інформації, що подана *n*-розрядним розрядно-позиційним кодом, у еквівалентний двійковий m-розрядний код.

*Розрядно-позиційний (унітарний) код* – це код, для якого може існувати тільки один активний стан змінної *Xi* із множини вхідних сигналів {*Xn-1…X1,X0*}. Отже, шифратор – це перетворювач розрядно-позиційного коду "*1* з *n*" у двійковий паралельний код, у якого число виходів *m* однозначно зв’язане з числом входів n як 2*m*.

Якщо n=2m , то такий шифратор називають *повним*, оскільки використовується повний набір вихідних двійкових комбінацій Yi. Для шифраторів використовується позначення 2m-n, наприклад, 8-3, 16-4. Наприклад, шифратор 8-3 є повним, тому що він реалізує повний набір можливих комбінацій змінних *Xi* (*n*=8) у повний вихідний набір *Yi* (*m*=3).

У *неповному* шифраторі число входів m не відповідає числу всіх можливих вихідних комбінацій 2m, причому завжди n<2m. Прикладом неповного шифраторa, який найчастіше зустрічається на практиці, є шифратор 10-4, що використовується для кодування десяткових, з клавіатури пульта керування.

Окремі ІС практично зустрічаються рідко, як правило існують мікросхеми, що виконують комбіновані функції, наприклад "шифратор/дешифратор". Також практично використовують *пріоритетні* шифратори, у яких вихідний код завжди має найбільший номер активного вхідного сигналу {*x0..xn*}*.* Приклад роботи пріоритетного шифратора: вхід {*x0=1,x1=1,x2=0, x3=0, ,x4=1*}, тоді вихід Y=4.



Умовне позначення та внутрішня будова шифратора 8-3

**Дешифратор** – це комбінаційний пристрій, який перетворює комбінацію вхідних змінних в активний сигнал “лог. 1” або “лог. 0” тільки на одному із виходів.

Дешифратор призначений для розпізнавання (дешифрації) числа, яке подане позиційним *n* -розрядним двійковим кодом. Найчастіше дешифратор (*n*-*m*)виконує функцію перетворення двійкового кода в унітарний код "1 з *m* ", тобто виконує функцію, що обернена дії шифратора, і тому для повного дешифратора справедливе співвідношення *m=*2*n* де *m* -порядковий номер виходу *i Y* дешифратора.

У *неповного* дешифратора число виходів *m* не відповідає значенню 2*n* (*m<*2*n*). В інтегральному виконанні зустрічаються як повні (К155ИД3, К155ИД7), так і неповні(К555ИД5, К555ИД10, К561ИД1), а також здвоєні (К155ИД4) дешифратори.

Мікросхеми функціональних КП перетворення та комутування цифрових сигналів, крім інформаційних входів, можуть мати ще додаткові входи керування - ЕІ (дозвіл по входу) і Е0 (дозвіл по виходу). За допомогою входів дозволу ЕІ і Е0 можна реалізувати також нарощення розрядності (збільшення числа входів або виходів) каскадуванням відповідних інтегральних схем.

У випадках, коли потрібно побудувати дешифратор на велику кількість виходів на базі дешифраторів з меншим числом виходів, застосовують принцип каскадування. Він полягає у тому, що входи дешифраторів поділяють на групи, кожна з яких реалізує свою групу логічних функцій. При цьому всі дешифратори повинні бути керованими, тобто мати дозволяючі входи EІ.

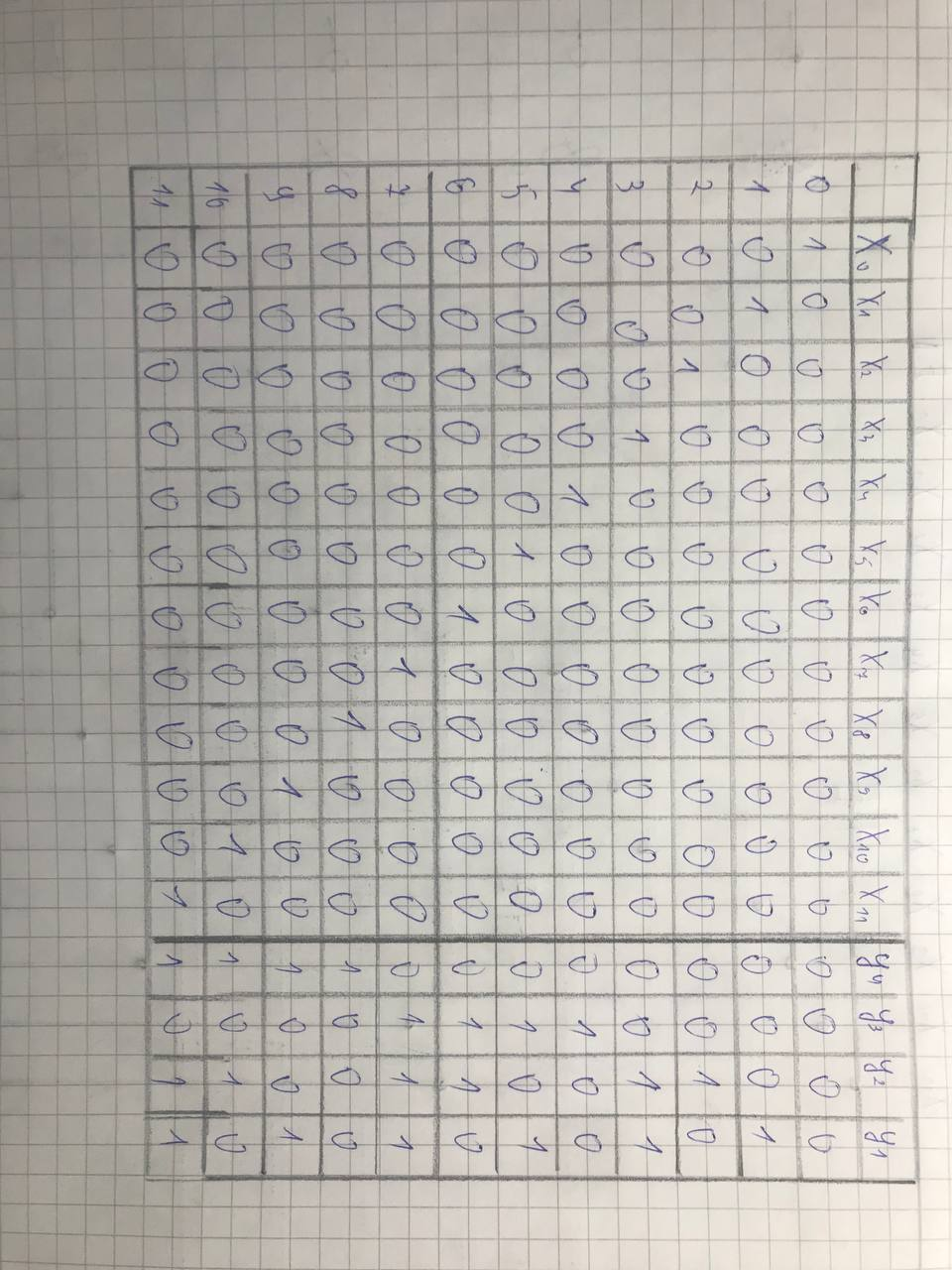


Схематичне позначення та внутрішня структура дешифратора 3-8

**Завдання за варіантом:**

Типовий комбінаційний ЦП – CD, 12 входів; базис логічних елементів – І-НЕ.

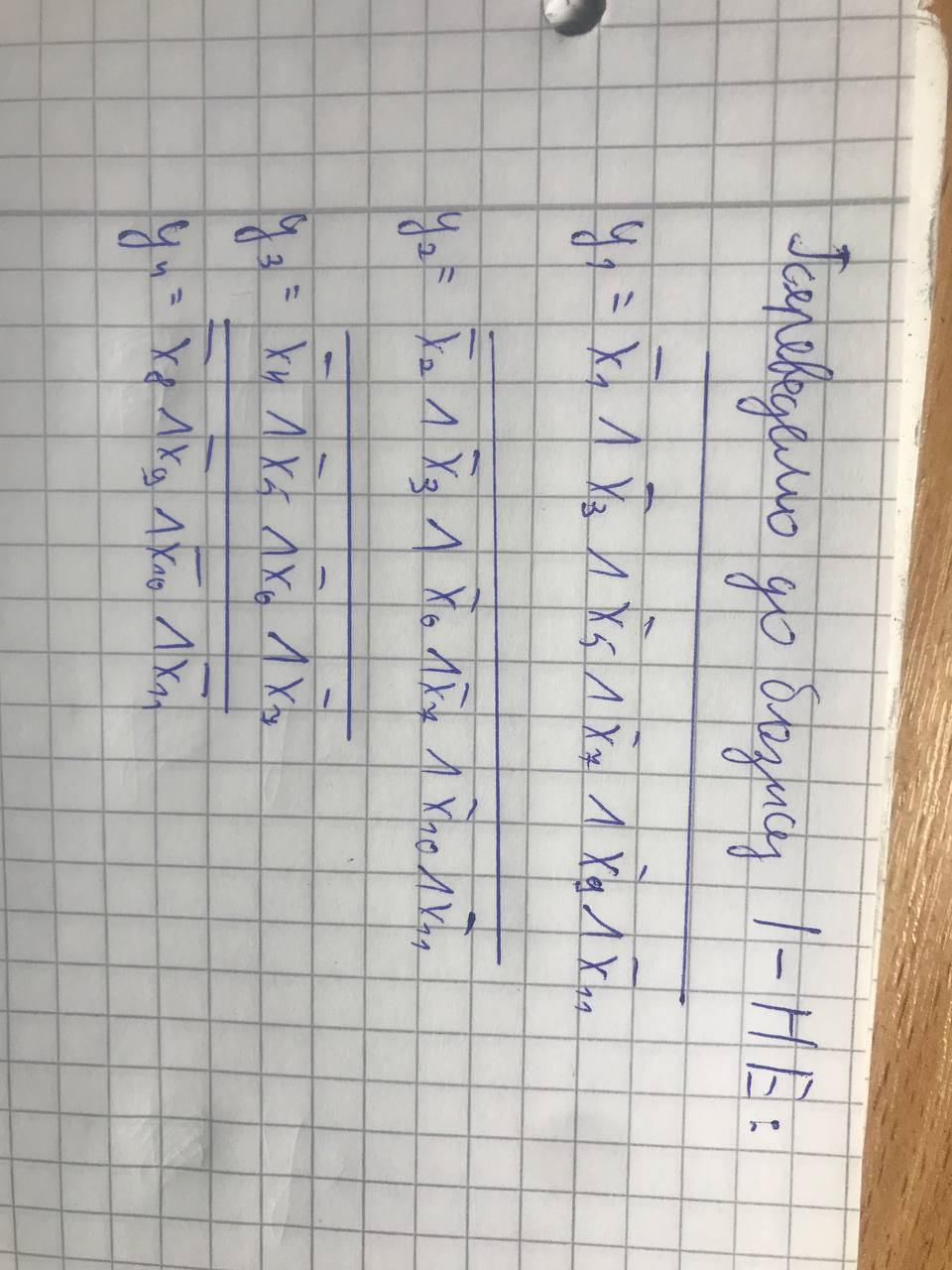
**Таблиця істинності:**



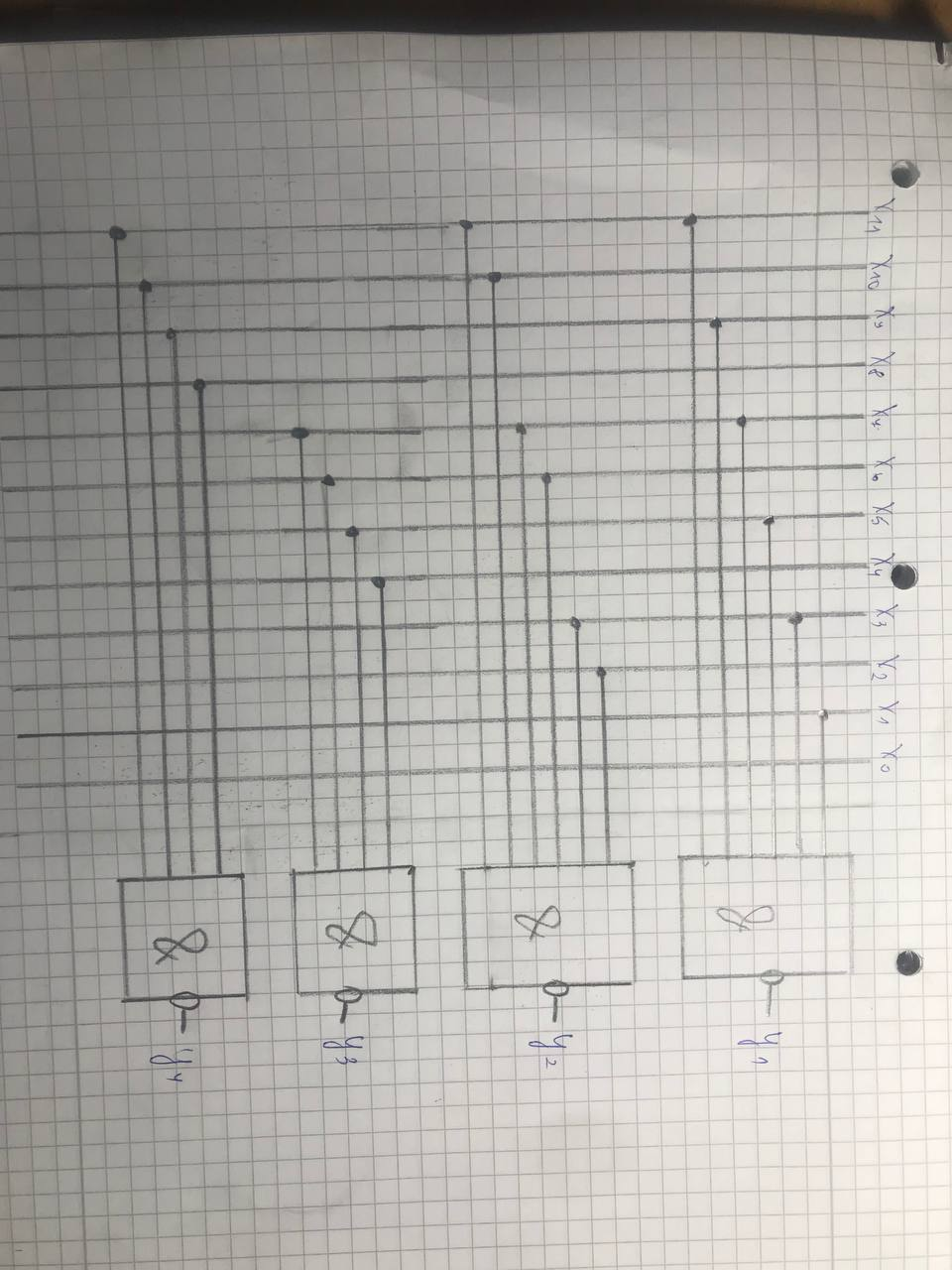
**Система логічних виразів:**

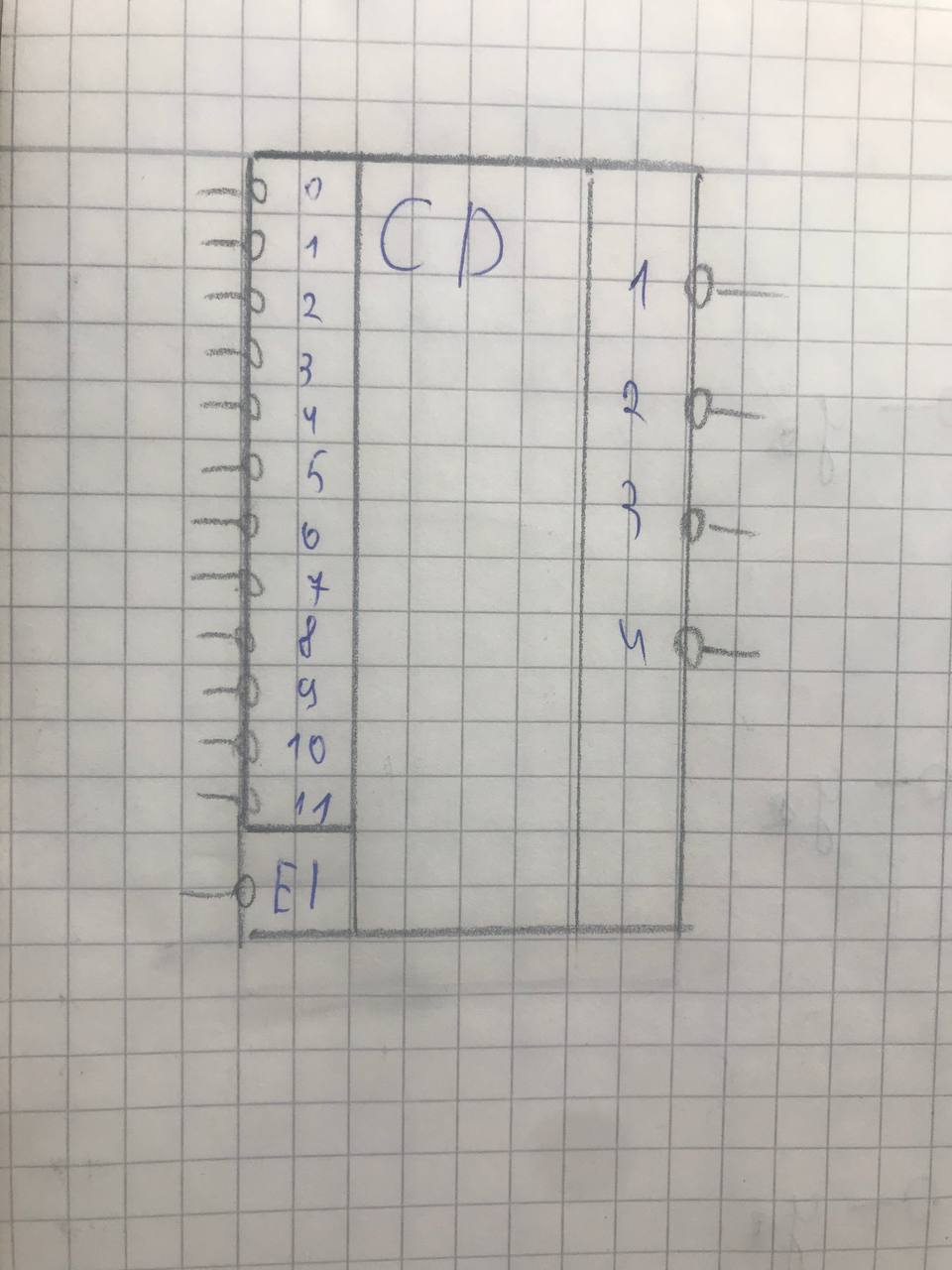


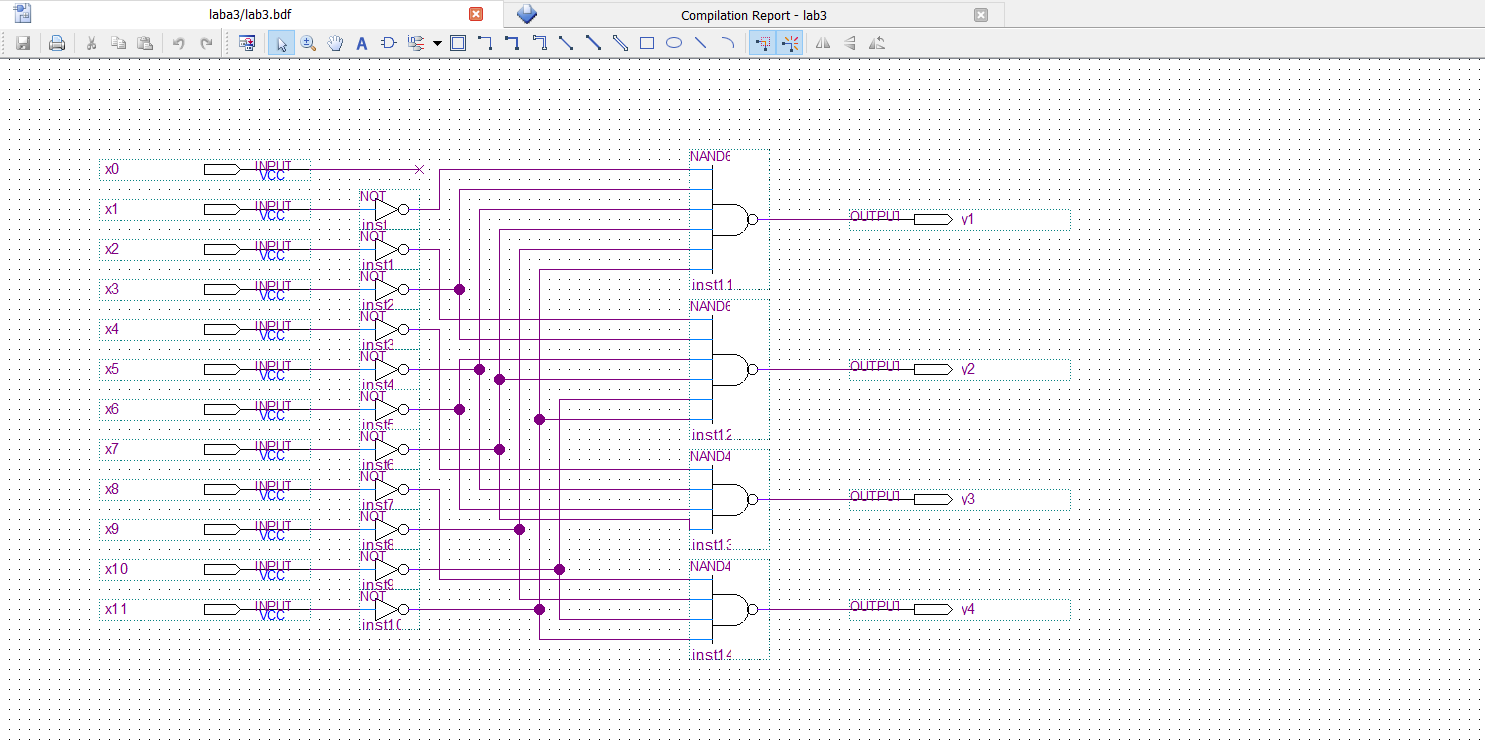
**Переведемо булеву функцію в базис логічних елементів І-НЕ:**



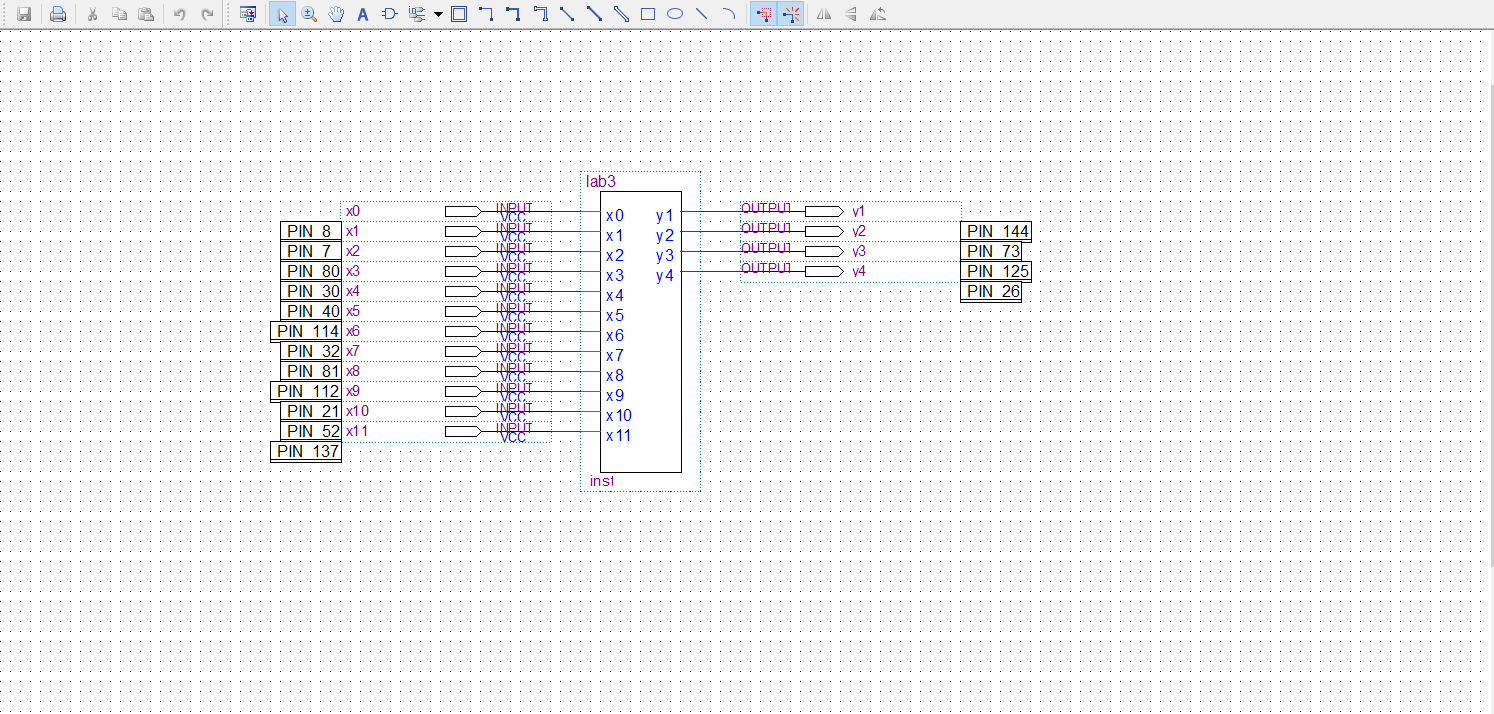
**Умовне графічне зображення (УГЗ) типового комбінаційного ЦП та його функціональна схема в заданому базисі ЛЕ:**



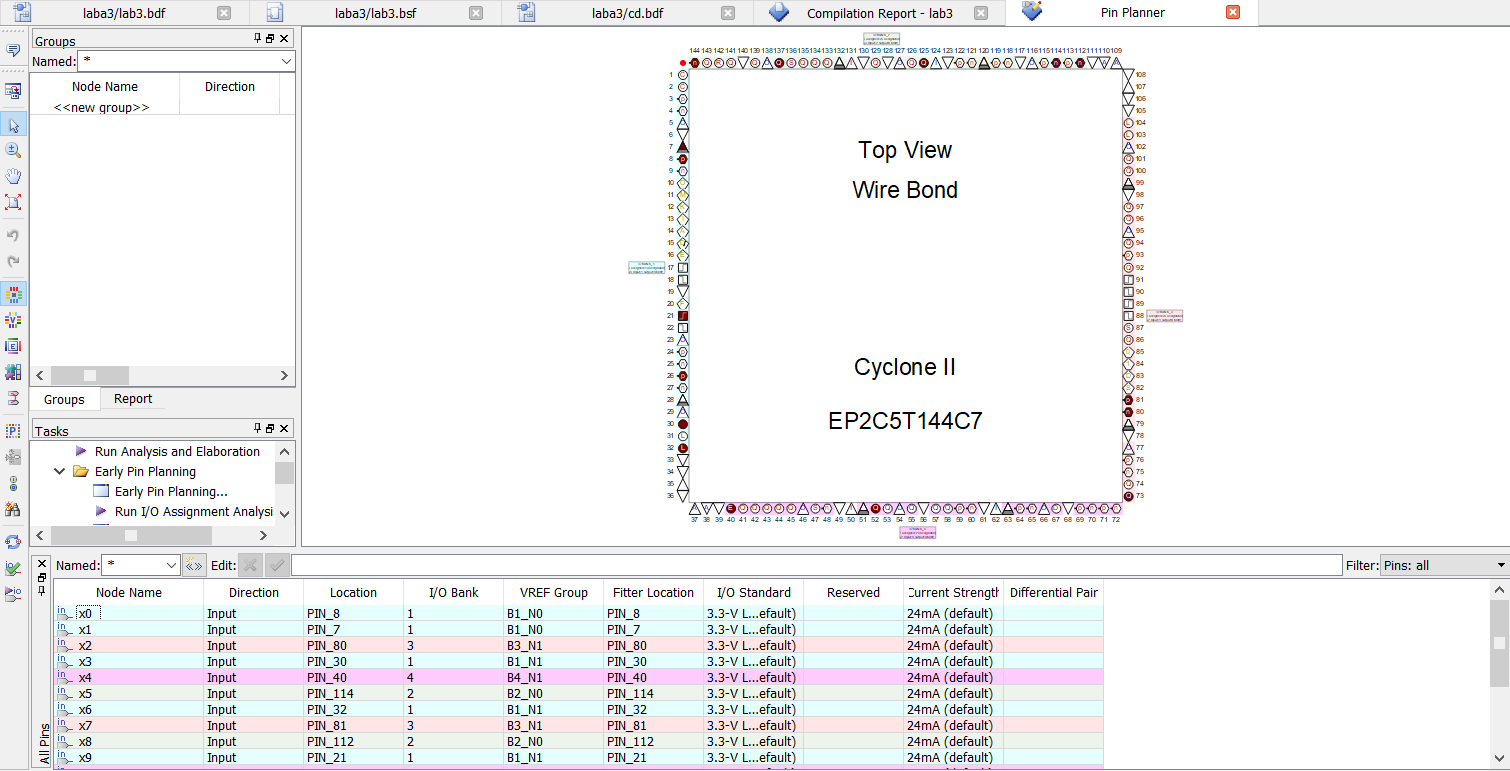


**Побудована схема в Quartus:**

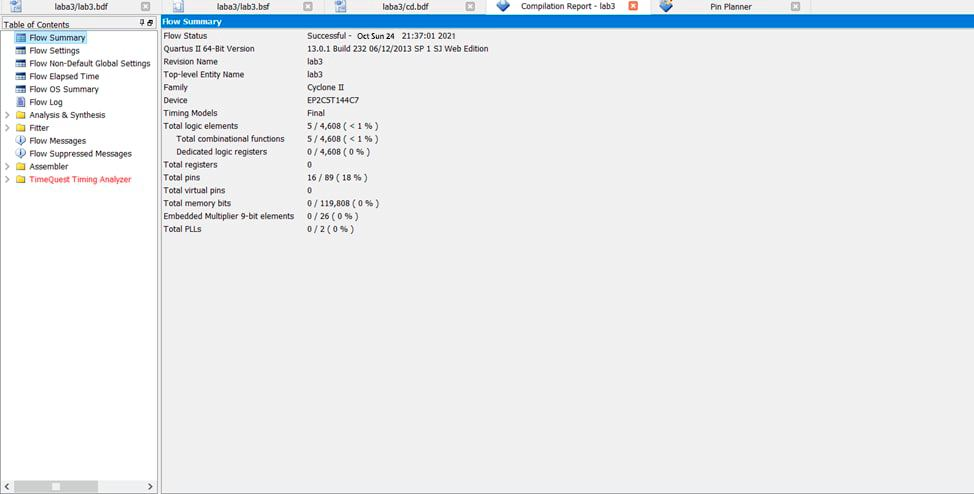
***Бібліотечний модуль:***

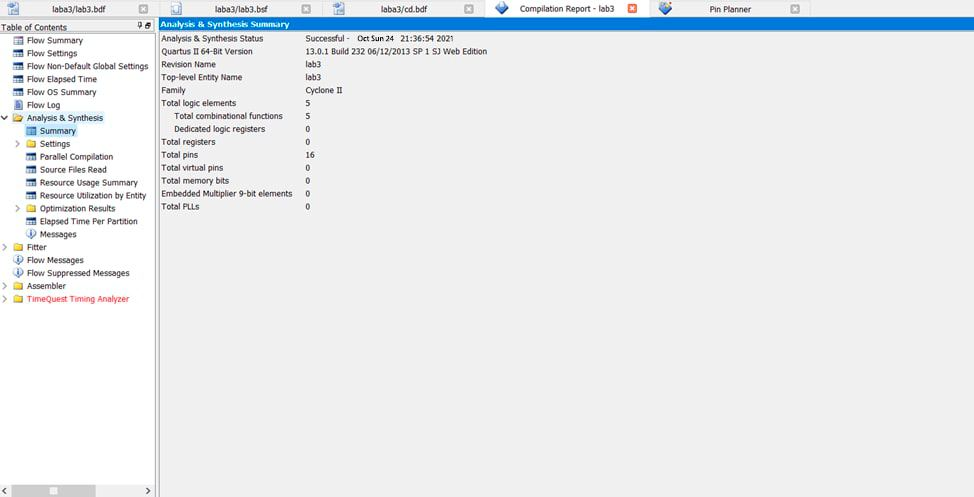


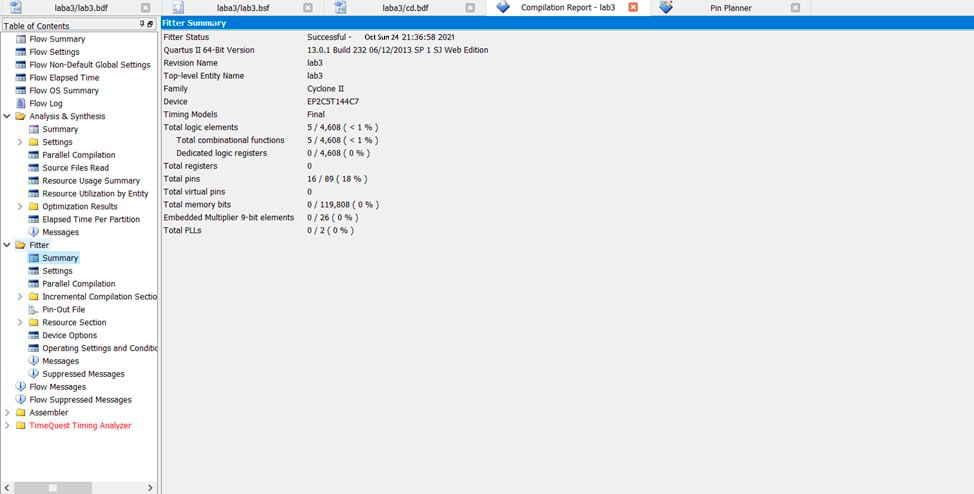
**Зображення екрану з призначенням входів/виходів ЦП виводам мікросхеми ПЛІС:**

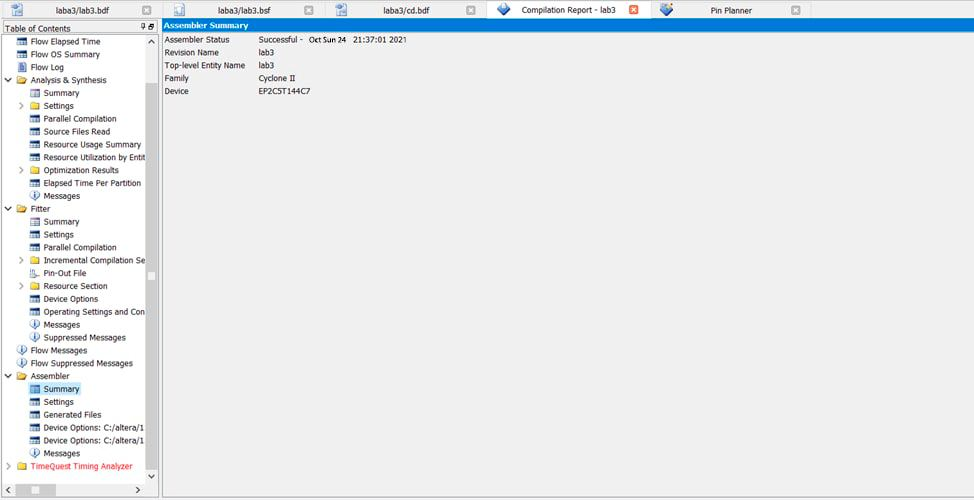


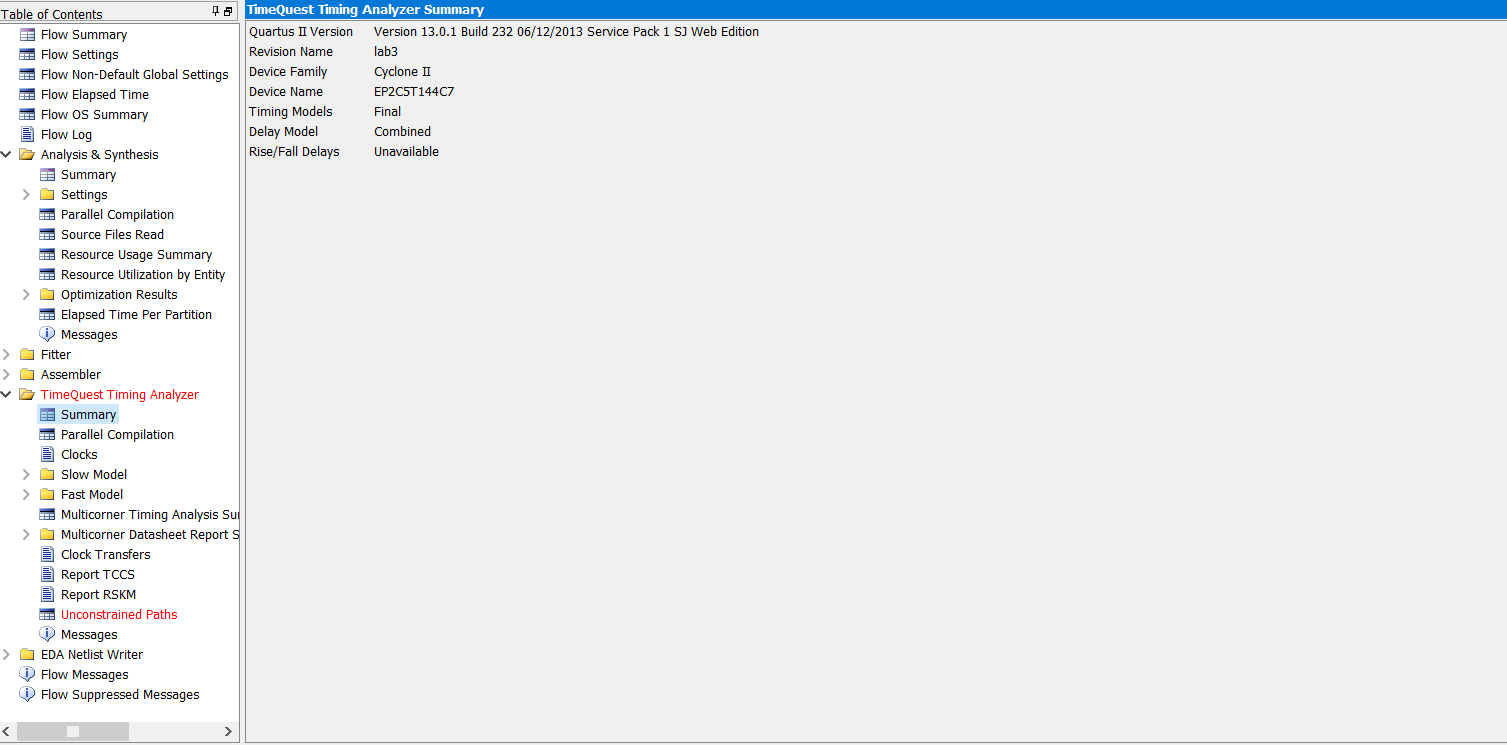
**Етапи аналізу та синтезу схеми:**

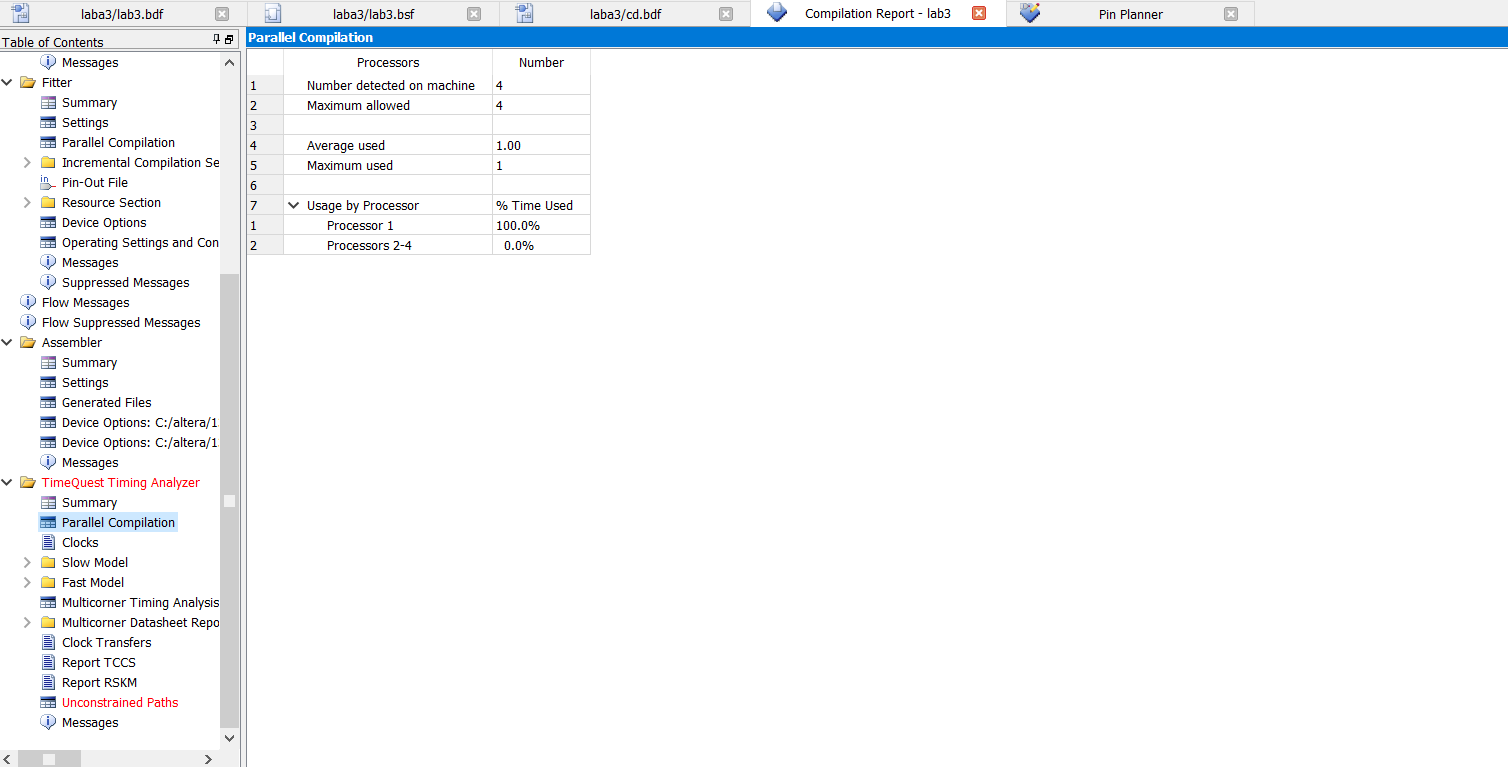


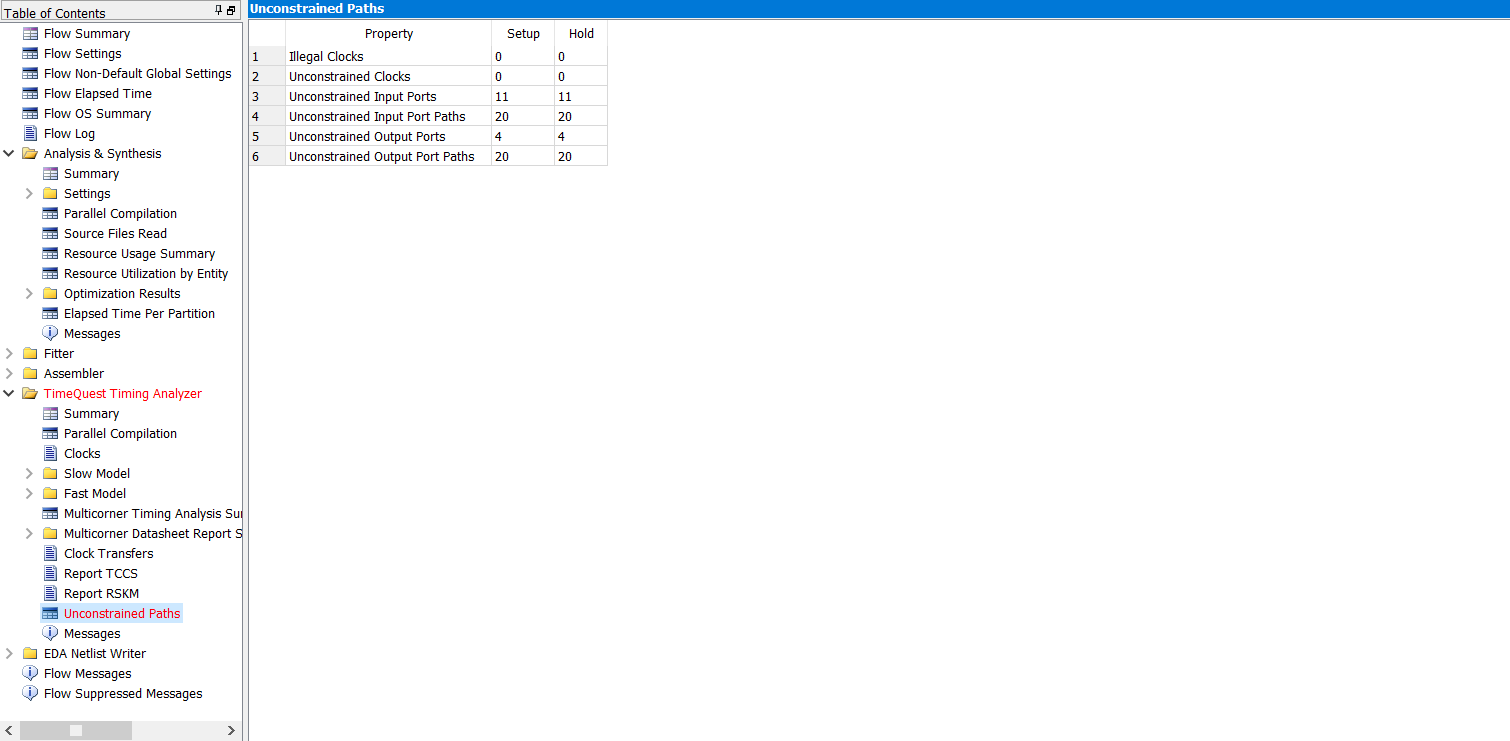




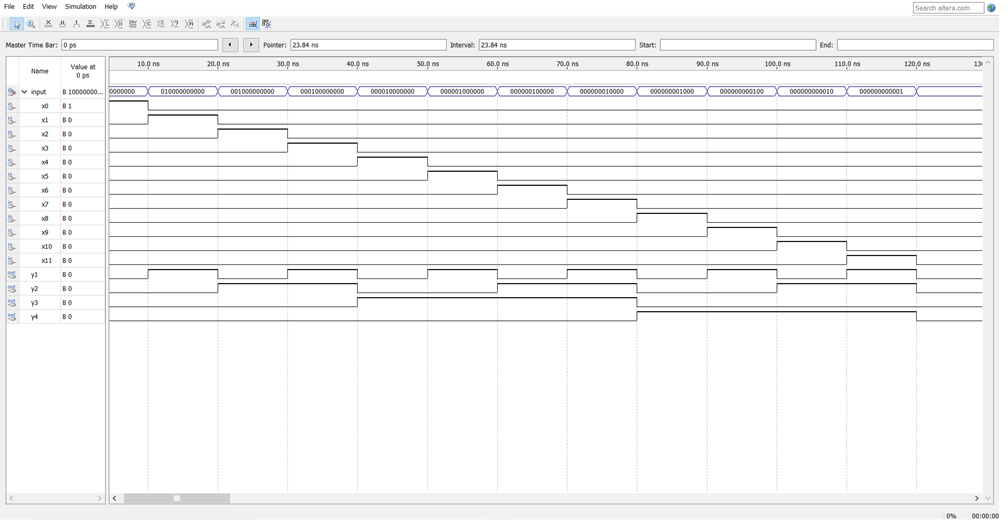


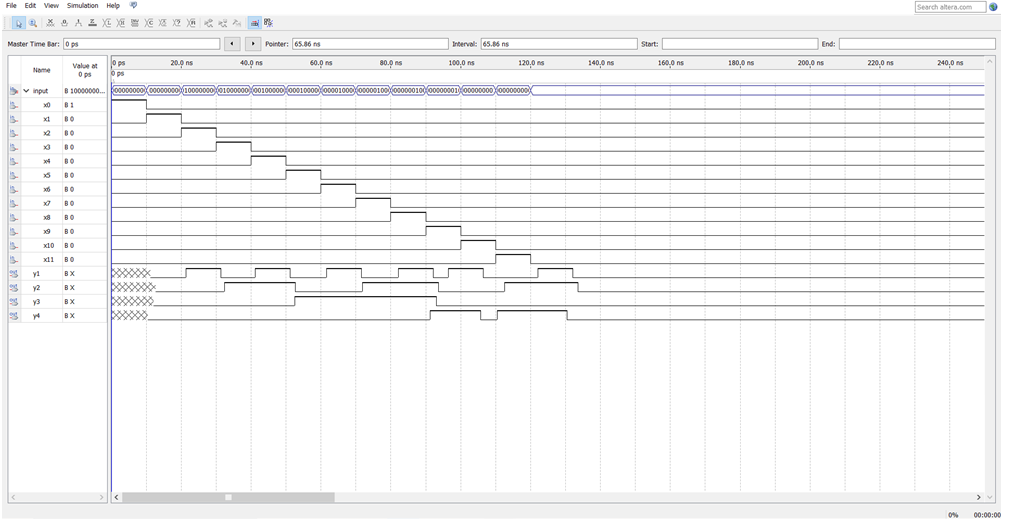






**Часові діаграми, отримані при функціональному та моделюванні з урахуванням часових параметрів мікросхем ПЛІС (для всіх наборів керуючих сигналів):**





***Висновок:***

Під час виконання цієї практичної роботи були здобуті навички з проектування та синтезу шифраторів в заданому базисі елементів(І-НЕ) в середовищі Quartus II. Також було розвинуто вміння створювати допоміжні бібліотечні модулі та призначати входи/виходи ЦП виводам мікросхеми ПЛІС. Закріплені знання з реалізації компіляції, а також функціонального моделювання і моделювання з урахуванням часових параметрів мікросхеми ПЛІС