Національний технічний університет України “Київський політехнічний інститут імені Ігоря Сікорського”

Теплоенергетичний факультет

Кафедра автоматизації проектування енергетичних процесів і систем

**Комп’ютерна схемотехніка та архітектура комп’ютерів**

ЗВІТ

ДО ЛАБОРАТОРНОЇ РОБОТИ **№ 4**

**«** **Типові синхронні ЦП та суматори »**

Варіант № **17**

Дата «15» Листопада 2021 Виконав: **Каркушевський В.Л**

Группа: **ТР-12**

Оцінка «\_\_\_\_\_\_\_\_\_» Перевірив: \_\_\_\_\_\_\_\_\_\_\_\_\_

Дата «\_\_\_» \_\_\_\_\_\_\_ 2021 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Київ

2021

***Мета роботи:*** Закріплення знань і отримання практичних навичок проектування та синтезу на базі ПЛІС типових синхронних ЦП та суматорів в заданому елементному базисі.

***Постановка задачі***

В результаті виконання даної практичної роботи студент повинен вміти:

* проектувати та синтезувати на базі ПЛІС регістри (RG), лічильники та суматори (SM) в заданому елементному базисі;
* створювати та використовувати допоміжні бібліотечні модулі;
* призначати входи/виходи ЦП виводам мікросхеми ПЛІС;
* проводити функціональне моделювання типових синхронних ЦП і суматорів, моделювання з урахуванням часових параметрів мікросхем ПЛІС;

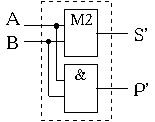
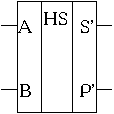
**Теоритичні відомості:**

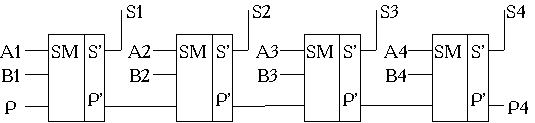
***Суматор:***

Це пристрій, який перетворює інформаційні сигнали в сигнал, еквівалентний сумі цих сигналів. Суматор служить, перш за все, центральним вузлом арифметико-логічного пристрою комп’ютера, проте він знаходить застосування також і в інших пристроях. По способу дії суматори поділяються на:

* Послідовні
* Паралельні

Напівсуматор - це вузол (рис.16,а,б) з двома входами та двома виходами, який виконує операцію арифметичного додавання двох одно розрядних чисел A та B у відповідності до наступного правила: при будь-яких наборах сигналу A та B на виході сигналу суми S' формується результат додавання по модулю два, на виході сигналу переносу P' у всіх випадках буде 0, крім A=B=1, тоді P'=1. Таким чином, для реалізації напівсуматора необхідні суматор по модулю два та логічний елемент І



Суматор з послідовним перенесенням

Суматор призначений для арифметичного додавання двох чисел. При додаванні двох багато розрядних двійкових чисел по модулю два (доданки і перенос, який поступив з молодшого розряду ) і формується сигнал переносу в старший розряд

***Лічильник:***

Лічильником називається типовий функціональний вузол комп’ютера, призначений для лічби вхідних імпульсів. Лічильник являє собою зв’язаний ланцюг тригерів, які утворюють пам’ять iз заданим числом сталих станів.

Розрядність лічильника n дорівнює числу тригерів. Кожний вхідний імпульс змінює стан лічильника, який зберігається до надходження наступного сигналу. Значення виходів тригерів лічильника Qn, Qn–1,...,Q1 відображають результат лічби в прийнятій системі числення. Логічна функція лічильника позначається буквами СТ (counter).

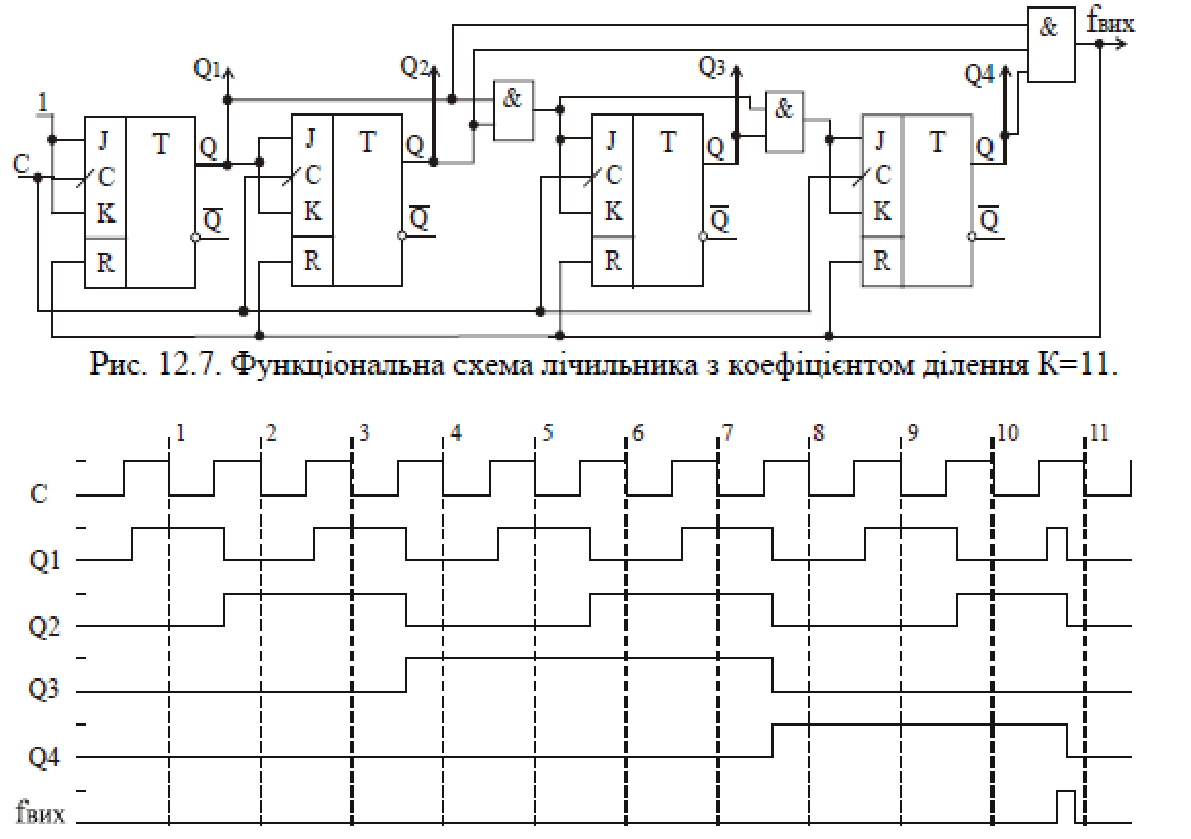
Основне застосування лічильників:

- утворення послідовності адрес команд програми (лічильник команд або програмний лічильник);

- підрахунок числа циклів при виконанні операцій ділення, множення, зсуву (лічильник циклів);

- одержання сигналів мікрооперацій і синхронізації;

- аналого-цифрові перетворення і побудова електронних таймерів (годинників реального часу)



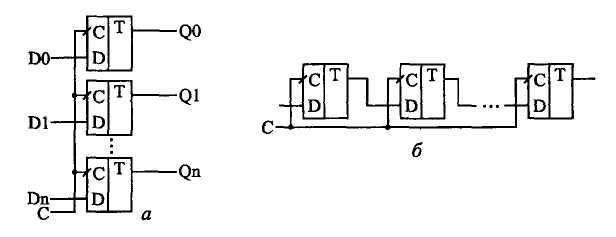
***Регістр:***

Регістрами (англійське Register) є, по суті, кілька D-тригерів (звичайно від 4 до 16), сполучених між собою тим або іншим способом. Тому принципової різниці між ними і окремими D-тригерами не існує. Правда, тригери, що входять до складу регістрів, не мають такої кількості різноманітних управляючих входів, як одиночні тригери.

На схемах регістри позначаються буквами RG. У вітчизняних серіях мікросхем регістрам відповідають букви ИР. Всі регістри діляться на дві великі групи (малюнок 24.1):

• паралельні регістри;

• регістри зсуву (або зсувні регістри).



Структура паралельного регістра (а) і зсувного регістра (б).

Існують і регістри інших типів, але вони застосовуються набагато рідше, ніж паралельні і зсувні, оскільки мають вузькоспеціальне призначення.

В паралельних регістрах (а) кожний з тригерів має свій незалежний інформаційний вхід (D) і свій незалежний інформаційний вихід. Тактові входи (З) всіх тригерів сполучені між собою. В результаті паралельний регістр є багаторозрядним, багатовходовим тригером.

В зсувних регістрах (в) всі тригери сполучені в послідовний ланцюжок (вихід кожного попереднього тригера сполучений з входом D наступного тригера). Тактові входи всіх тригерів (З) з'єднані між собою. В результаті такий тригер може розглядатися як лінія затримки, вхідний сигнал якої послідовно перезаписується з тригера в тригер по фронту тактового сигналу С. Інформаційні входи і виходи тригерів можуть бути виведені назовні, а можуть і не виводитися залежно від функції, виконуваної регістром.

Паралельні регістри у свою чергу діляться на дві групи:

• регістри, що спрацьовують по фронту управляючого сигналу С (або тактовані регістри);

• регістри, що спрацьовують по рівню управляючого сигналу С (або стробовані регістри).

Регістри зсуву поділяють:

– за способом введення і виведення інформації на паралельні, послідовні і комбіновані (паралельно-послідовні, послідовно-паралельні);

– за напрямком передання (зсуву) інформації на односпрямовані і реверсивні.

Регістри зсуву, крім операції зберігання, здійснюють перетворення послідовного двійкового коду в паралельний, а паралельного – в послідовний.

Операція зсуву полягає в тому, що з надходженням кожного тактового імпульсу здійснюється перезапис (зсув) вмісту тригера кожного розряду в сусідній розряд без зміни порядку проходження одиниць і нулів. При зсуві інформації вправо після кожного тактового імпульсу біт із старшого розряду зсувається в молодший, а при зсуві уліво – навпаки.

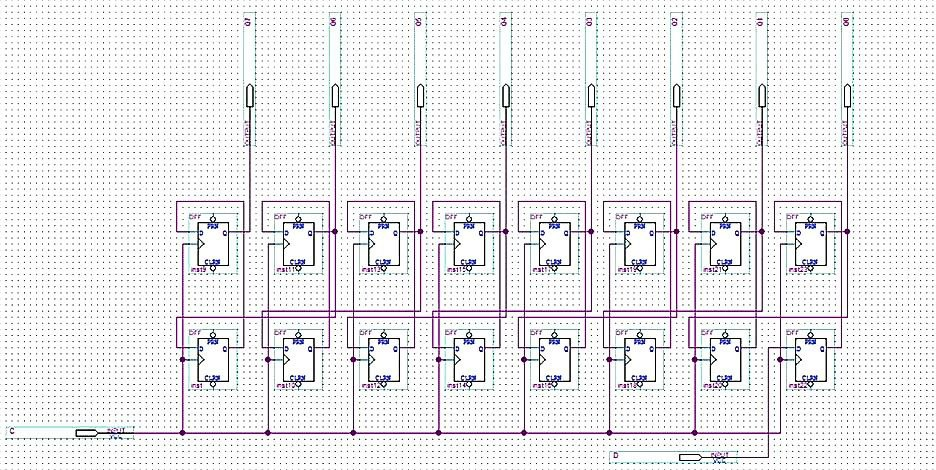
Регістри зсуву можуть бути реалізовані на JK- та D-тригерах

****

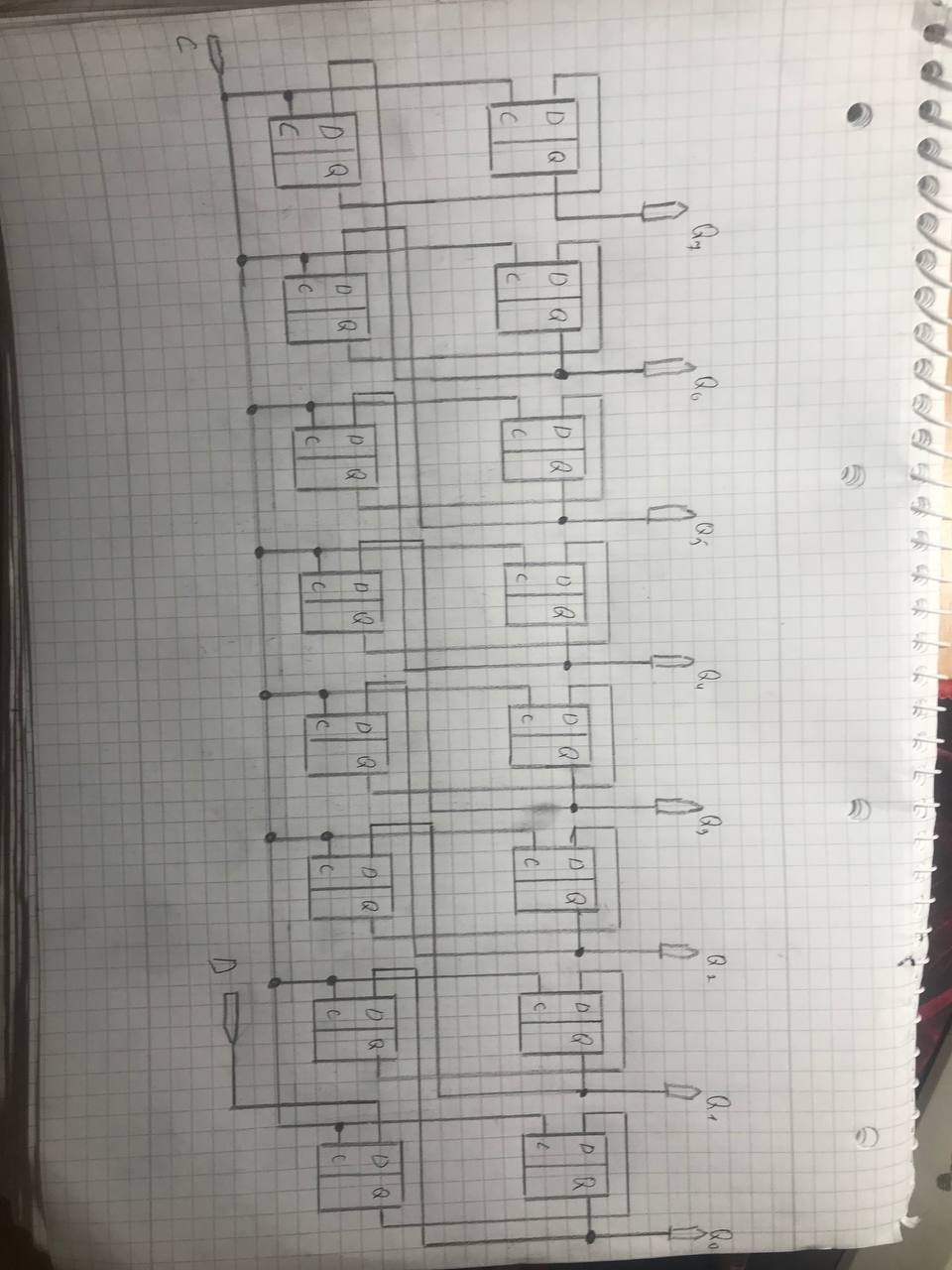
**Завдання 17 варіант:**



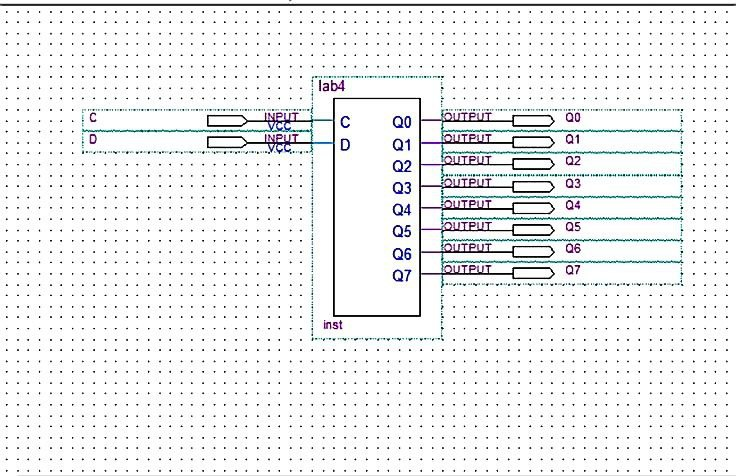
**Зображення схеми в середовищі Quartus:**



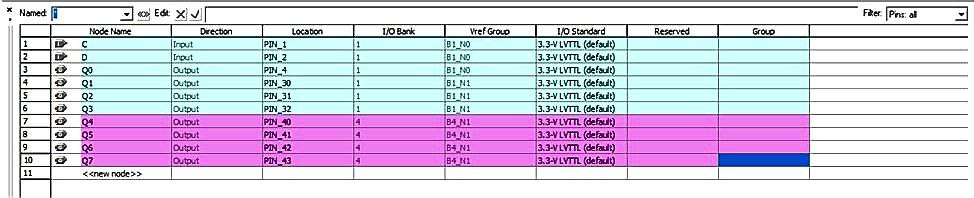
***Умовне графічне зображення схеми:***



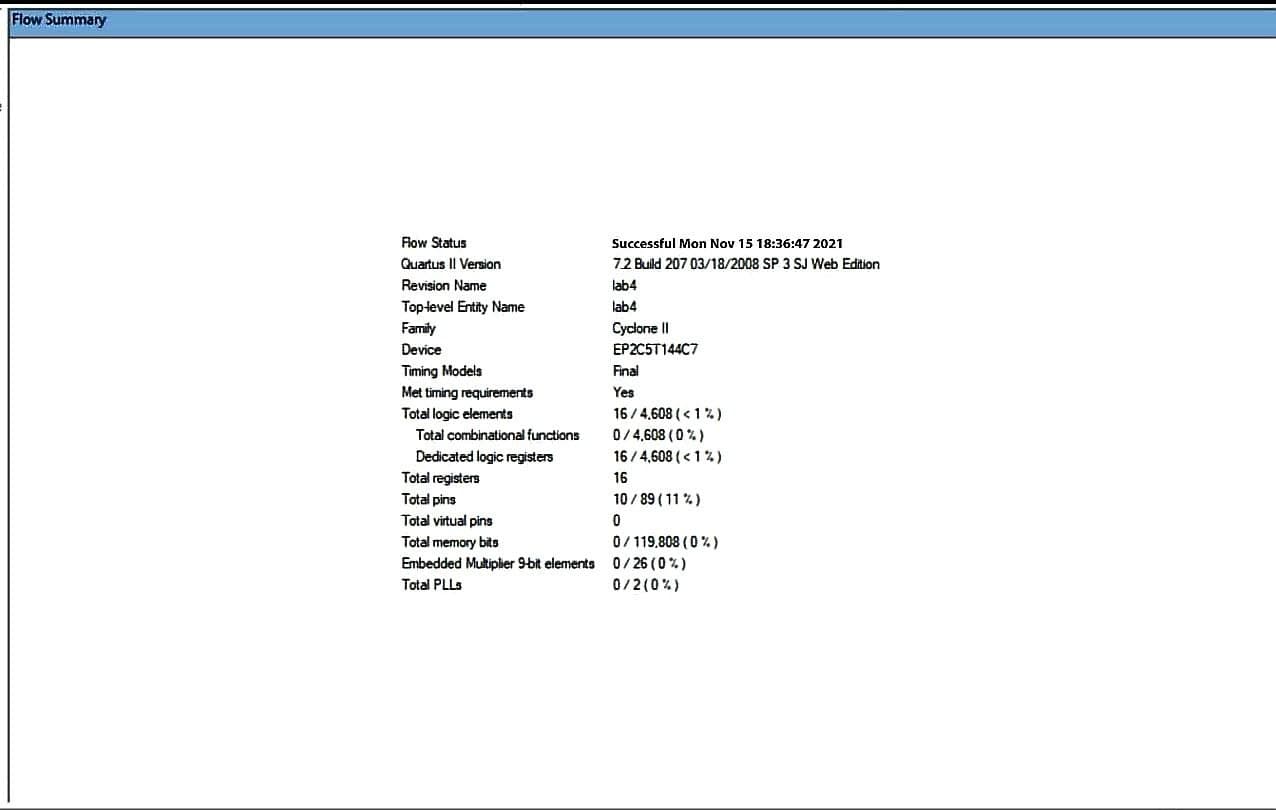
**Бібліотечний модуль**



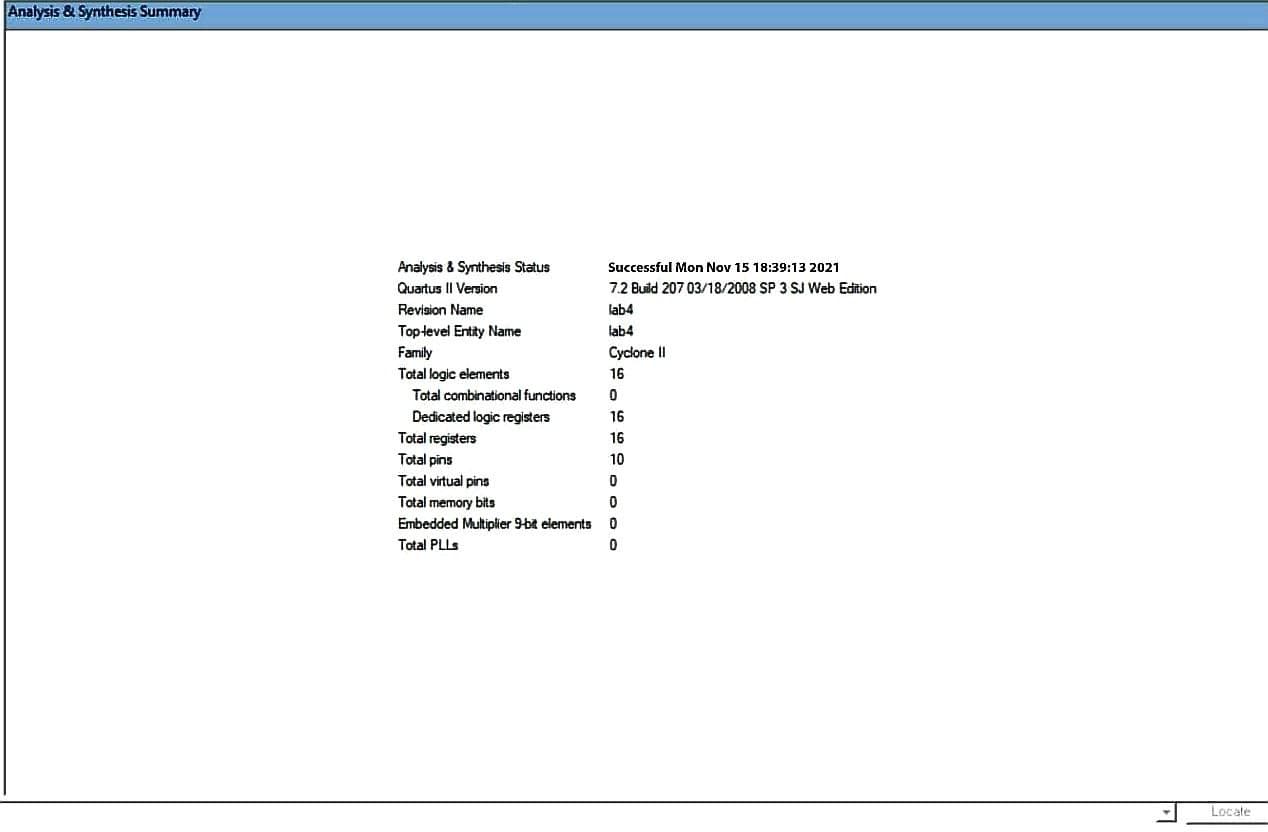
**Зображення екрану з призначенням входів/виходів ЦП виводам мікросхеми ПЛІС**



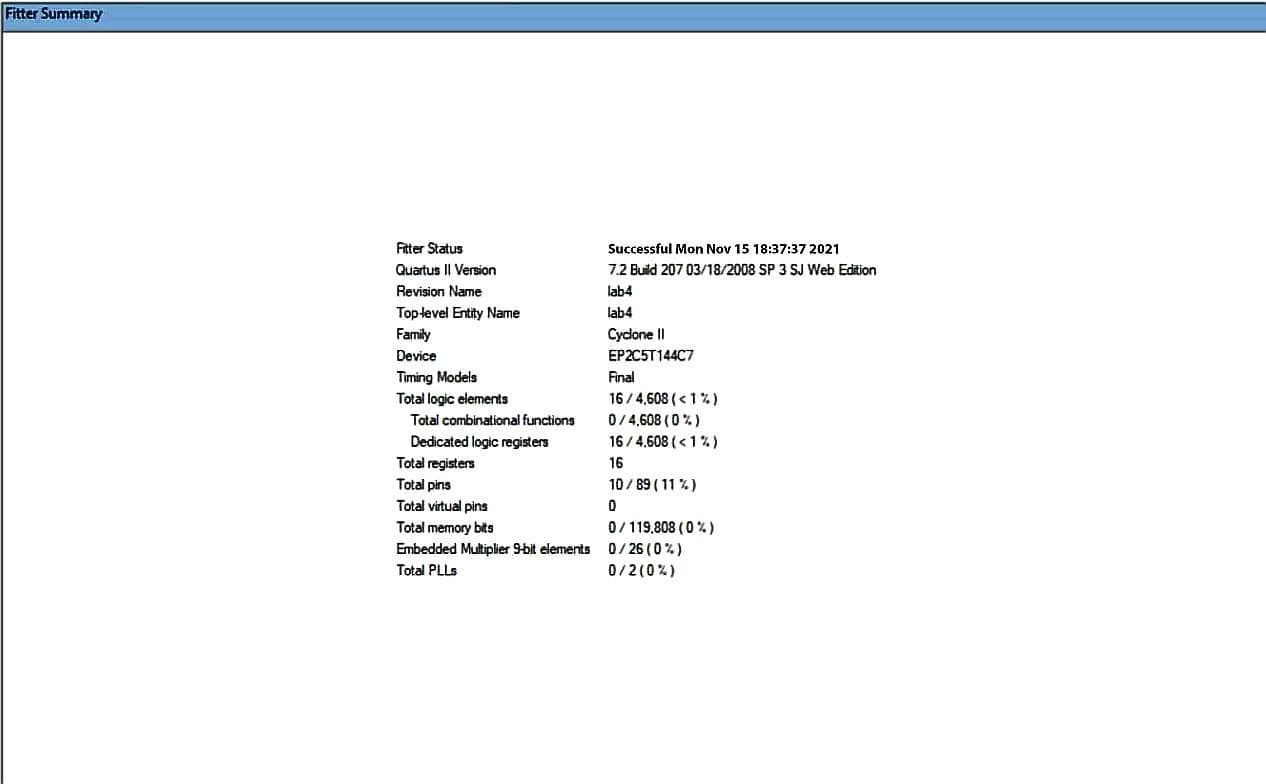
1. **Правильність вводу схеми (**[**Analysis & Elaboration**](about:blank)**) Flow Summary:**



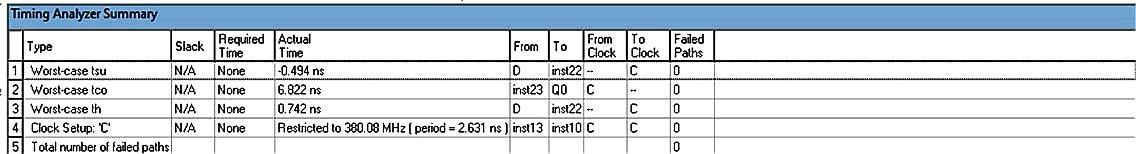
1. **Логічний синтез (Analysis & Synthesis) :**



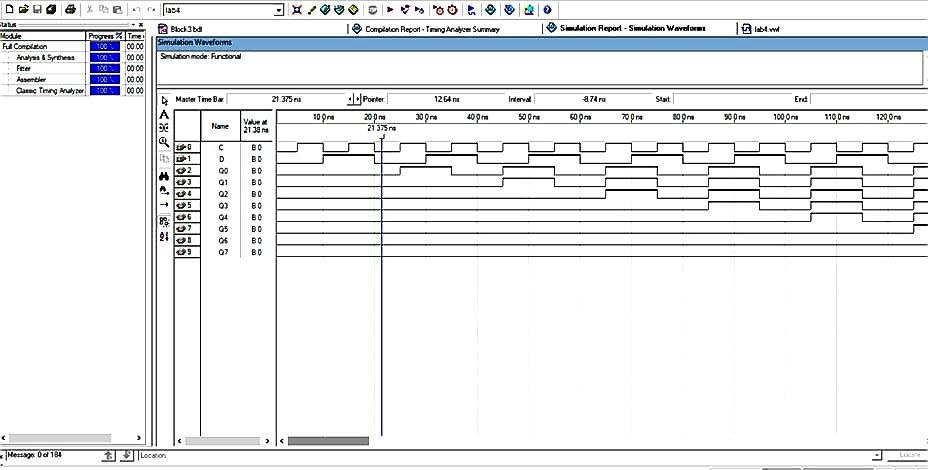
1. **Fitter Summary:**



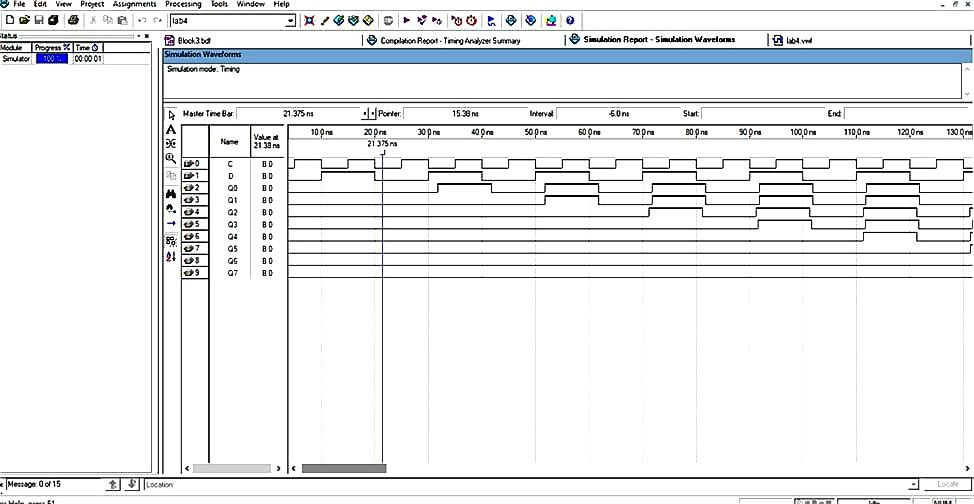
**4)Timing Analyzer Summary:**



**5)Результат функціонального моделювання:**



**6)Результат симуляції з урахуванням часових параметрів:**



**Висновок:** Під час виконання лабораторної роботи провелось ознайомлення з типовими комбінаційними ЦП, також було створено регістр зсуву вправо на 2 розряди. Перед створенням бібліотечного модуля було проведено компіляцію схеми, та аналіз її результатів(Flow Summary. Analysis & Synthesis Summary. Fitter Summary). Також після створення бібліотечного модуля регістру зсуву, було успішно проведено його тестування за допомогою симуляції.