



武汉大学电子设计竞赛培训题目

DDS 信号发生器

一、任务

使用 Verilog 语言实现具有正弦波、AM、FM 波和 AM 解调的 DDS 代码并仿真。

二、要求

1. 基本要求

- (1) 顶层文件格式见附录
- (2) 要求仿真输出波形为正弦波，频率范围 1kHz-10MHz，频率误差 0.1%；
- (3) 最小频率步进为 10Hz；

2. 发挥要求

- (1) 顶层文件格式见附录
- (2) 要求能够通过 mode 切换输出信号的波形
- (3) 实现 AM 单音调制，载波信号频率 500kHz-10MHz 范围可调，最小步进 10Hz；正弦调制信号频率 1kHz-50kHz 范围可调，最小步进 10Hz；调制度 10%-100%，最小步进 10%，可由 ma 设置，当 ma 为 1 时，调制度为 10%，当 ma 为 10 时，调制度为 100%
- (4) 实现 FM 单音调制，载波信号频率 500kHz-10MHz 范围可调；正弦调制信号频率为 1kHz；最大频偏 5kHz-20kHz 范围可调，步进 1kHz
- (5) 在(3)的基础上，实现 AM 的信号解调的仿真

三、说明

- (1) 实现基本要求时，也可以使用发挥要求的顶层文件格式
- (2) 验收时需要提交完整实现代码、仿真代码以及仿真结果截图，仿真截图应含有必要的指标用于检验
- (3) 验收结束之后需尽快提交 DDS 信号发生器的报告
- (4) 建议在 4 月 8 日前完成验收

四、评分标准

基本要求	完成第(1)(2)项	10
	完成第(3)项	10
	小计	20
发挥要求	完成第(1)(2)项	10
	完成第(3)项	30
	完成第(4)项	30
	完成第(5)项	10
	小计	80
报告		20
总分		120

五、附录

1 基础要求顶层文件格式

```
module DDS
(
    input  wire      clk,          // 100MHz
    input  wire      rst_n,
    input  wire [23:0] fout,       // 频率
    output wire [15:0] sig_out
);
```

2、发挥要求顶层文件格式

```
module DDS
(
    input  wire      clk,          // 100MHz
    input  wire      rst_n,

    input  wire [1:0] mode,        // 0Sin / 1AM / 2FM / 3 输出 AM 解调
    input  wire [23:0] fc,         // 频率 / 载波频率 / 载波频率 /
    input  wire [21:0] fs,         // 无 / 调制频率 / 调制频率 /
    input  wire [3:0] ma,          // 无 / 调制度 / 无 /
    input  wire [15:0] fd,         // 无 / 无 / 最大频偏 /
    output wire [15:0] sig_out     // 输出 / 输出 / 输出 /
);
```