



武汉大学电子设计竞赛培训题目



频率计

一、任务

使用 verilog 语言写出等精度测频率的代码并上板测试。

二、要求

1. 基本要求

- (1) 代码的顶层模块包括待测信号输出,待测信号输入,驱动时钟信号(50Mhz),复位信号,待测信号周期数 N,标准信号周期数 M,实际阀门。顶层模块要求格式如下:

```
module f_measure
(
    input clk,           //标准信号,50M
    input rst,           //复位信号
    input [7:0]sw,       //拨码开关输入
    input signal_in,     //输入待测信号,1~10M
    output signal_out,   //输出待测信号,1~10M
    output [31:0]M,      //标准信号计数值
    output [31:0]N,      //待测信号计数值
    output gate_out      //实际阀门输出（也就是精确门）
);
//输入你的频率计代码
endmodule
```

- (2) 测量结果输出更新时间不大于 2s。
- (3) signal_out 输出 FPGA 自己产生的待测信号,用 5 个拨码开关分别控制 5 个频率,分别是 1Hz, 25/24Hz, aHz (a 为学号后三位), 1kHz, 1MHz, 缺省值为 10MHz。
- (4) signal_in 端口输入的信号为 signal_out 输出,测量误差为 0.01%;

2.发挥要求

- (1) 在基本要求（3）的基础上，另加 3 个拨码开关，控制 3 个频率，分别是 25MHz，50MHz，100MHz，并满足基本要求（4）。
- (2) 测量频率越高越好。

三、说明

- (1) signal_out 通过 FPGA 引脚输出，通过杜邦线将此信号输入回 FPGA。
- (2) 可将大于 100MHz 的更高频率通过发挥要求（1）中的 3 个拨码开关组合控制产生，例如拨码开关状态为 110，或者 111 时产生，可以通过这 3 个开关的组合产生多个频率。
- (3) 频率信号发生模块和频率信号测量模块之间禁止通讯，两者只共用 clk 和 rst 信号，这个会专门测试。
- (4) 验收时直接观察 signaltap 中的 M，N 值，无需做显示模块。

三、评分标准

| | 项目 | | 分数 |
|----------|------------|--------------------|----|
| | 系统方案 | 设计与论证、方案描述 | 2 |
| 设计 报告 | 理论分析与计算 | 闸门时间参数计算、测量精度分析 | 4 |
| | 程序设计 | 等精度测频程序设计 | 4 |
| | 测试结果 | 结果数据、结果分析 | 8 |
| | 设计报告结构及规范性 | 摘要、设计报告结构及正文、图表规范性 | 2 |
| | 小计 | | 20 |
| 基本 要求 | 完成第(1)项 | | 10 |
| | 完成第(2)项 | | 10 |
| | 完成第(3)项 | | 20 |
| | 完成第(4)项 | | 30 |
| | 小计 | | 70 |
| 发挥 要求 | 完成第(1)项 | | 20 |
| | 完成第(2)项 | | 10 |

| | | |
|--|----|-----|
| | 小计 | 30 |
| | 总分 | 120 |