

# Desenvolv. de Sistemas Embarcados de Tempo Real

Prof. Hermano Cabral

Departamento de Eletrônica e Sistemas — UFPE

17 de agosto de 2018

## Tema central

- Arquitetura AVR

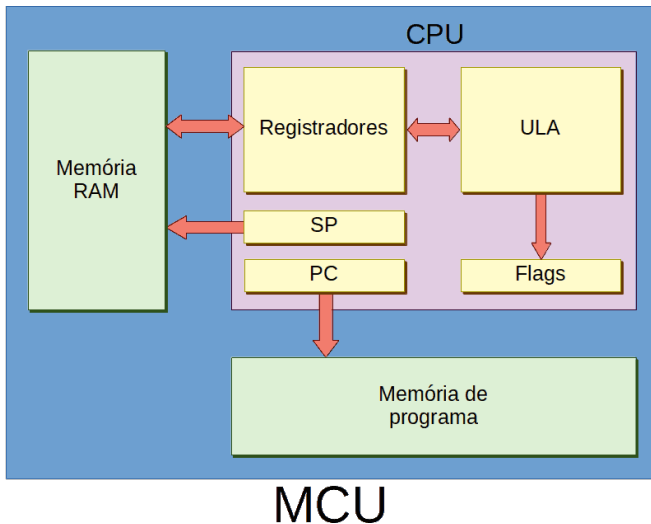
## Tema central

- Arquitetura AVR

## Objetivos

- Identificar as principais partes da arquitetura AVR
- Conhecer os layouts de memória SRAM e flash da arquitetura AVR
- Usar as portas digitais GPIO

# Arquitetura AVR



Representação simplificada da CPU e memória de um microprocessador da família AVR

## Introdução

- O bloco representando a CPU pode ser visto como o estado da CPU.

## Introdução

- O bloco representando a CPU pode ser visto como o estado da CPU.
- O AVR tem uma arquitetura Harvard com memórias distintas para programa e dados.

## Introdução

- O bloco representando a CPU pode ser visto como o estado da CPU.
- O AVR tem uma arquitetura Harvard com memórias distintas para programa e dados.
- O registrador PC aponta para a próxima instrução a ser executada.

## Introdução

- O bloco representando a CPU pode ser visto como o estado da CPU.
- O AVR tem uma arquitetura Harvard com memórias distintas para programa e dados.
- O registrador PC aponta para a próxima instrução a ser executada.
- O registrador SP é usado para implementar o stack, onde variáveis locais e endereços de retorno de funções são armazenados.



## Introdução

- A arquitetura Atmel AVR é uma arquitetura RISC de processador do tipo Harvard

## Introdução

- A arquitetura Atmel AVR é uma arquitetura RISC de processador do tipo Havard
- Ela tem 32 registradores de 8 bits que podem ser diretamente usados na ALU

## Introdução

- A arquitetura Atmel AVR é uma arquitetura RISC de processador do tipo Harvard
- Ela tem 32 registradores de 8 bits que podem ser diretamente usados na ALU
- Dados da memória tem que ser colocados em registradores antes de poderem ser processados

## Introdução

- A arquitetura Atmel AVR é uma arquitetura RISC de processador do tipo Harvard
- Ela tem 32 registradores de 8 bits que podem ser diretamente usados na ALU
- Dados da memória tem que ser colocados em registradores antes de poderem ser processados
- Em geral, ela executa uma instrução por pulso de clock

## Ponteiro de instruções

- As instruções de um programa são na sua maioria de 16 bits, com algumas poucas sendo de 32 bits.

## Ponteiro de instruções

- As instruções de um programa são na sua maioria de 16 bits, com algumas poucas sendo de 32 bits.
- Por esta razão, o ponteiro de instrução tem o seu bit menos significativo sempre 0.

**Name:** SREG

**Offset:** 0x5F

**Reset:** 0x00

**Property:** When addressing as I/O Register: address offset is 0x3F

Bit	7	6	5	4	3	2	1	0
	I	T	H	S	V	N	Z	C
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

Registrador de status do processador ATmega328p

# Arquitetura AVR

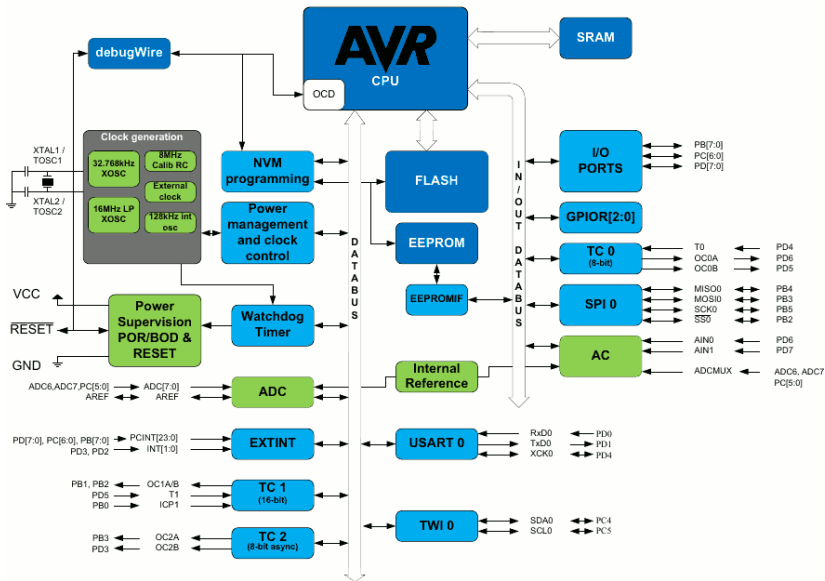


Diagrama de blocos do processador Atmel ATmega328p



## Memória

- O ATMega328p possui as seguintes características de memória:
  - 32KBytes of In-System Self-Programmable Flash program Memory
  - 1KBytes EEPROM
  - 2KBytes Internal SRAM
  - Write/Erase Cycles: 10,000 Flash/100,000 EEPROM
  - Data Retention: 20 years at 85°C/100 years at 25°C<sup>(1)</sup>

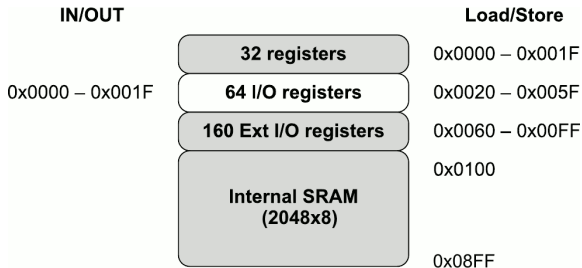
## Periféricos

- O ATmega328p possui os seguintes periféricos:
  - Two 8-bit Timer/Counters with Separate Prescaler and Compare Mode
  - One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
  - Real Time Counter with Separate Oscillator
  - Six PWM Channels
  - 8-channel 10-bit ADC in TQFP and QFN/MLF package
    - Temperature Measurement
  - 6-channel 10-bit ADC in PDIP Package
    - Temperature Measurement
  - Two Master/Slave SPI Serial Interface
  - One Programmable Serial USART
  - One Byte-oriented 2-wire Serial Interface (Philips I<sup>2</sup>C compatible)
  - Programmable Watchdog Timer with Separate On-chip Oscillator
  - One On-chip Analog Comparator
  - Interrupt and Wake-up on Pin Change

Features	ATmega328/P
Pin Count	28/32
Flash (Bytes)	32K
SRAM (Bytes)	2K
EEPROM (Bytes)	1K
General Purpose I/O Lines	23
SPI	2
TWI (I <sup>2</sup> C)	1
USART	1
ADC	10-bit 15kSPS
ADC Channels	8
8-bit Timer/Counters	2
16-bit Timer/Counters	1

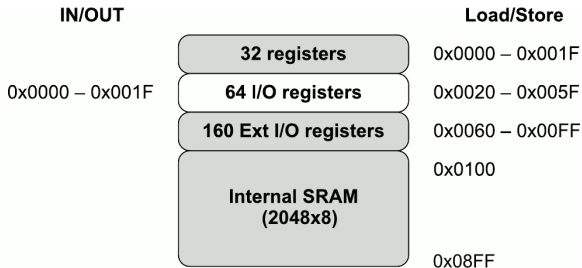
## Configuração do ATMega328p

- Resumidamente, a configuração do processador ATMega328p está mostrada acima.



## Layout de memória

- O espaço de endereçamento de memória inclui os registradores da CPU e os registradores de I/O.



## Layout de memória

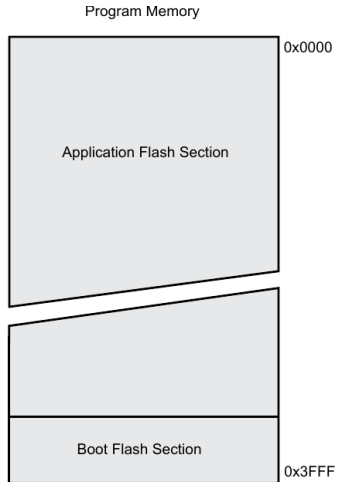
- O espaço de endereçamento de memória inclui os registradores da CPU e os registradores de I/O.
- A página 428 do datasheet do ATMega328p traz os endereços

## Layout de memória — observações

- O ambiente de desenvolvimento para a plataforma AVR define constantes para cada um destes registradores I/O com nomes idênticos aos do datasheet.

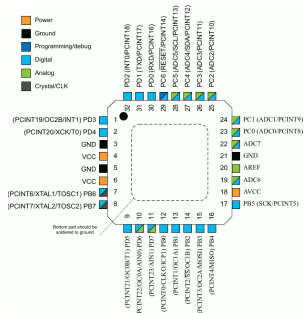
## Layout de memória — observações

- O ambiente de desenvolvimento para a plataforma AVR define constantes para cada um destes registradores I/O com nomes idênticos aos do datasheet.
- Eles são definidos no arquivo `avr/io.h`.



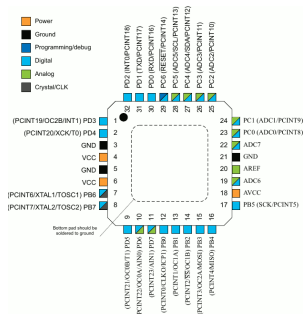
Layout da memória flash do processador ATMega328p





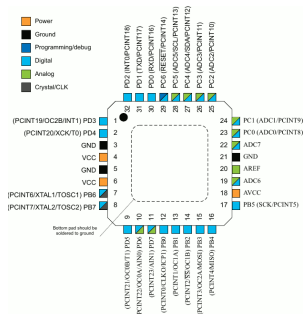
## Distribuição de funcionalidade

- A distribuição das funcionalidades do ATmega328p entre seus pinos está mostrada ao lado.



## Distribuição de funcionalidade

- A distribuição das funcionalidades do ATmega328p entre seus pinos está mostrada ao lado.
- Observe que a maioria dos pinos tem mais de uma funcionalidade associada.



## Distribuição de funcionalidade

- A distribuição das funcionalidades do ATmega328p entre seus pinos está mostrada ao lado.
- Observe que a maioria dos pinos tem mais de uma funcionalidade associada.
- É óbvio que o uso de uma funcionalidade impede o uso de outra ao mesmo tempo.

## Introdução

- O processador ATMega328p tem 23 pinos digitais de I/O, também chamados de pinos de GPIO, divididos em 3 portas de 8 bits.

## Introdução

- O processador ATMega328p tem 23 pinos digitais de I/O, também chamados de pinos de GPIO, divididos em 3 portas de 8 bits.
- Cada pino pode ser controlado individualmente, configurando-o para entrada ou saída e o valor digital de saída.

## Introdução

- O processador ATMega328p tem 23 pinos digitais de I/O, também chamados de pinos de GPIO, divididos em 3 portas de 8 bits.
- Cada pino pode ser controlado individualmente, configurando-o para entrada ou saída e o valor digital de saída.
- Para este controle, cada porta de 8 bits possui 3 registradores de I/O de 8 bits: DDR, PORT e PIN.

# Arquitetura AVR — Pinos digitais de I/O

**Name:** DDRB

**Offset:** 0x24

**Reset:** 0x00

**Property:** When addressing as I/O Register: address offset is 0x04

Bit	7	6	5	4	3	2	1	0
	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

## Registadores das portas GPIO

- O registrador DDR controla se um pino é de entrada (valor 0 para o bit correspondente) ou de saída (valor 1).

# Arquitetura AVR — Pinos digitais de I/O

**Name:** PORTB

**Offset:** 0x25

**Reset:** 0x00

**Property:** When addressing as I/O Register: address offset is 0x05

Bit	7	6	5	4	3	2	1	0
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

## Registradores das portas GPIO

- O registrador PORT controla o valor do pino de saída, se o pino estiver configurado como saída, ou se o resistor de pull-up está habilitado, se o pino estiver configurado como entrada.



# Arquitetura AVR — Pinos digitais de I/O

**Name:** PINB

**Offset:** 0x23

**Reset:** N/A

**Property:** When addressing as I/O Register: address offset is 0x03

Bit	7	6	5	4	3	2	1	0
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	x	x	x	x	x	x	x	x

## Registadores das portas GPIO

- Se a porta está configurada para saída, o registrador PIN pode ser usado para inverter o nível lógico da saída de um pino.

# Arquitetura AVR — Pinos digitais de I/O

**Name:** PINB

**Offset:** 0x23

**Reset:** N/A

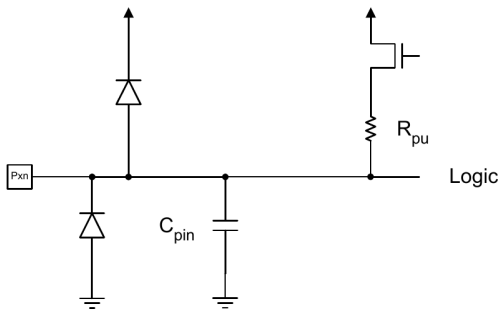
**Property:** When addressing as I/O Register: address offset is 0x03

Bit	7	6	5	4	3	2	1	0
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	x	x	x	x	x	x	x	x

## Registadores das portas GPIO

- Se a porta está configurada para saída, o registrador PIN pode ser usado para inverter o nível lógico da saída de um pino.
- Caso contrário, PIN é usado para ler o valor da entrada da porta.

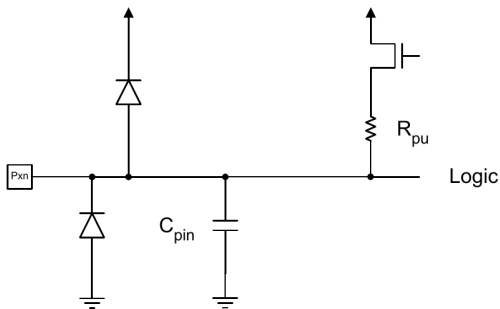
# Arquitetura AVR — Pinos digitais de I/O



## Estrutura

- Cada pino GPIO pode ser representado como acima.

# Arquitetura AVR — Pinos digitais de I/O



## Estrutura

- Cada pino GPIO pode ser representado como acima.
- Observe que existe um resistor de pull-up que pode ser ligado ou desligado.

# Arquitetura AVR — Pinos digitais de I/O

DDxn	PORTxn	PUD (in MCUCR)	I/O	Pull-up	Comment
0	0	X	Input	No	Tri-state (Hi-Z)
0	1	0	Input	Yes	Pxn will source current if ext. pulled low
0	1	1	Input	No	Tri-state (Hi-Z)
1	0	X	Output	No	Output Low (Sink)
1	1	X	Output	No	Output High (Source)

## Resistor de pull-up

- A tabela acima mostra as possíveis configurações de entrada/saída e de habilitação de pull-up.