

Final Project – All-Digital Phase-Locked Loop

612410003 黃偉嘉

目錄

一、	電路功能、規格及架構.....	3
1.	電路功能.....	3
2.	電路規格.....	3
3.	電路架構.....	3
二、	子電路功能、規格.....	4
1.	相位及頻率偵測器(Phase/Frequency Detector，簡稱 PFD).....	4
2.	PLL 控制器(PLL Controller).....	5
3.	數位控制震盪器(Digital Controlled Oscillator，簡稱 DCO).....	5
4.	除頻器(Frequency Divider).....	7
三、	全數位鎖相迴路(ADPLL)之整合與模擬.....	8
1.	Behavior Simulation.....	8
2.	Mixed-Mode Simulation.....	10
四、	問題與討論.....	11
1.	如何加速 PLL 鎖定時間(電路規格中的 Lock-in time).....	11
2.	如何降低輸出的 jitter(抖動).....	12
3.	Output Clock 之頻率範圍及解析度該如何決定.....	13

圖目錄

圖 1、	ADPLL 電路架構圖.....	3
圖 2、	Phase/Frequency Detector 架構圖.....	4
圖 3、	(SS, 1.62V, 125°C)之波形圖.....	4
圖 4、	(TT, 1.8V, 25°C)之波形圖.....	5
圖 5、	(FF, 1.98V, 0°C)之波形圖.....	5
圖 6、	PLL Controller 之波形圖.....	5
圖 7、	Digital Controlled Oscillator 架構圖.....	6
圖 8、	dco_code v.s. period 之 matlab 作圖(code=0~127).....	6
圖 9、	除數=1 之波形圖.....	7

圖 10、除數=2 之波形圖	7
圖 11、除數=3 之波形圖	7
圖 12、除數=4 之波形圖	7
圖 13、除數=5 之波形圖	8
圖 14、除數=6 之波形圖	8
圖 15、除數=7 之波形圖	8
圖 16、PLL Behavior Simulation with REF_CLK = 125MHz and M = 1	8
圖 17、PLL Behavior Simulation with REF_CLK = 125MHz and M = 2	9
圖 18、PLL Behavior Simulation with REF_CLK = 125MHz and M = 3	9
圖 19、PLL Behavior Simulation with REF_CLK = 125MHz and M = 4	9
圖 20、PLL Behavior Simulation with REF_CLK = 125MHz and M = 5	9
圖 21、PLL Behavior Simulation with REF_CLK = 125MHz and M = 6	9
圖 22、PLL Behavior Simulation with REF_CLK = 125MHz and M = 7	10
圖 23、PLL Behavior Simulation with REF_CLK = 125MHz and M = 1 ~ 7	10
圖 24、PLL Behavior Simulation with REF_CLK = 250MHz and M = 1 ~ 7	10
圖 25、PLL Behavior Simulation with REF_CLK = 400MHz and M = 1 ~ 7	10
圖 26、PLL Mixed-Mode Simulation with REF_CLK = 100MHz and M = 1 ~ 7	11
圖 27、PLL Mixed-Mode Simulation with REF_CLK = 125MHz and M = 1 ~ 7	11
圖 28、PLL Mixed-Mode Simulation with REF_CLK = 250MHz and M = 1 ~ 7	11
圖 29、PLL Mixed-Mode Simulation with REF_CLK = 312.5MHz and M = 1 ~ 7	11
圖 30、steep slope with large output jitter	12
圖 31、Searching flow of the Coarse Frequency Selector	12

表目錄

表 1、ADPLL 電路規格	3
表 2、PFD DeadZone	4
表 3、dco_code v.s. output frequency with different PVT simulation	6

一、 電路功能、規格及架構

1. 電路功能

全數位鎖相迴路(All-Digital Phase-Locked Loop，簡稱 ADPLL)，其工作原理為將參考頻率與除頻器輸出的回授頻率，利用相位及頻率偵測器(Phase/Frequency Detector，簡稱 PFD)產生 up/down 的訊號，並傳送給 PLL 控制器產生 dco_code 讓數位控制震盪器(Digital Controlled Oscillator，簡稱 DCO)改變輸出頻率，最後透過除頻器輸出並與參考頻率做比較，重複以上動作維持並持續追蹤參考訊號與輸出訊號之相位、頻率的倍頻關係。

2. 電路規格

Parameter	Description
Target Process	L18U18V_TT
Reference Clock (MHz)	16 ~ 879
Output Clock (MHz)	114 ~ 879
Programmable Input and Feedback Divider	M = 1 ~ 7
Lock-in Time (# cycle)	18 ~ 26
Power Consumption (mW)	2.4174(avg) 17.298(max)

表 1、ADPLL 電路規格

3. 電路架構

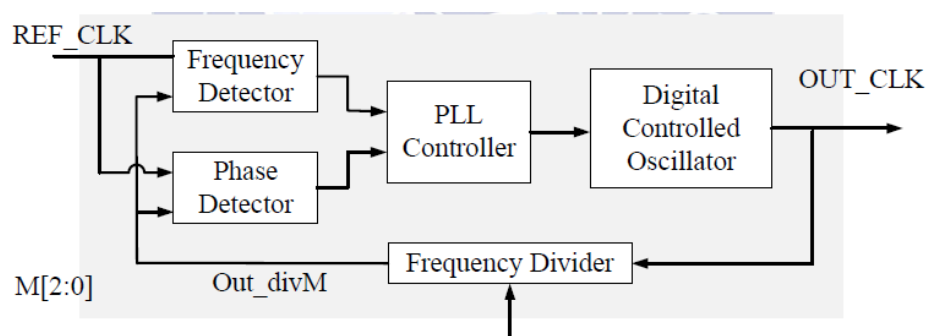


圖 1、ADPLL 電路架構圖

此 Final Project 的電路架構包含了 **Phase/Frequency Detector**、**PLL Controller**、**Digital Controlled Oscillator**、**Frequency Divider**，以及減少 Jitter 所使用的 Digital Loop Filter(直接將功能內嵌在 PLL Controller 內)，個別子電路的規格與功能將在第二小節做詳細介紹。

二、子電路功能、規格

1. 相位及頻率偵測器(Phase/Frequency Detector，簡稱 PFD)

此次 Project 使用的是 Cell-based, three-state, bang-bang PFD 架構，一開始針對 IN 及 FB 的頻率做調整，待頻率追蹤完畢後接著做相位追蹤，利用輸出的 flagU 及 flagD 作為資訊提供給後續電路對數位控制震盪器做加速或減速。此電路的 DeadZone 受到前面 D-Flip/Flop clear pin 的最小 pulse width 所限制，而下圖中的紅色方塊圖是 digital pulse amplifier，可將進來的 phase error 信號放大，讓後一級的 D-Flip/Flop 更容易可以偵測到。

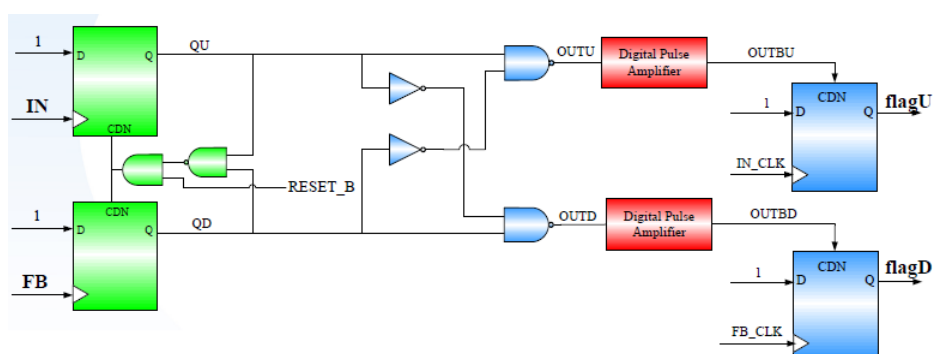


圖 2、Phase/Frequency Detector 架構圖

	(SS, 1.62V, 125°C)	(TT, 1.8V, 25°C)	(FF, 1.98V, 0°C)
DeadZone(單位:ps)	31	16	8

表 2、PFD DeadZone

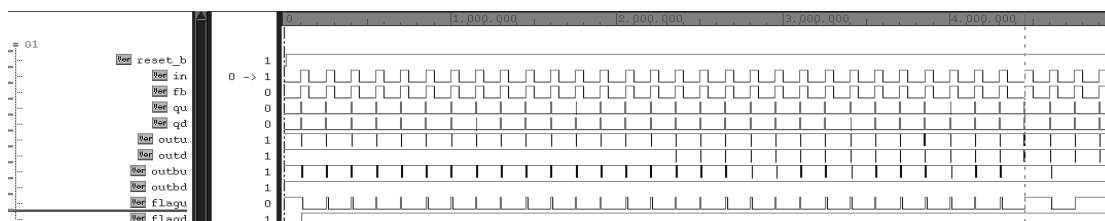


圖 3、(SS, 1.62V, 125°C)之波形圖

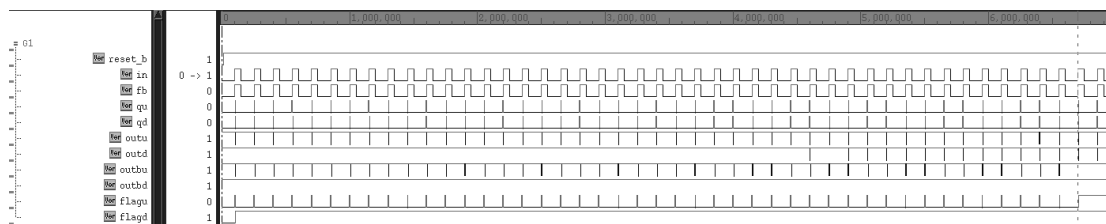


圖 4、(TT, 1.8V, 25°C)之波形圖

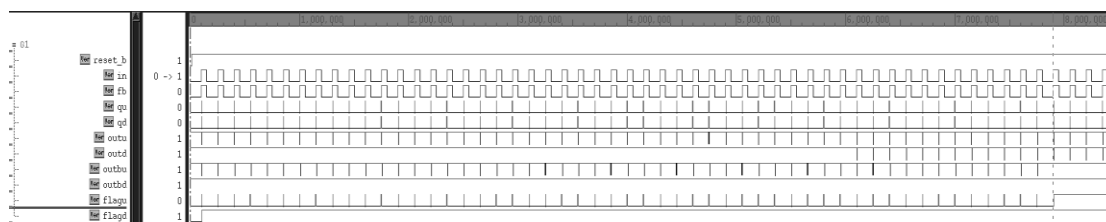


圖 5、(FF, 1.98V, 0°C)之波形圖

2. PLL 控制器(PLL Controller)

藉由 PFD 所產生的 up/down 訊號，將領先或落後的資訊傳入 PLL Controller 對 dco_code 進行調整，當 polarity 轉換時，會將 step 除 2 以慢慢達成鎖定，另外針對”dco_code=0 且 p_down=0”或”dco_code=127 且 p_up=0”時直接鎖定(已達 DCO 震盪之上下限)。dco_code 的 bits 數量為[7:0]，因應震盪器產生 128 種不同頻率的輸出，為防止 dco_code 溢位，設定當下一次的 dco_code 加減 step 會超過上下限時直接將 dco_code 調至上限或下限值，另外數位濾波器之功能已包含在內，使用的是 Motorola 的架構，針對每次領先或落後的資訊在必要時更新 anchor register 的值，下圖為此電路之測試波形圖：

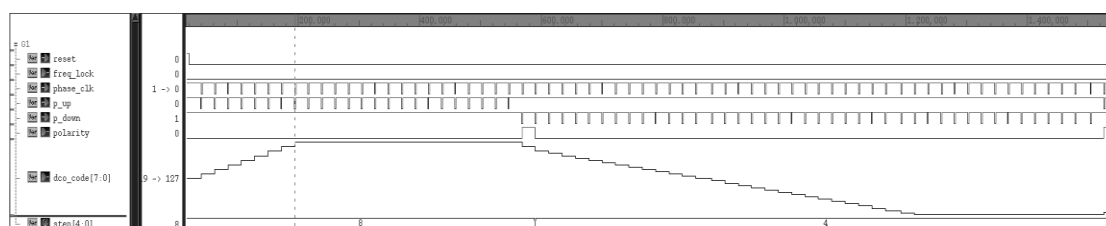


圖 6、PLL Controller 之波形圖

3. 數位控制震盪器(Digital Controlled Oscillator，簡稱 DCO)

此次 Project 使用的是 Tri-state inverters matrix 架構，使用並聯的 Tri-state inverter，透過每個 Tri-state inverter 的開或關，可以調整對輸出充放電的速度，雖然這樣的架構可以提供一個高解析度的 delay line，但相對的代價就是較大的面積與功率。

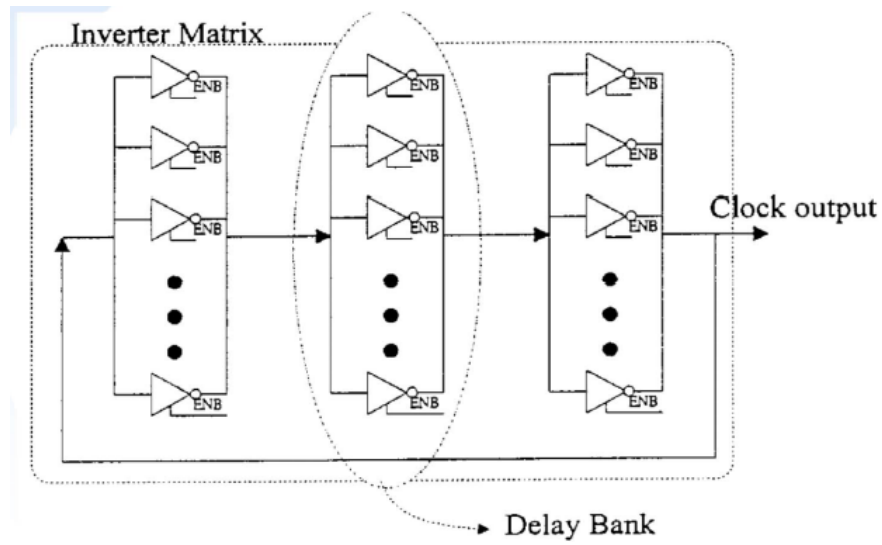


圖 7、Digital Controlled Oscillator 架構圖

下圖為使用 spice 做此 DCO 架構的週期量測，包含使用不同 PVT variation，輸出頻率為 190MHz ~ 1.49GHz:

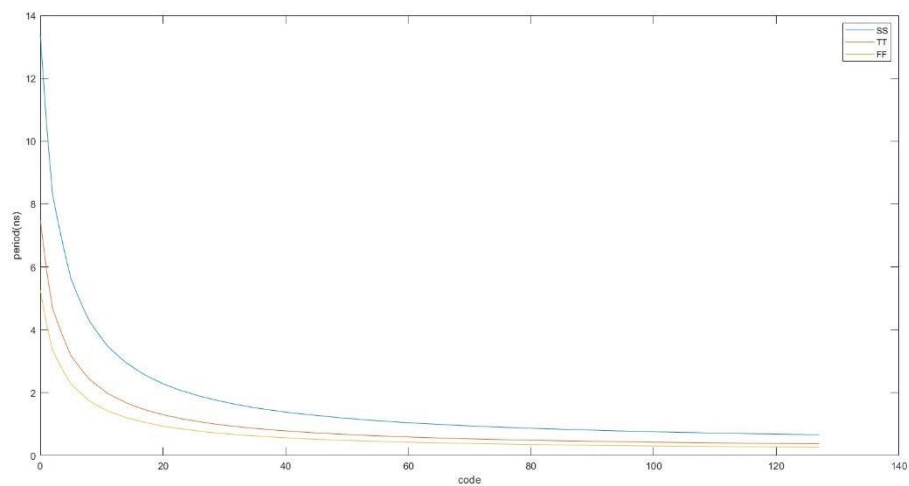


圖 8、dco_code v.s. period 之 matlab 作圖(code=0~127)

頻率(單位:MHz)	(SS, 1.62V, 125°C)	(TT, 1.8V, 25°C)	(FF, 1.98V, 0°C)
dco_code = 0	75	133	190
dco_code = 127	1497	2678	3714

表 3、dco_code v.s. output frequency with different PVT simulation

4. 除頻器(Frequency Divider)

此次 Project 使用的是 Counter-based Frequency Divider，不論任何數都可以除，因為在此專案中除頻器之輸出並無 duty cycle 之要求，故並無對 duty cycle 特別做修正，但這可以很簡單的使用 Verilog 做實現，端看實際應用端是否有這項需求。以下七張圖分別對應除數 $M=1\sim7$ 之波形圖，out_clk 為除頻器之輸出：

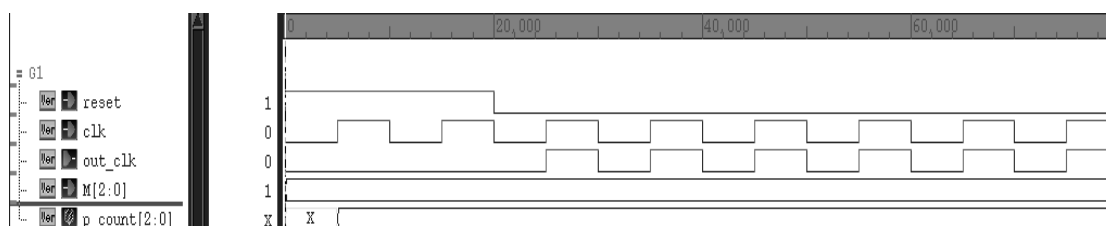


圖 9、除數=1 之波形圖

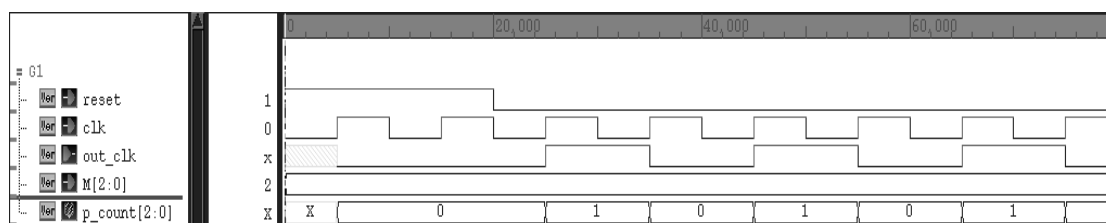


圖 10、除數=2 之波形圖

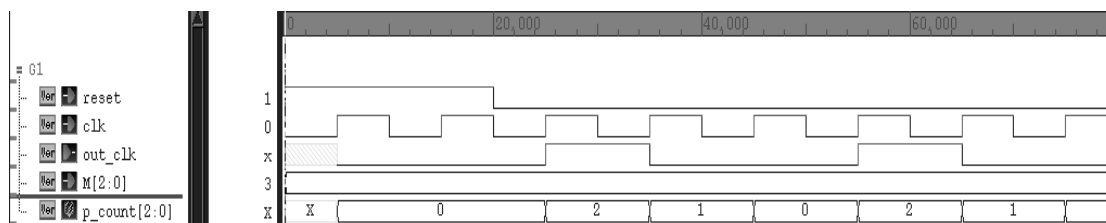


圖 11、除數=3 之波形圖

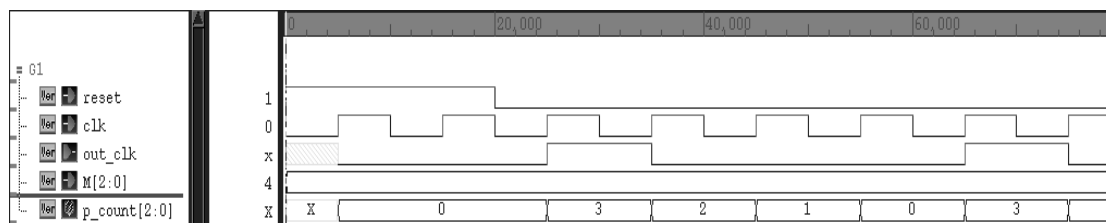


圖 12、除數=4 之波形圖

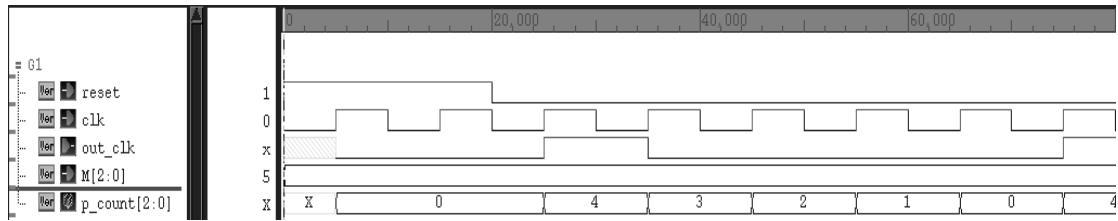


圖 13、除數=5 之波形圖

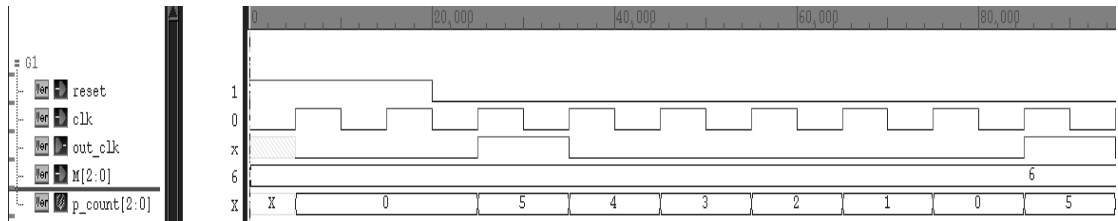


圖 14、除數=6 之波形圖

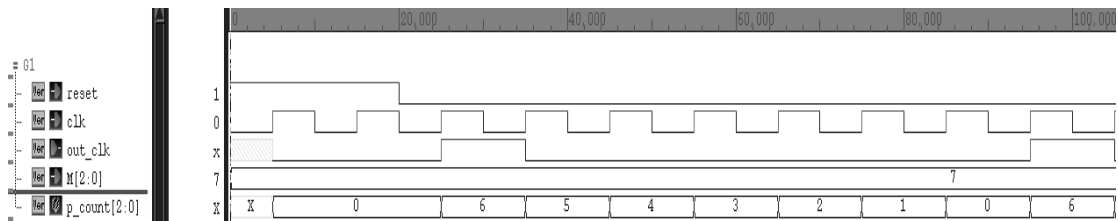


圖 15、除數=7 之波形圖

三、全數位鎖相迴路(ADPLL)之整合與模擬

1. Behavior Simulation

先將需要跑 spice 模擬的 PFD 及 DCO 以 Verilog 建立數位模型，跑第一階段的 Behavior Simulation，待確認功能正確後，再進行第二階段的 Mixed-Mode Simulation，才能更有效率的整合電路。以下圖列為 Behavior Simulation 在不同輸入頻率及不同的除數下的模擬波形：

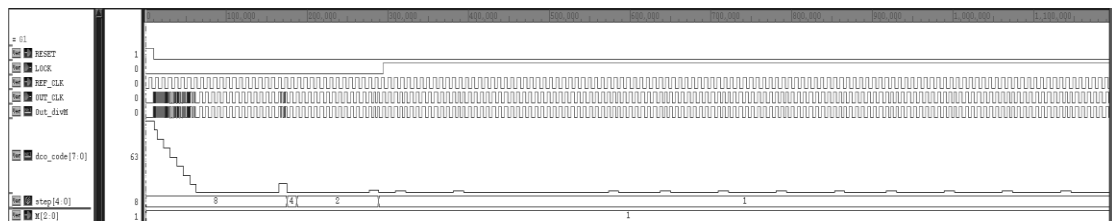


圖 16、PLL Behavior Simulation with REF_CLK = 125MHz and M = 1

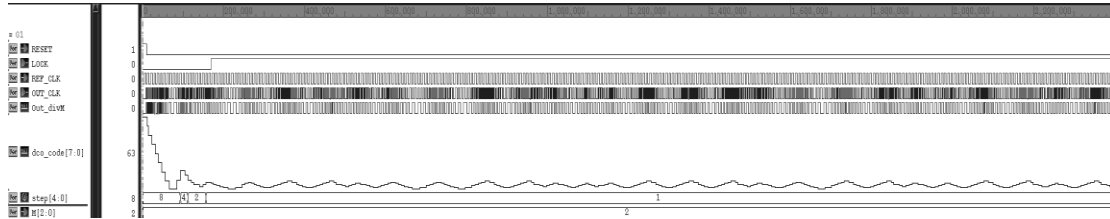


圖 17、PLL Behavior Simulation with REF_CLK = 125MHz and M = 2

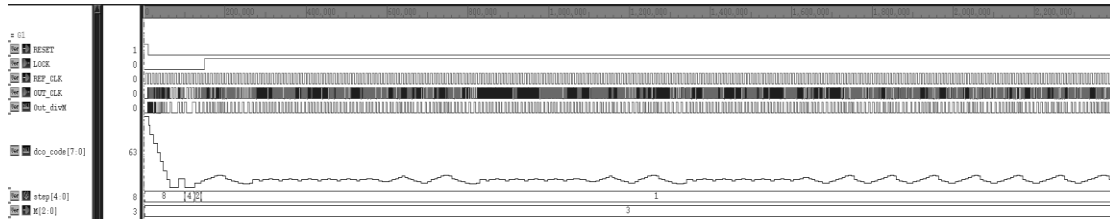


圖 18、PLL Behavior Simulation with REF_CLK = 125MHz and M = 3

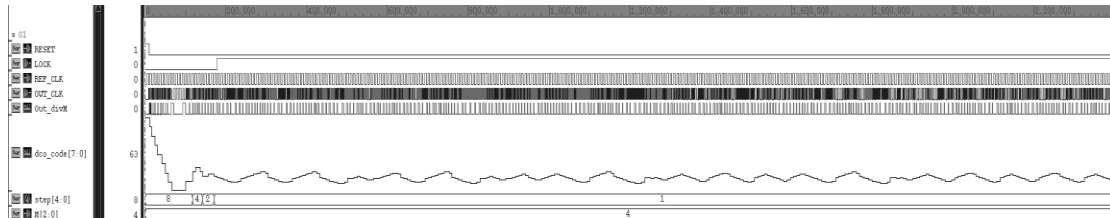


圖 19、PLL Behavior Simulation with REF_CLK = 125MHz and M = 4

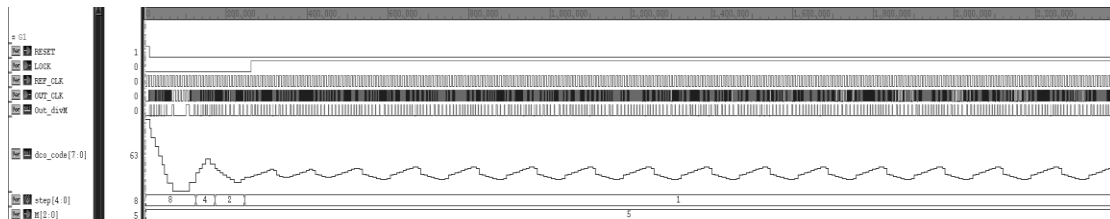


圖 20、PLL Behavior Simulation with REF_CLK = 125MHz and M = 5

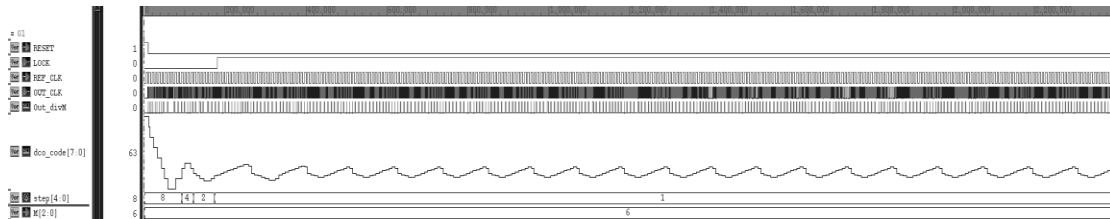


圖 21、PLL Behavior Simulation with REF_CLK = 125MHz and M = 6

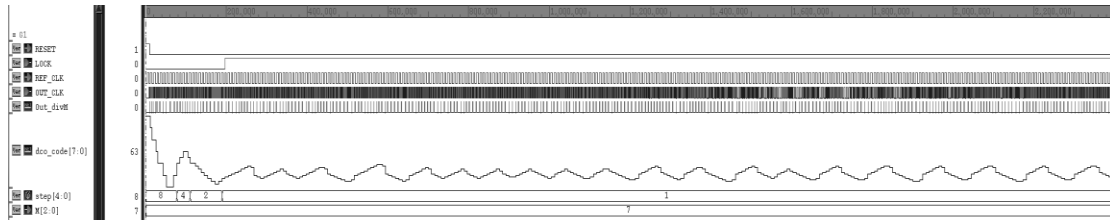


圖 22、PLL Behavior Simulation with REF_CLK = 125MHz and M = 7

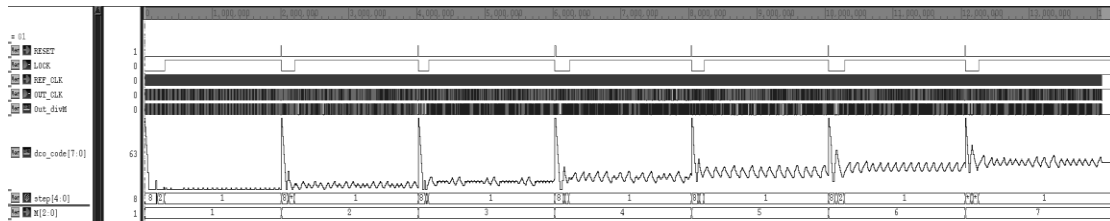


圖 23、PLL Behavior Simulation with REF_CLK = 125MHz and M = 1 ~ 7

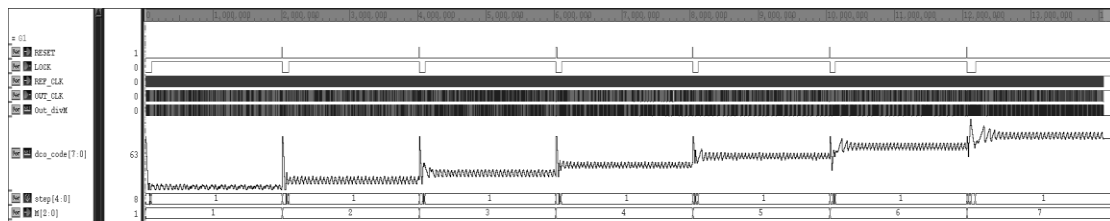


圖 24、PLL Behavior Simulation with REF_CLK = 250MHz and M = 1 ~ 7

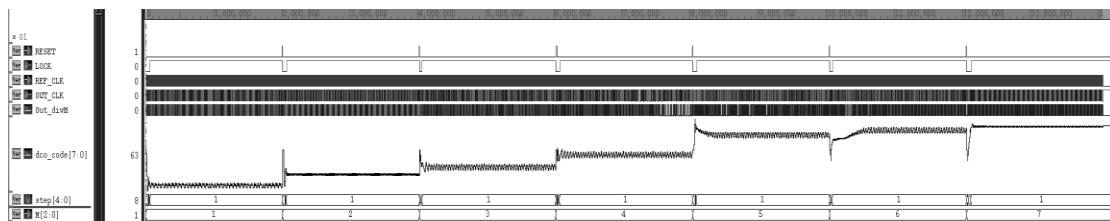


圖 25、PLL Behavior Simulation with REF_CLK = 400MHz and M = 1 ~ 7

2. Mixed-Mode Simulation

在確認全數位模擬正確後，接著將 PFD 及 DCO 置換成 spice 檔進行 Mixed-Mode Simulation，以下圖列為 Mixed-Mode Simulation 在不同輸入頻率及不同的除數下的模擬波形：

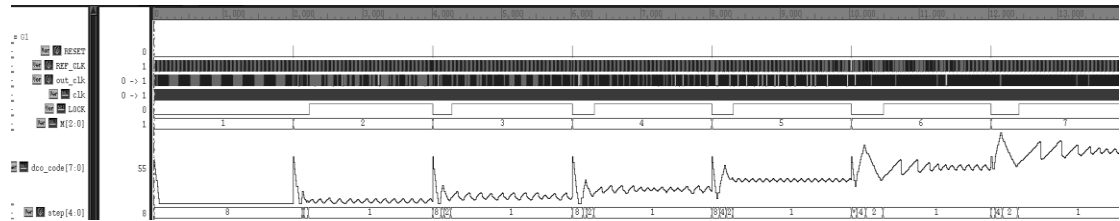


圖 26、PLL Mixed-Mode Simulation with REF_CLK = 100MHz and M = 1 ~ 7

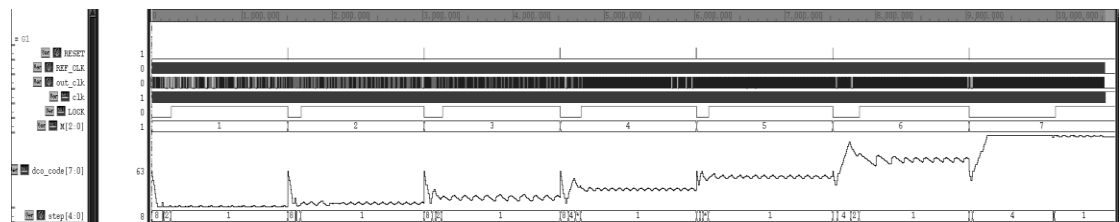


圖 27、PLL Mixed-Mode Simulation with REF_CLK = 125MHz and M = 1 ~ 7

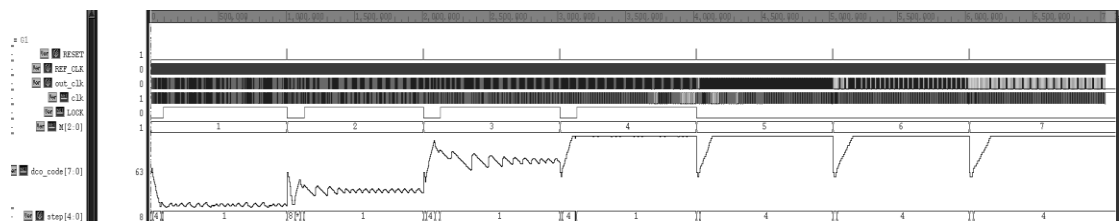


圖 28、PLL Mixed-Mode Simulation with REF_CLK = 250MHz and M = 1 ~ 7

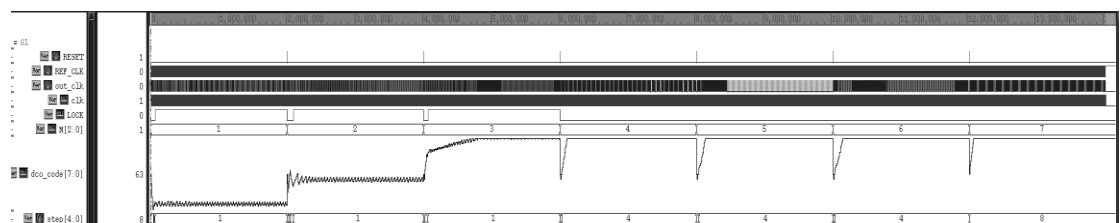


圖 29、PLL Mixed-Mode Simulation with REF_CLK = 312.5MHz and M = 1 ~ 7

四、問題與討論

1. 如何加速 PLL 鎖定時間(電路規格中的 Lock-in time)

Ans:針對系統之需求，可以增加一些額外的電路，像是 Time-to-Digital Converter (TDC)，可以針對相差以 digital code 做量化，或者以 Fast Frequency Band Search 快速找到鎖定的頻率範圍。除此之外，也可以找到相關的論文針對這部份提出一些架構，以我第一次報的 ADPLL 論文: Yung-Hsiang Ho and Chia-Yu Yao, "A Low-Jitter Fast-Locked All-Digital Phase-Locked Loop With Phase-Frequency-Error Compensation," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 5, pp. 1984-1992, May. 2016，就提出了以 Output

Clock 針對頻率及相差做補償的技術。相對的，增加這些電路勢必會增加電路面積及功耗，但這就是常在設計電路所會遇到的 trade-off 問題。

2. 如何降低輸出的 jitter(抖動)

Ans: 在此次 Project 中加入了 Motorola 論文中所提出的濾波器架構，針對每次領先或落後的資訊在必要時更新 anchor register 的值，當相位轉換時就直接把輸出拉回 anchor register 值所對應的頻率。除此之外，也可以針對鎖定頻段先做尋找(e.g., Coarse Frequency Selector)，可以有效降低 DCO 沒辦法做到完全線性而會產生相對大 output jitter 的問題，下面兩張圖即敘述了這樣的問題及解決方式：

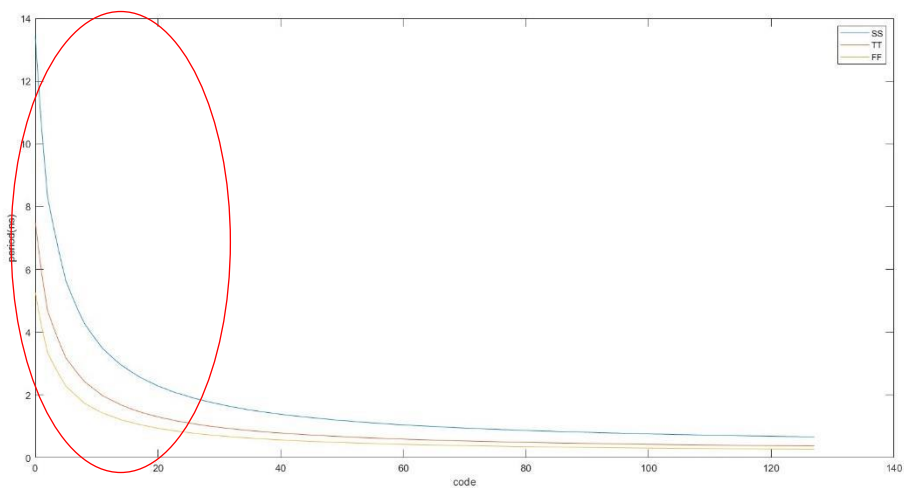


圖 30、steep slope with large output jitter

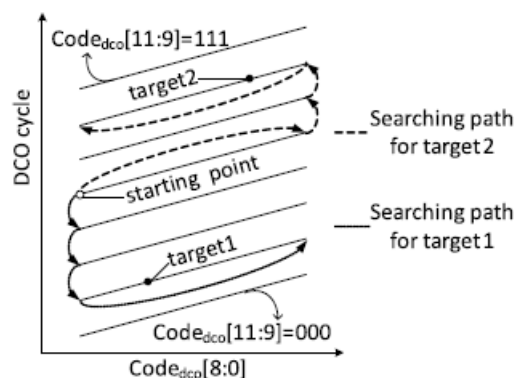


圖 31、Searching flow of the Coarse Frequency Selector

3. Output Clock 之頻率範圍及解析度該如何決定

Ans: Output Clock 之解析度至少要比電路規格所訂的 output jitter 還要小，否則只要 $dco_code + 1/-1$ 就會超過所規定的範圍。另外頻率也沒辦法無止盡的上去，原因在於後一級的除頻器，高速除頻器是需要特別設計的，此次 project 所採用的是 Counter-based Frequency Divider，會在計數器的部份產生較大的 critical path。