

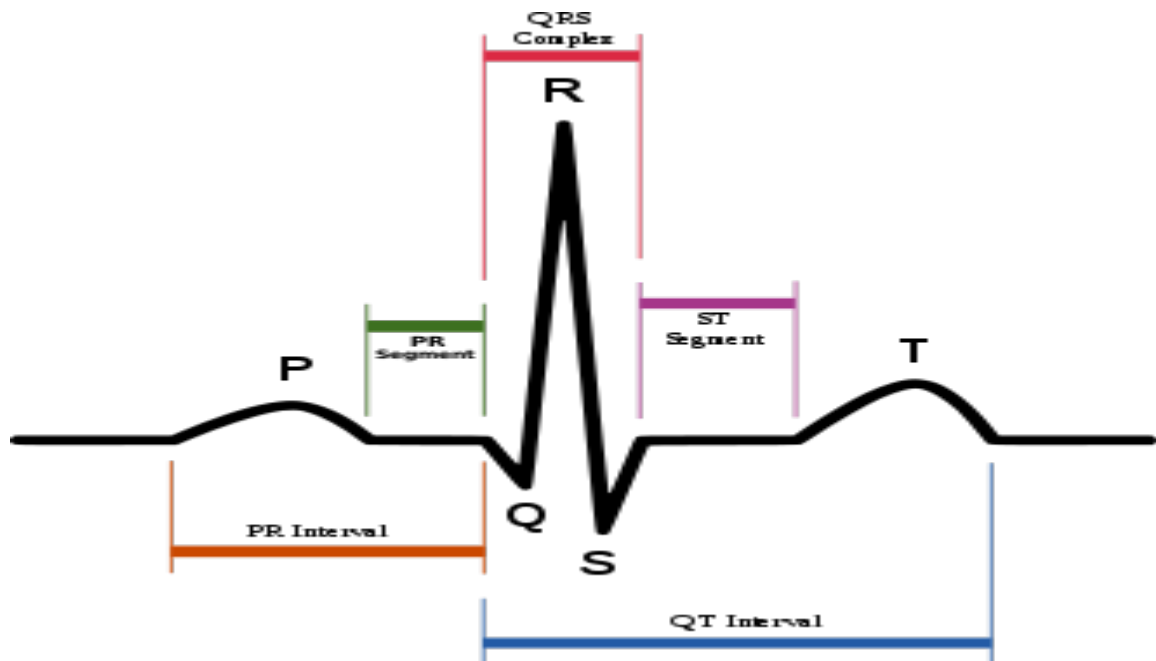
# 2022 IC Design Contest

## Cell-Based IC Design Category for Graduate Level

### ECG Detection Engine

#### 1.問題描述

請完成 ECG(心電圖) Detection Engine (後文以 **EDE** 表示)的電路設計。EDE 電路可將一串帶有 DC-bias 及高頻雜訊的 ECG Beats 訊號(如圖一)收到後，先進行訊號處理，將其去除 DC-Bias 及高頻雜訊干擾還原回一個個 ECG Beat，再將每個 ECG Beat 的重要座標點偵測出來並作輸出。由於時間的關係，本題僅需針對每個 ECG Beat 的 Q、R、S 座標點偵測出來並作輸出，即為所求。有關 EDE 電路詳細運算方法將描述於 2.3 節。



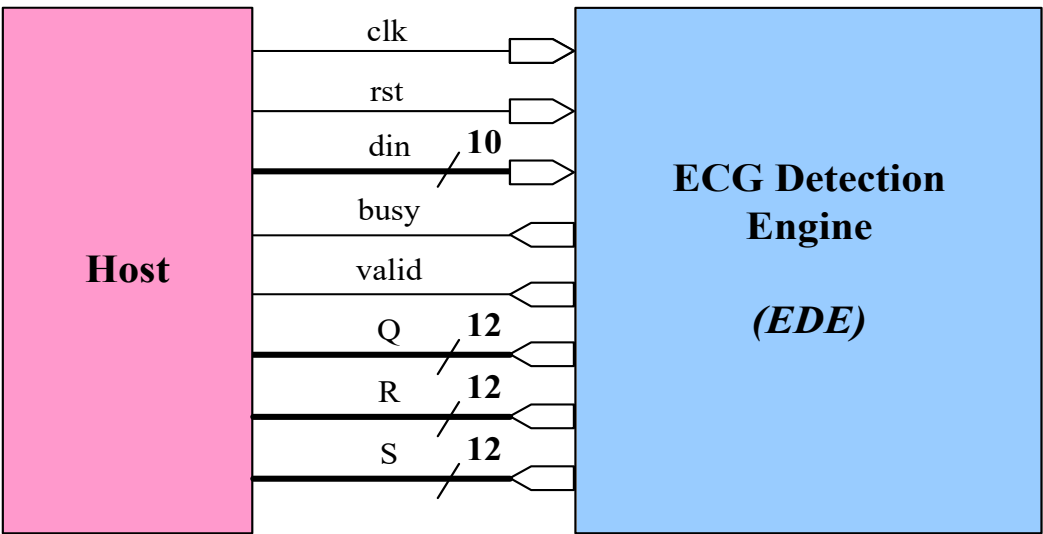
圖一、 ECG Beat 示意圖

本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 E 中所列的要求，附上評分所需要的檔案。本題 icc2022cb.tar 之解壓縮方式如下：

```
tar xvf /usr/cad/icc2022/bgc/icc2022cb.tar
```

## 2.設計規格

### 2.1 系統方塊圖



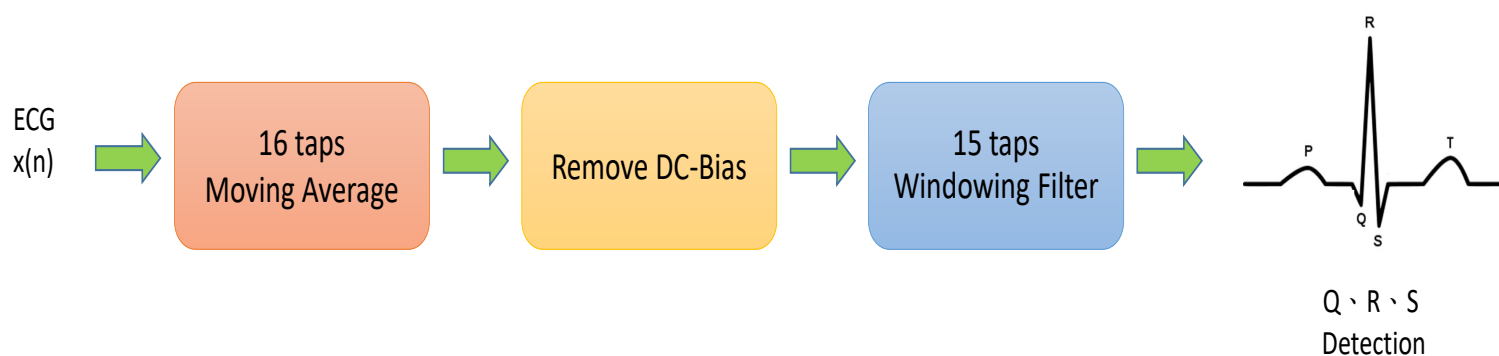
圖二、系統方塊圖

### 2.2 輸入/輸出介面

表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	Clock Signal (positive edge trigger)
rst	I	1	Reset Signal (active high)。
din	I	10	<p>如圖四的原始 ECG 訊號由 din 匯流排輸入至 EDE 電路內作運算。</p> <p>註: 本題的測試樣本，內含 2400 筆 ECG 訊號。</p> <p>註: 每筆訊號為 10bits 的正整數值。</p> <p>註: 每輸入一筆 ECG 訊號需要花一個 Cycle 時間，因此完成所有 ECG 訊號輸入至 EDE 電路，共需要花費 2400 個 Cycle 時間。</p> <p>註: 已輸入的 ECG 訊號，Host 端無法重新再輸入。</p>
busy	O	1	<p>EDE 電路目前是否忙碌的指示訊號。當為 low 時，表示允許 Host 端可輸入下一筆 ECG 訊號；反之，當為 high 時，表示 EDE 電路正處於忙碌階段，暫時停止輸入新的 ECG 訊號。</p> <p>註: busy 為 high 期間，din 的輸入值為 Hi - Z。</p>

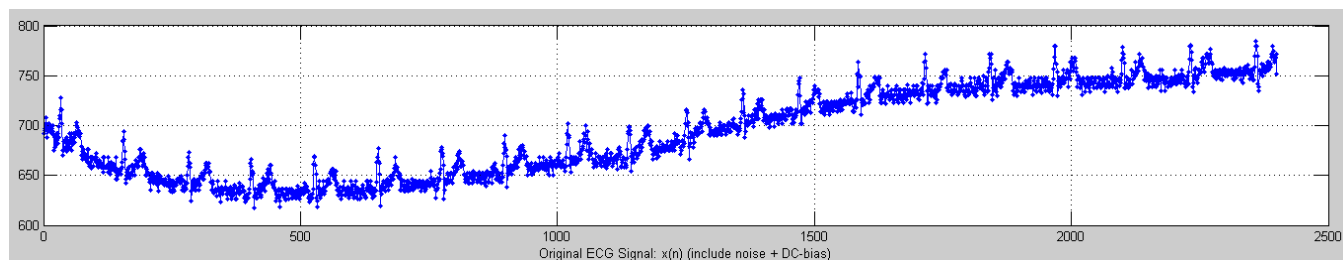
valid	O	1	輸出為有效的指示訊號。當為 high，表示目前輸出匯流排 Q、R、S 的輸出為有效的，反之，輸出為 low。
Q、R、S	O	12	每個 ECG Beat 的 Q、R、S 三點座標值，分別由 Q、R、S 的輸出匯流排作輸出。本題的輸出方式，請將 Q、R、S 三點的座標值 <b>同步輸出</b> ，因此參賽者需將三個座標點皆收集完成後一起輸出。



圖三、 EDE 電路運作流程

## 2.3 系統描述

圖三為 EDE 電路運作流程圖，主要可細分成四個步驟，16 taps Moving Average、Remove DC-Bias、15 taps Windowing Filter、ECG Beat – Q、R、S 偵測座標點作輸出，即為所求。詳細的運作方式說明如下。



圖四、原始 ECG 訊號的範例 (內含 DC-Bias 與高頻雜訊)

### 2.3.1 EDE 電路的輸入

本題 ECG 訊號固定為 2400 筆訊號值，每筆訊號值為 10bits 正整數，因此其值會介於 0 ~ 1023 之間，如圖四所示，藍色訊號為原始 ECG 訊號，由於該訊號含有 DC-bias 成分與高頻雜訊干擾，因此才會呈現出如此之波形。當 Host 端輸入 ECG 訊號至 EDE 電路，每輸入一筆訊號值需要花一個 Cycle 時間，因此完成所有 ECG 訊號輸入，共需要花費 2400 個 Cycle 時間。請注意，已輸入的 ECG 訊號，Host 端無法重新再輸入。

註 1：ECG 訊號輸入的過程中，假若要暫停輸入，請自行將 busy 訊號設為 high 即可。

註 2：每輸入 120 筆 ECG 訊號，會有一個 ECG Beat。

### 2.3.2 EDE 電路的運算方法

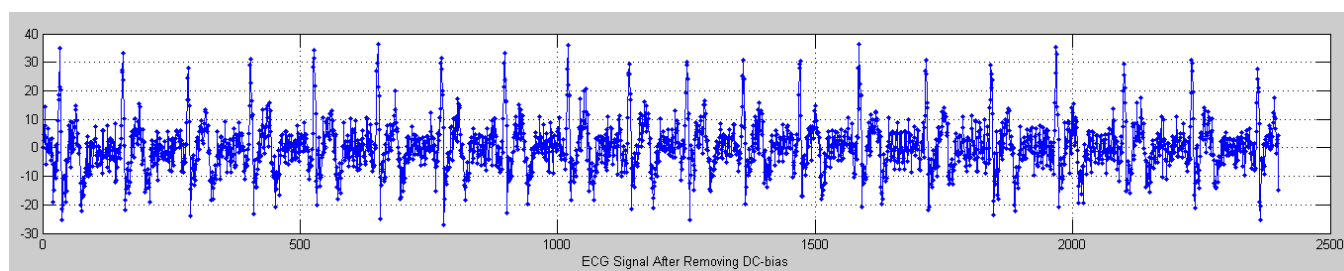
EDE 電路運算可細分成四個步驟，如下四小節說明。

#### 2.3.2.1 步驟 1 – 16 taps Moving Average

式(1)為 16 taps Moving Average 的計算方法，式中的  $x(n)$  為原始 ECG 訊號第  $n$  筆的值， $MV(n)$  為 Moving Average 第  $n$  筆的值，由於本題 ECG 訊號長度固定為 2400 筆，因此  $n$  的範圍為 0 ~ 2399。式(1)計算過程中，**超過邊界的值則以  $x(0)$  的值代替**。例如： $MV(0) = (x(0) + x(-1) + \dots + x(-15)) / 16 = 16 x(0) / 16 = x(0)$ ， $MV(1) = (x(1) + x(0) + x(-1) + \dots + x(-15)) / 16 = (x(1) + 15 x(0)) / 16$ ，...，依此類推。

$$MV(n) = [x(n) + x(n-1) + \dots + x(n-15)] / 16 \quad (1)$$

註：運算過程中的**小數位數需以最大精確度作計算**，以避免偵測出的座標點與標準解答不同。



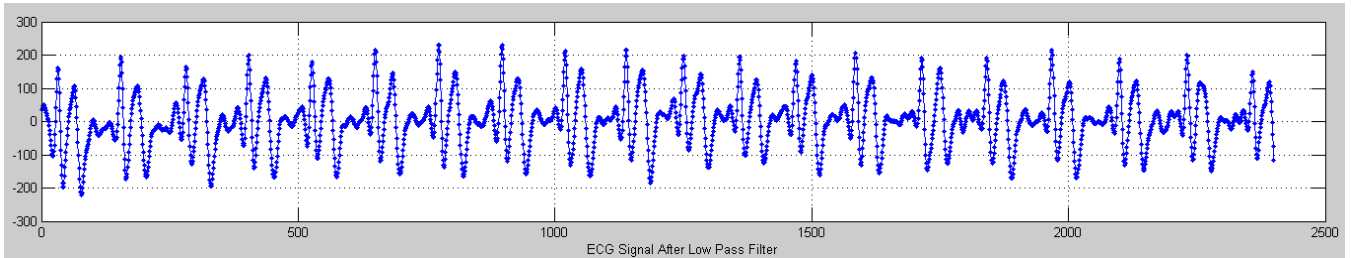
圖五、完成 Remove DC-Bias 運算後的 ECG 訊號之範例

### 2.3.2.2 步驟 2 – Remove DC-Bias

式(2)為 Remove DC-Bias 的計算方法，式中的  $x(n)$  為原始 ECG 訊號第  $n$  筆的值， $MV(n)$  為 Moving Average 第  $n$  筆的值， $Del\_DC(n)$  為作完 Remove DC-Bias 計算後第  $n$  筆的值，當 2400 筆訊號計算完畢後，其波形如圖五所示，很明顯地從  $Del\_DC(n)$  訊號中已能清楚地看出，每 120 筆  $Del\_DC(n)$  訊號中會有一個 ECG Beat，因此從圖五可看出有 20 個 ECG Beats。

$$Del\_DC(n) = x(n) - MV(n) \quad (2)$$

註：運算過程中若有小數位數需以最大精確度作計算，以避免偵測出的座標點與標準解答不同。



圖六、完成 15 taps Windowing Filter 運算後的 ECG 訊號之範例

### 2.3.2.3 步驟 3 – 15 taps Windowing Filter

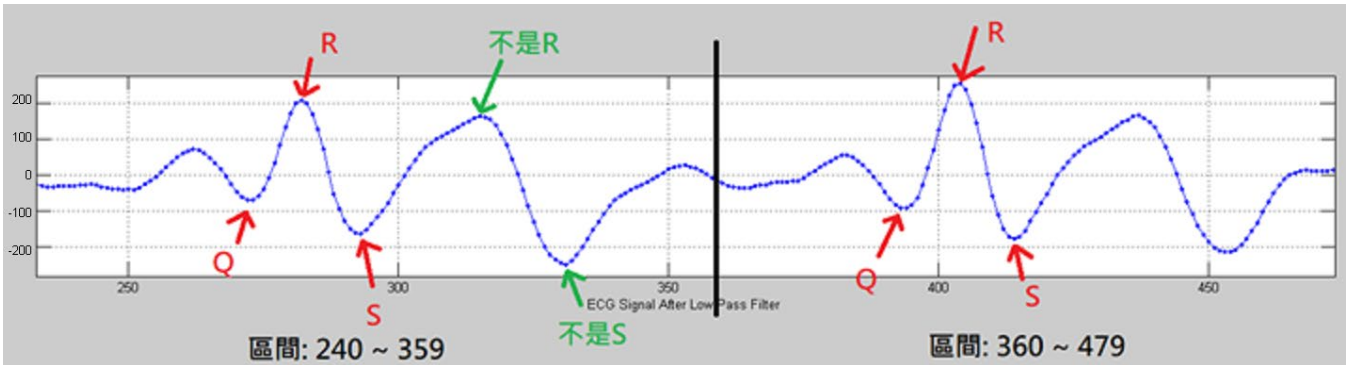
圖五的每個 ECG Beat 其實仍看似模糊，主要是因為受到高頻雜訊干擾所導致，因此要作此步驟三之運算即可過濾掉高頻雜訊，還原回清晰分明的 ECG 訊號。式(3)為 15 taps Windows Filter 的計算方法，式中的  $WF(n)$  為作完 15 taps Windowing Filter 計算後第  $n$  筆的值， $Del\_DC(n)$  為作完 Remove DC-Bias 計算後第  $n$  筆的值， $C$  為 Windowing Filter 係數如式(4)， $C$  的係數從 0 開始起算，亦即  $C(0)=1$ ， $C(1)=2$ ，...， $C(13)=2$ ， $C(14)=1$ 。式(3)計算過程中，超過左邊界的  $Del\_DC$  值則以  $Del\_DC(0)$  代替，超過右邊界的  $Del\_DC$  值則以  $Del\_DC(2399)$  代替，例如： $WF(0) = (Del\_DC(-7)*1 + Del\_DC(-6)*2 + \dots + Del\_DC(0)*8 + Del\_DC(1)*7 + \dots + Del\_DC(7)*1) / 64 = (Del\_DC(0)*1 + Del\_DC(0)*2 + \dots + Del\_DC(0)*8 + Del\_DC(1)*7 + \dots + Del\_DC(7)*1) / 64$ 。再例如，最後一筆  $WF(2399) = (Del\_DC(2392)*1 + Del\_DC(2393)*2 + \dots + Del\_DC(2399)*8 + Del\_DC(2400)*7 + \dots + Del\_DC(2406)*1) / 64 = (Del\_DC(2392)*1 + Del\_DC(2393)*2 + \dots + Del\_DC(2399)*8 + Del\_DC(2399)*7 + \dots + Del\_DC(2399)*1) / 64$ 。再例如， $n$  為 0 ~ 119 期間是第 0 個 ECG Beat 的範圍， $n$  為 120 ~ 239 期間是第 1 個 ECG Beat 的範圍，但是當  $WF(119) = (Del\_DC(112)*1 + Del\_DC(113)*2 + \dots + Del\_DC(119)*8 + Del\_DC(120)*7 + \dots + Del\_DC(126)*1) / 64$ ，是的，此時會用到  $Del\_DC(120) \sim Del\_DC(126)$  這區間的值，請注意！經過式(3)的運算後，最後高頻雜訊去除後，便可得到很清晰地 ECG Beat 訊號，如圖六所示。

$$WF(n) = \sum_{k=-7}^7 (Del\_DC(n+k) * C(k+7)) / 64 \quad (3)$$

其中，

$$C[0:14] = [1 \ 2 \ 3 \ 4 \ 5 \ 6 \ 7 \ 8 \ 7 \ 6 \ 5 \ 4 \ 3 \ 2 \ 1] \quad (4)$$

註：運算過程中若有小數位數需以最大精確度作計算，以避免偵測出的座標點與標準解答不同。

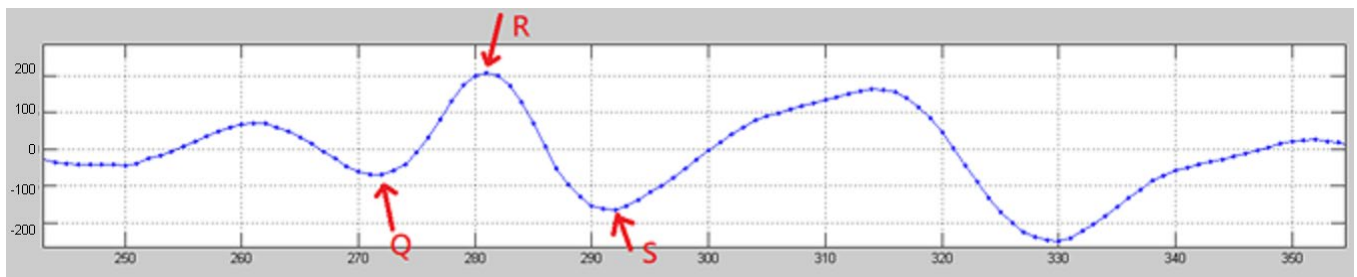


圖七、偵測每個 ECG Beat 的 Q、R、S 點之範例

#### 2.3.2.4 步驟 4 – Q、R、S Points of ECG Detection

將圖六的  $n=240 \sim 479$  這範圍作局部放大，放大後畫面如圖七所示。圖七之範例，共有兩個區間，分別  $n=240 \sim 359$ 、 $n=360 \sim 479$  兩區間，在每一區間中皆可找到一個 ECG Beat，因此參賽者可在此 120 筆 ECG 訊號從中找到 Global Max，即為 R 點所在處，再從 R 點座標往前找，找到 Local Min 值即為 Q 點所在處，反之，從 R 點座標往後找，找到 Local Min 所在處即為 S 點所在處，所以像圖七綠色字體，這 120 點區間中的 Global Min 點並不是 S 點所在處。同理，其餘區間的 ECG Beat 的 Q、R、S 點偵測，也依此 Rule 作搜尋。

註：假若搜尋到的點，其  $WF(n)$  的值，完全相同時，則以距離 R 點最近的作輸出，例如假設  $WF(292) = -166$ 、 $WF(293) = -166$ ，而 R 點假設是 281，R 點距離  $n=292$  較近，因此 S 點的座標為 292，而非 293，請注意！



圖八、EDE 電路輸出之範例

### 2.3.3 EDE 電路的輸出

在此以圖七  $n = 240 \sim 359$  這區間為範例，將此區間放大後如圖八所示，從此區間不難發現，當  $WF(n)$  的  $n = 281$  時，可以找到該 ECG Beat 的 Global Max 值，此乃 R 點所在處，再從 R 點往前找 Local Min 值，當  $WF(n)$  的  $n = 272$  時可找到 Local Min 值，此乃 Q 點所在處，再從 R 點往後找 Local Min 值，當  $WF(n)$  的  $n = 292$  時可找到 Local Min 值，此乃 S 點所在處，當此範例的 Q、R、S 三點皆搜尋完成時，將 valid 訊號拉為 high，**同時**將 EDE 電路的 Q 腳位輸出 272、R 腳位輸出 281、S 腳位輸出 292，即完成一個 ECG Beat 的輸出。接著，參賽者再繼續搜尋下一區間  $n = 360 \sim 479$  的 Q、R、S 點並作輸出，直到最後  $n = 2280 \sim 2399$  這區間，搜尋到 Q、R、S 點並作輸出，即為所求。

註 1: 本題  $n$  的範圍為  $0 \sim 2399$ ，因此共計有 20 組 ECG Beat 的輸出。

註 2: 參賽者**千萬不要**直接以圖五的  $Del\_DC(n)$  的值直接判斷 Q、R、S 點，**必須完成本題所有程序的計算，最後以  $WF(n)$  的值判斷 Q、R、S 點，否則輸出的值保證與標準答案不同**。

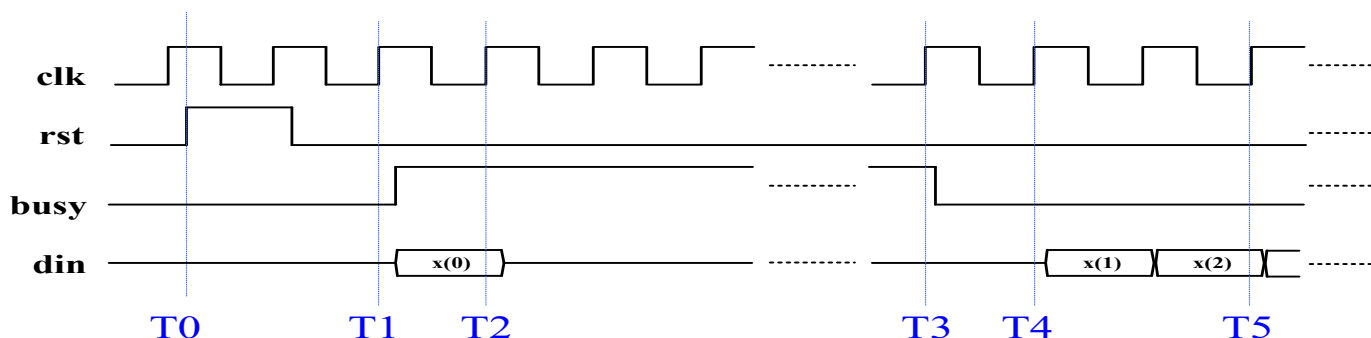
註 3: 本題的  $WF(n)$  的值會有很多點非常相近，因此運算過程中，**小數位數的 bits 一定要足夠**，否則輸出會出錯。

註 4: 假若搜尋到的點，其  $WF(n)$  的值，完全相同時，則以距離 R 點最近的點作輸出。

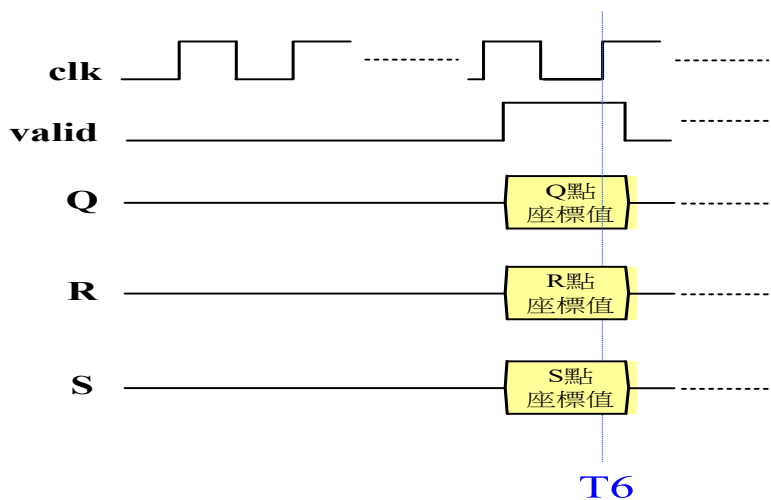


## 2.4 時序規格

### 2.4.1 EDE 電路輸入與輸出之時序圖



(a)



(b)

圖九、(a) EDE 電路輸入之時序圖、(b) EDE 電路輸出之時序圖

1. T0 ~ T1 時間點，EDE 電路初始化，T0 時間點以前不作 busy 判讀。
2. T1 時間點，假設此時 busy 為 low，因此 din 輸入第 0 筆 ECG 訊號值。
3. T2 ~ T3 時間點，假設此時 busy 皆為 high，因此此段時間的 din 皆為 Hi-Z。
4. T4 ~ T5 時間點，假設此段時間 busy 皆為 low，因此 din 連續輸入多筆 ECG 訊號值。
5. 參賽者後續再自行使用 busy 訊號，控制 din 的輸入，直到所有 ECG 訊號 x(0) ~ x(2399) 皆輸入完為止。
6. T6 時間點，假設 EDE 電路已搜尋出一組 ECG 的 Q、R、S 三點座標值，將 valid 拉為 high，分別透過 Q、R、S 匯流排把 Q、R、S 三點座標值同時作輸出即可，待 20 個 ECB Beat 的 Q、R、S 值皆輸出後，模擬隨即終止。



### 3. 評分標準

評分方式會依設計完成程度，分成 A、B、C、D 四種等級，排名順序為 A>B>C>D，評分項目有兩個，分別為**模擬時間**、**面積**，主辦單位會依此兩項目做為同等級之評分。另外，**請參賽者提供一組正確的週期時間(CYCLE TIME)**給評分人員驗證本電路正確性之用。

#### ✧ 評分項目一：依”模擬時間”(Time)長短評分

各參賽隊伍將合成或 APR 完成後，執行 Gate-level Simulation 後，會出現模擬時間，評分人員會以此模擬時間如下面範例，紀錄成 **Time = 9124NS** 做評分。

```
ECG beat 18 - Q: 8ad (2221) -- PASS!
ECG beat 18 - R: 8b6 (2230) -- PASS!
ECG beat 18 - S: 8c1 (2241) -- PASS!
-----
ECG beat 19 - Q: 92c (2348) -- PASS!
ECG beat 19 - R: 935 (2357) -- PASS!
ECG beat 19 - S: 93f (2367) -- PASS!
-----
-----
Congratulations! All data have been generated successfully!
-----PASS-----
Simulation complete via $finish(1) at time 9124 NS + 0
./testfixture.v:165      #(`CYCLE/2); $finish;
```

註: ()內的值為十進制數值，()外的值以十六進制表示，以方便參賽者 Debug 用。

#### ✧ 評分項目二：依”面積”(Area)大小評分

各參賽隊伍將 APR 完成後，面積分析方法如下範例，請任選其一 APR 軟體做分析。

1. ICC、ICC2 Report Area 範例:

```
icc_shell> get_attribute [get_die_area] bbox
{0.000 0.000} {375.920 375.140}
=> Area =375.920 x 375.140 = 141,022.6288 um2
```

```
icc2_shell> get_attribute -name boundary -objects EDE
{0.0000 0.0000} {0.0000 375.9200} {375.1400 375.9200} {375.1400 0.0000}
=> Area =375.920 x 375.140 = 141,022.6288 um2
```

## 2. Innovus Report Area 範例:

innovus > analyzeFloorplan

```
***** Analyze Floorplan *****
Die Area(um^2)           : 141886.04
Core Area(um^2)          : 129742.47
Chip Density (Counting Std Cells and MACROs and IOs): 91.441%
Core Density (Counting Std Cells and MACROs): 100.000%
Average utilization      : 100.000%
Number of instance(s)    : 6869
Number of Macro(s)       : 0
Number of IO Pin(s)      : 50
Number of Power Domain(s): 0
***** Estimation Results *****
*****
```

=> Area = 141886.04  $\mu\text{m}^2$

**註：指令 analyzeFloorplan 會破壞已完成 routing 的結果，執行該指令後絕對不可再存檔。**

設計完成程度四種等級，說明如下：

### ☆ 等級 A：達成”完成設計”之三項要求

- a、功能正確，RTL 模擬與標準答案比對完全正確。
- b、完成 Synthesis，且 Gate-Level Pre-layout Simulation 結果正確。
- c、完成 APR，並達成 APR 必要項目，Gate-Level Post-layout Simulation 結果正確。

註：完成 APR 必要項目

- i. 只需做 Marco layout (即不用包含 IO Pad、Bonding Pad)。
- ii. VDD 與 VSS Power Ring 寬度請各設定為 2um，只須做一組。
- iii. 不需加 Dummy Metal。
- iv. Power Stripe 務必至少加一組，其 VDD、VSS 寬度各設定為 2um。  
(Power Stripe 垂直方向至少一組，水平方向可不加)
- v. 務必要加 Power Rail (follow pin)。
- vi. Core Filler 務必要加。
- vii. APR 後之 GDSII 檔案務必產生。
- viii. 完成 APR，DRC/LVS 完全無誤(見附錄 C 說明)。

等級 A 評分方法：

$$\text{Score} = \text{Area} \times \text{Time}$$

註：Score 越小者，同級名次越好！

註：此 Area 為 APR 後之結果。

- ✧ 等級 B：已做到 APR，但等級 A 之”APR 必要項目”有部分不符合，DRC/LVS 錯誤總數量容許 **5 個(含)以下**

此等級之成績計算方式如下：

$$\text{Score} = \text{Area} \times \text{Time} \times (\text{DRC} + \text{LVS 的總錯誤量})$$

註：Score 越小者，同級名次越好！

註：此 Area 為 APR 後之結果。

- ✧ 等級 C：僅完成合成，或做到 APR 但 DRC/LVS 錯誤總數量**超過 5 個以上**

此等級之成績計算方式如下：

$$\text{Score} = \text{Area} \times \text{Time}$$

註：Score 越小者，同級名次越好！

註：等級 C，視 APR 為 Fail，因此**此 Area 為合成的 Cell Area**

- ✧ 等級 D：未達成前三等級者，成績計算方式為 RTL Simulation 時的 errors 總數量，errors 越少者分數越高。

$$\text{Score} = \text{Total errors of RTL Simulations}$$

註：等級 D，Score 評分方式為模擬的 error 總數作相加。

註：等級 D，視合成與 APR 皆為 Fail，Area、Time 將不予考慮。

註：等級 D，只以 RTL Simulation 正確率為主，Score 越小者(即 error 越少)，名次越好。

## 附錄 A 設計檔

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名 / 目錄	說明
EDE.v	本題之設計檔，請以此檔案作為 EDE 電路之設計。
testfixture.v	本題的 TestBench。
PAT1.dat PAT2.dat	PAT1.dat 為第一組測試樣本的 ECG 訊號值檔案， PAT2.dat 為第二組測試樣本的 ECG 訊號值檔案。 模擬時，請用 <b>+define+sim1</b> 、 <b>+define+sim2</b> 作切換。
GOLD1.dat GOLD2.dat	EDE 電路輸出 – ECG Beat Q、R、S 點的標準解答。  註：檔案已加入至 TestBench，無需額外設定。
EDE_DC.sdc	Design Compiler 作合成之 Constraint 檔案，請自行設定 <b>period</b> 的期望值，但環境相關參數請勿更改。
EDE_APR.sdc	Innovus、ICC、ICC2 作 APR 之 Constraint 檔案，請自行設定 <b>period</b> 的期望值，但環境相關參數請勿更改。
.synopsys_dc.setup	使用 Design Compiler 作合成或 ICC、ICC2 Layout 之初始化設定檔。參賽者請依 Library 實際擺放位置，自行修改 Search Path 的設定。 <b>註：無論合成或 APR，只需使用 slow library。</b>

2. 本題會有隱藏的測試樣本，參賽者仍可依本題波的特性作最佳化處理以達到最佳的面積、時間，因為隱藏版樣本特性為將現有的 ECG Beat 順序對調。若參賽者以 Golden Output 的方式製作本題，評分等級將被列為 Fail，請注意!

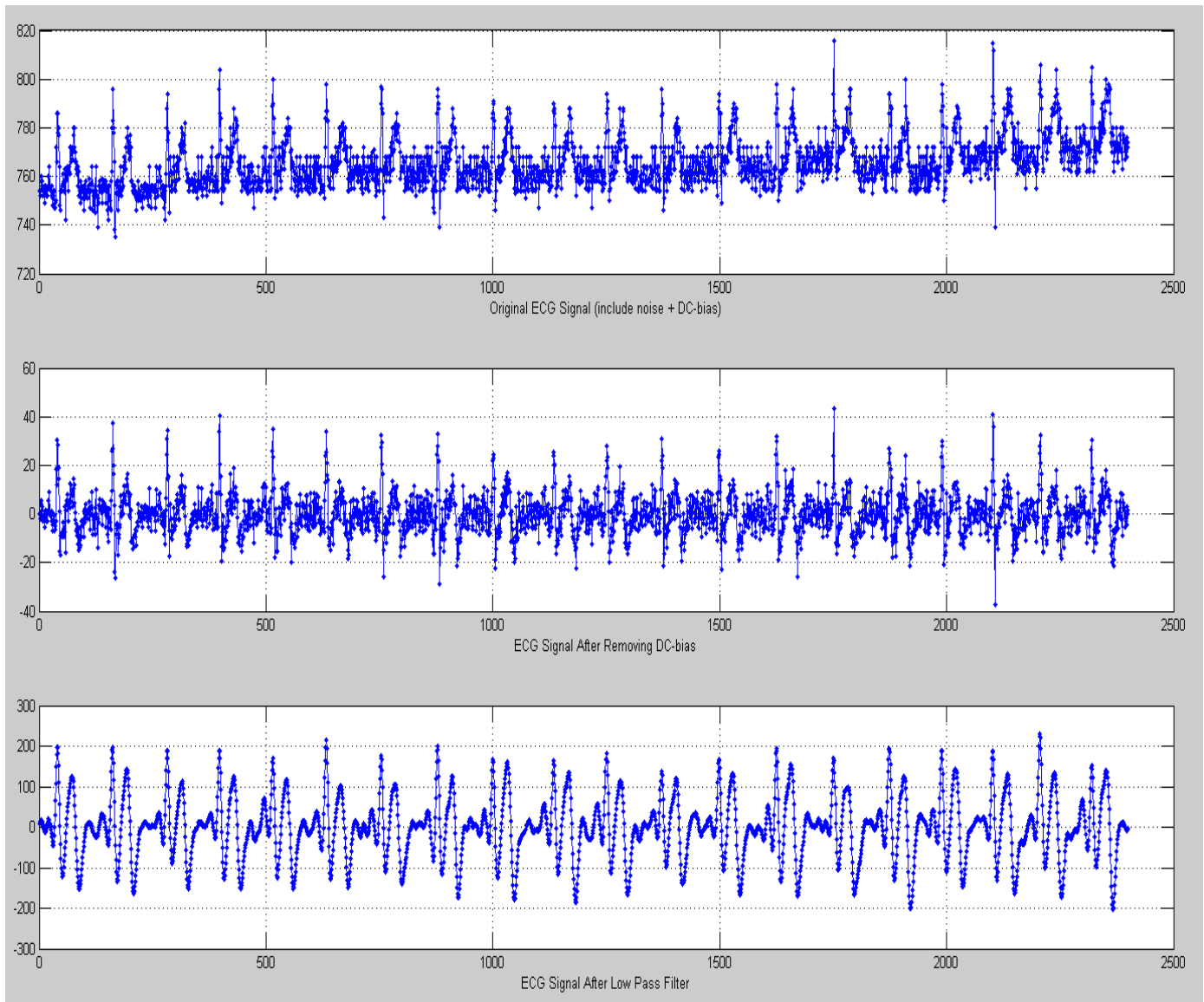
3. 使用 Innovus、ICC2 作 APR 請注意，模擬時請務必自行加上 **+ncmaxdelays** 參數。另外，兩種測試樣本的模擬切換請用 **+define+sim1**、**+define+sim2** 作切換。

例如：

```
> ncverilog +ncmaxdelays testfixture.v EDE_pr.v -v tsmc13_neg.v  
+define+SDF+sim1 +access+r  
> ncverilog +ncmaxdelays testfixture.v EDE_pr.v -v tsmc13_neg.v  
+define+SDF+sim2 +access+r
```

## 附錄 B 測試樣本

本題有 2 種測試樣本，在此提供第一種測試樣本其  $x(n)$ 、 $\text{Del\_DC}(n)$ 、 $\text{WF}(n)$  運算後的參考波形如圖四、五、六所示。第二種測試樣本其  $x(n)$ 、 $\text{Del\_DC}(n)$ 、 $\text{WF}(n)$  運算後的參考波形如圖十所示。



圖十、 測試樣本 2 之  $x(n)$ 、 $\text{Del\_DC}(n)$ 、 $\text{WF}(n)$  運算後的參考波形

圖十一 PAT1.dat 為測試樣本 1 的輸入訊號，左半邊以 16 進制表示 ECG 訊號  $-x(n)$ ，右半邊註解區則以十進制表示以方便參賽者 Debug 之用，圖十一 GOLD1.dat 為測試樣本 1 的輸出結果，左半邊以 16 進制表示 ECG Beat 的 Q、R、S 座標點，右半邊註解區則以十進制表示以方便參賽者 Debug 之用。測試樣本 2 與 1 的表示方式相同，在此不再贅述。

2B4	//Signal_0: 692	015	//ECG beat 0 - Q: 21
2B9	//Signal_1: 697	01F	//ECG beat 0 - R: 31
2B7	//Signal_2: 695	029	//ECG beat 0 - S: 41
2C4	//Signal_3: 708	08E	//ECG beat 1 - Q: 142
2BE	//Signal_4: 702	09A	//ECG beat 1 - R: 154
2B0	//Signal_5: 688	0A4	//ECG beat 1 - S: 164
2BA	//Signal_6: 698	110	//ECG beat 2 - Q: 272
2B6	//Signal_7: 694	119	//ECG beat 2 - R: 281
2B6	//Signal_8: 694	124	//ECG beat 2 - S: 292
2B8	//Signal_9: 696	189	//ECG beat 3 - Q: 393
2BE	//Signal_10: 702	193	//ECG beat 3 - R: 403
2B6	//Signal_11: 694	19D	//ECG beat 3 - S: 413
2B6	//Signal_12: 694	205	//ECG beat 4 - Q: 517
2BB	//Signal_13: 699	20E	//ECG beat 4 - R: 526
2BA	//Signal_14: 698	218	//ECG beat 4 - S: 536
2B4	//Signal_15: 692	280	//ECG beat 5 - Q: 640
2B9	//Signal_16: 697	289	//ECG beat 5 - R: 649
2B6	//Signal_17: 694	293	//ECG beat 5 - S: 659
2BC	//Signal_18: 700	2FA	//ECG beat 6 - Q: 762
	⋮		⋮

PAT1.dat

GOLD1.dat

圖十一、 測試樣本 1 之 ECG 訊號及其 ECG Beat Q、R、S 的輸出結果

## 附錄 C 設計驗證說明

參賽者繳交資料前應完成 RTL，Gate-Level 與 Physical 三種階段驗證，以確保設計正確性。RTL 與 Gate-Level 階段：進行 RTL simulation、Gate-Level simulation，功能要完全正確。

➤ Physical 階段，包含三項驗證重點：

1. 依本題各項要求，實現完整且正確的 layout (詳細之各項要求，請見評分標準)。
2. 完成 post-layout simulation：參賽者必須使用 P&R 軟體寫出之 Netlist 檔、SDF 檔完成 post-layout gate-level simulation，以下分為 ICC、ICC2、Innovus 三種軟體說明 Netlist、SDF 寫出方式。

i. 使用 Synopsys ICC 者，執行步驟如下：

在 ICC 主視窗底下點選

“File > Export > Write SDF...”

Specify Version	Version 2.1
Instance	空白即可
File name	EDE_pr.sdf
Significant digits	2

按 。

對應指令：**write\_sdf -version 2.1 EDE\_pr.sdf**

“File > Export > Write Verilog...”

先按

Output verilog file name	EDE_pr.v
Output physical only cells	disable
Wire declaration	enable
Backslash before Hierarchy Separator	Enable
All other options	Default value

按 。

ii. 使用 Synopsys ICC2 者，請打指令如下：

```
write_verilog -top_module_first -hierarchy all EDE_pr.v
              -exclude {filler_cells pg_netlist leaf_module_declarations}
write_sdf EDE_pr.sdf
```

註：“leaf\_module\_declarations”等參數務必要打，以免影響 Gate-level Simulation 正確結果。

iii. 使用 Cadence Innovus 者，執行步驟如下：

在 Innovus 視窗下點選：

“File → Save → Netlist...”

Netlist File	EDE_pr.v
All other options	Default value

按 。

“Timing → Write SDF...”

Ideal Clock	Disable
SDF Output File:	EDE_pr.sdf

按 。

3. 完成 DRC 與 LVS 驗證：(驗證方法與以往不同，請注意)

**A. DRC: 務必使用 Synopsys ICV 或 Mentor Calibre DRC 作驗證**

a. 準備 P&R 後的 GDSII 檔案，檔名請命名為 EDE\_pr.gds



b. 準備 DRC 驗證檔案

選擇一：Synopsys ICV DRC 驗證檔案，檔名為 **ICV13S\_8M.drc.rs**

選擇二：Mentor Calibre DRC 驗證檔案，檔名為 **Calibre-drc-cur**

c. DRC 驗證方法：

選擇一：使用 Synopsys ICV 作 DRC 驗證

**run\_icv\_drc**

註：此批次檔可從/usr/cad/icc2022/CBDK\_IC\_Contest\_v2.5/icv/drc 複製過來使用。

正確結果：開啟 EDE.LAYOUT\_ERRORS 檔案，看到 CLEAN 表示正確，如圖。

```
LAYOUT ERRORS RESULTS: CLEAN

#####
# # # # #
# # # # #
# # # # #
# # # # #
#####

=====

Library name:      ./EDE_pr.gds
Structure name:    EDE
Generated by:      IC Validator RHEL64 R-2020.09-SP3-3.6450417 2021/04/23
Runset name:       ICV13S_8M.drc.rs
User name:        andy
Time started:      2022/03/29 04:49:15PM
Time ended:        2022/03/29 04:49:32PM

Called as: icv -vue -i ./EDE_pr.gds -c EDE -host_init 4 -host_login ssh ICV13S_8M.drc.rs

ERROR SUMMARY
```

選擇二：使用 Mentor Calibre 作 DRC 驗證

**calibre -drc -hier Calibre-drc-cur**

正確結果：作到 TOTAL RESULT GENERATED = 0 表示正確，如圖。

```
--- CALIBRE::DRC-H EXECUTIVE MODULE COMPLETED. CPU TIME = 22 REAL TIME = 5
--- TOTAL RULECHECKS EXECUTED = 701
--- TOTAL RESULTS GENERATED = 0 (0)
--- DRC RESULTS DATABASE FILE = DRC_RES.db (ASCII)

--- CALIBRE::DRC-H COMPLETED - Tue Apr 12 11:33:59 2022
--- TOTAL CPU TIME = 23 REAL TIME = 7
--- PROCESSOR COUNT = 20
--- SUMMARY REPORT FILE = DRC.rep
```

**B. LVS: 務必使用 P&R 軟體內建之 LVS 作驗證**

以下分為 ICC、ICC2、Innovus 軟體執行步驟說明。

i. 使用 Synopsys ICC 者，驗證 LVS 步驟如下：

在 ICC Layout 視窗底下點選

“Verification > LVS ...”

Pins not connected to a wire segment(Floating port)	disable
All other options	Default value

按 。

將跳出 Error Browser 視窗，檢查看看是否有錯，若有請自行修正到 0 個 Violation 為止。

- ii. 使用 ICC2 者，驗證 LVS 指令如下：

**check\_lvs**

註：作 check\_lvs 之前，建議再作一次 connect\_pg\_net，以避免有假錯產生。

註：若 LVS 有發生錯誤，請選“View → Error Browser...”查明原因。

- iii. 使用 Cadence Innovus 者，驗證 LVS 步驟如下：

在 Innovus 視窗下點選

請選“Verify → Verify Connectivity...” Default 值，按 。

註：若 LVS 有發生錯誤，請選“Tools → Violation Browser...”查明原因。

### C. Macro Layout 的注意事項

- a. 使用 ICC2 作 Macro Layout 的 Pin 腳位擺放方法

**place\_pins -self**

即可！

- b. 使用 Innovus 作 Macro Layout 的 Pin 腳位擺放方法

請在 Innovus 視窗下點選“File → Save → I/O File...”

Save IO	sequence
To File	EDE.io
Generate template IO File	enable

按 。

請選“File → Load → I/O File...”

請點選 EDE.io，按 。

即可！

## 附錄 D 評分用檔案

評分所須檔案可以下幾個部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行模擬；(2)Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；(3)Physical design，使用 **Synopsys ICC、ICC2** 者，請分別將整個 **Milkyway、NDM Library** 等相關的 design database，壓縮成一個檔案。使用 **Cadence Innovus** 者，請將 Innovus 相關的 design database，壓縮成一個檔案。壓縮方式為

> **tar cvf apr.tar your\_apr\_database**

表 4

<b>RTL category</b>		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	N/A	Design Report Form
RTL Simulation	*.v or *.sv	Verilog 或 System Verilog 或 ...
<b>Gate-Level category</b>		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout Gate-level Simulation	EDE_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
	EDE_syn.sdf	Pre-layout gate-level sdf
<b>Physical category</b>		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
P&R	*.tar	<b>archive of the design database directory</b>
	*.gds	GDSII layout
Post-layout Gate-level Simulation	EDE_pr.v	Verilog gate-level netlist generated by Cadence Innovus or Synopsys ICC、ICC2
	EDE_pr.sdf	Post-layout gate-level sdf

## 附錄 E 檔案整理步驟

當所有的文件準備齊全如表 3 所列，請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下，步驟如下：

1. 在自己的 home directory 建立一個新目錄，名稱叫做“**result**” 例如：

> **mkdir ~/result**

2. 將附錄 D 要求的檔案複製到 result 這個目錄。例如：

> **cp EDE.v ~/result/**

> **cp EDE\_pr.v ~/result/**

.....

3. 在 Design Report Form 中，填入所需的相關資訊。

## 附錄 F 軟體環境

1. 使用者登入後自動會設定好以下軟體環境：

Vendor	Tool	Executable
Cadence	Virtuoso *1	icfb
	Composer	icfb
	NC-Verilog	ncverilog
	Innovus	innovus
Synopsys	Design Compiler	dv, dc_shell
	VCS-MX	vcs
	IC Compiler	icc_shell -gui
	IC Compiler 2	icc2_shell -gui
	Hspice	hspice
	Cosmos Scope *1	cscope
	Custom Compiler *1	custom_compiler
	Custom Explorer *1	wv
	Laker *1	laker
	Laker ADP*1	adp
	Verdi *1	verdi, nWave
	IC Validator *4	icv -vue
Mentor	Calibre *3	calibre
	QuestaSim	vsim
Utility	vi	vi, vim
	gedit	gedit
	nedit	nedit
	pdf reader	acroread
	calculate	gnome-calculator, bc -l
	gcc	gcc
	<b>Matlab</b>	<b>matlab</b>

EDA 軟體所須使用的 license 皆已設定完成，不須額外設定

\*1 該軟體限定使用 1 套 license

\*3 該軟體限定使用 3 套 license

## 附錄 G 設計資料庫

設計資料庫位置： /usr/cad/icc2022/CBDK\_IC\_Contest\_v2.5

### 目錄架構

#### ICC/

tsmc13gfsg_fram/	ICC core library
tsmc13_CIC.tf	ICC technology
macro.map	layer mapping file
tluplus/	
t013s8mg_fsg_typical.tluplus	t13 tluplus file
t013s8mg_fsg.map	t13 tluplus mapping file

#### ICC2/

tsmc13gfsg.ndm/	ICC2 core NDM
tsmc13gfsg_physical_only.ndm/	ICC2 core filler NDM

#### SOCE/

lef/	
tsmc13fsg_8lm_cic.lef	LEF for core cell
lib/	
slow.lib	worst case for core cell
streamOut.map	layout map for GDSII out

#### SynopsysDC/ db/

slow.db	synthesis model (slow)
---------	------------------------

#### Verilog/

tsmc13_neg.v	verilog simulation model
--------------	--------------------------

#### Phantom/

tsmc13gfsg_fram.gds	standard Cell GDSII file
---------------------	--------------------------

#### Calibre/

drc/	
Calibre-drc-cur	verify DRC for Calibre

#### icv/

drc/	
ICV13S_8M.drc.rs	verify DRC for ICV
run_icv_drc	run ICV batch file

## Design Report Form

登入帳號(login-id)	(例如: B066)	
<b>RTL category</b>		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
RTL Simulation	使用之 HDL 名稱 (例如: Verilog、System Verilog)	
RTL Simulation	RTL 檔案名稱 (RTL file name)	
<b>Gate-Level category</b>		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
Pre-layout Gate-level Simulation	Gate-Level 檔案名稱 (Gate-Level Netlist file name)	
	Pre-layout sdf 檔案名稱	
	Gate-Level simulation, 所使用的 CYCLE Time (例如: 10ns)	(                      ) ns
<b>Physical category</b>		
<i>Design Stage</i>	<i>Description</i>	<i>File Name or Value</i>
P&R	使用之 P&R Tool (請填入 ICC 或 ICC2 或 Innovus)	
	設計資料庫檔案名稱 (Library name) (ICC: Milkyway, ICC2: NDM Innovus: xxx.enc.dat )	
	<b>Synopsys ICV / Mentor Calibre</b> DRC 錯誤總數量 (ex: 0 個)	
	<b>APR Tool LVS</b> 錯誤總數量 (ex: 0 個)	
Score (Pre-layout or Post-layout Result) Over All	Gate-level Simulation Total Simulation <b>Time = ?</b> (ex: Time = 9124 ns)	
	Area (ex: Area = 141,022 $\mu\text{m}^2$ ) <b>Area = ?</b>	
	填寫之面積為哪一階段的結果? (請填 合成後 or APR 後)	
	最後完成之等級?(ex: 等級 A)	
其他說明事項(Any other information you want to specify:(如設計特點 ...)如寫不下 可寫於背面		