

2021 IC Design Contest

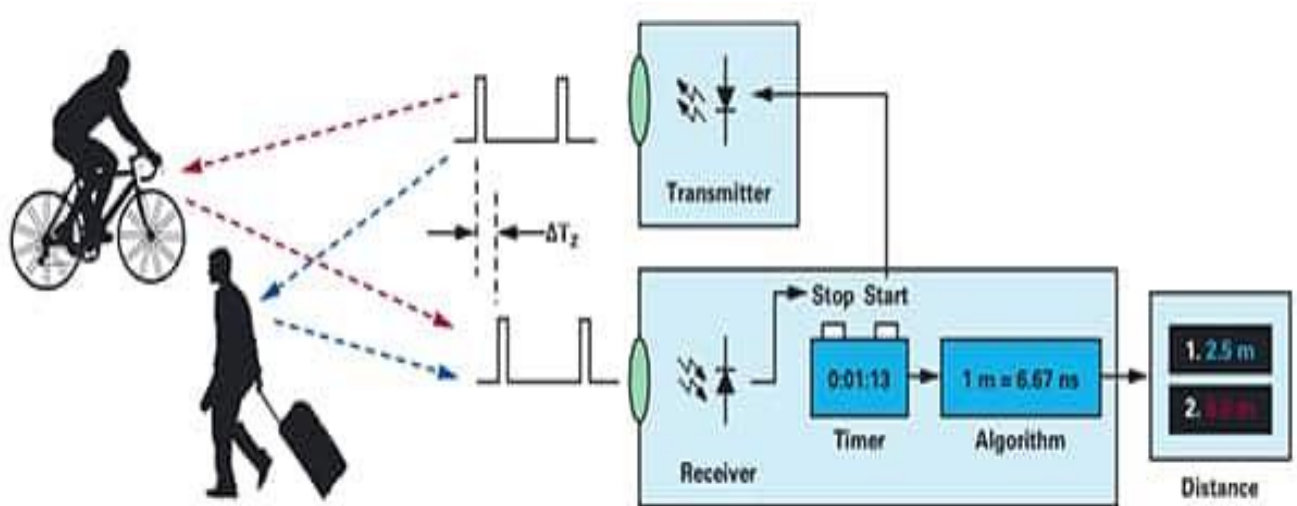
Cell-Based IC Design Category for Graduate Level

Time Delay Estimation

1.問題描述

請完成 Time Delay Estimation (後文以 **TDE** 表示)的電路設計。TDE 電路是一個可應用於自動汽車駕駛的系統，如圖一，當發射源(Transmitter)利用發光二極體或雷射二極體傳出一個波出去撞到人或物體表面反射回來至接收端(Receiver)將此接收波收集起來，透過 TDE 電路計算傳出波、接收波之時間差，計算出距離，例如當偵測到距離過近時，自駕車系統便要趕緊作煞車處理。由於時間的關係，本題只需將距離(**d**)計算出即可。

有關 TDE 電路詳細運算方法將描述於 2.3 節。



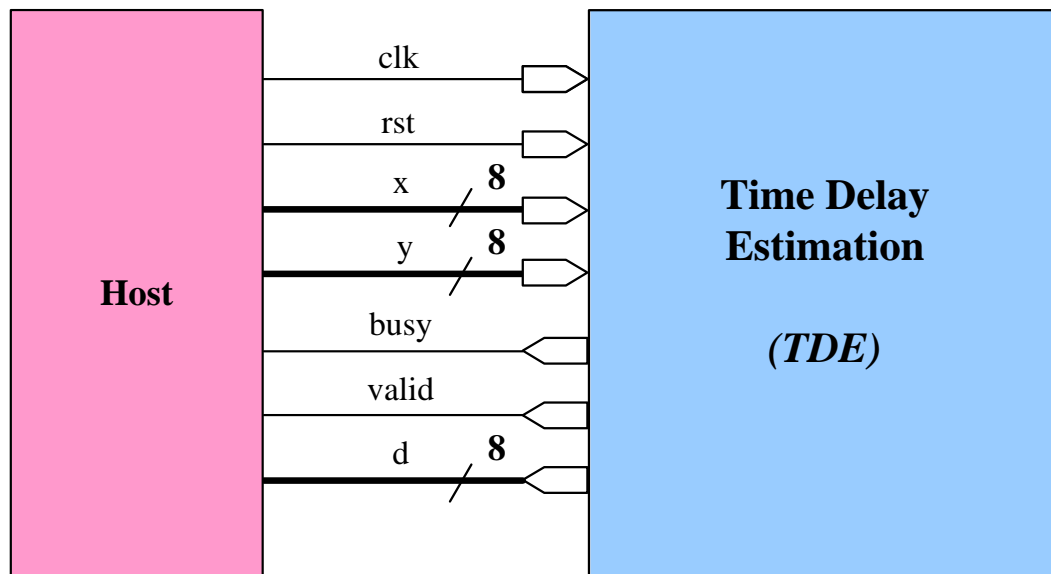
圖一、 TDE 電路功能範例

本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 E 中所列的要求，附上評分所需要的檔案。本題 icc2021cb.tar 之解壓縮方式如下：

tar xvf /usr/cad/icc2021/bgc/icc2021cb.tar

2.設計規格

2.1 系統方塊圖



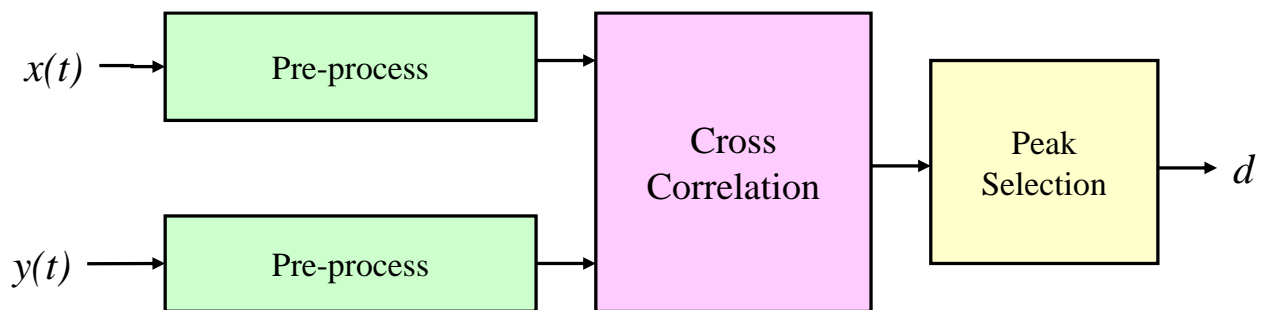
圖二、系統方塊圖

2.2 輸入/輸出介面

表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	Clock Signal (positive edge trigger)
rst	I	1	Reset Signal (active high)。
x	I	8	<p>傳出波訊號值的輸入匯流排。發射源打一個波出去至物體，該波即為傳出波 $x(t)$，其訊號值固定為 8bits 正整數。</p> <p>註：傳出波 $x(t)$，其一個波的訊號長度為 150 個數值，t 為 0 ~ 149，因此一個完整的傳出波輸入至 TDE 電路，需要花 150 個週期。</p> <p>註：已輸入的 $x(t)$ 訊號值，Host 端無法重新再輸入。</p>
y	I	8	<p>接收波訊號值的輸入匯流排。從物體反射一個波至接收端，該波即為接收波 $y(t)$，其訊號值固定為 8bits 正整數。由於 TDE 電路會利用傳出波 $x(t)$、接收波 $y(t)$ 兩訊號之時間差，計算出距離，因此 Host 端會將 $x(t)$、$y(t)$ 訊號同時輸入至 TDE 電路。</p>

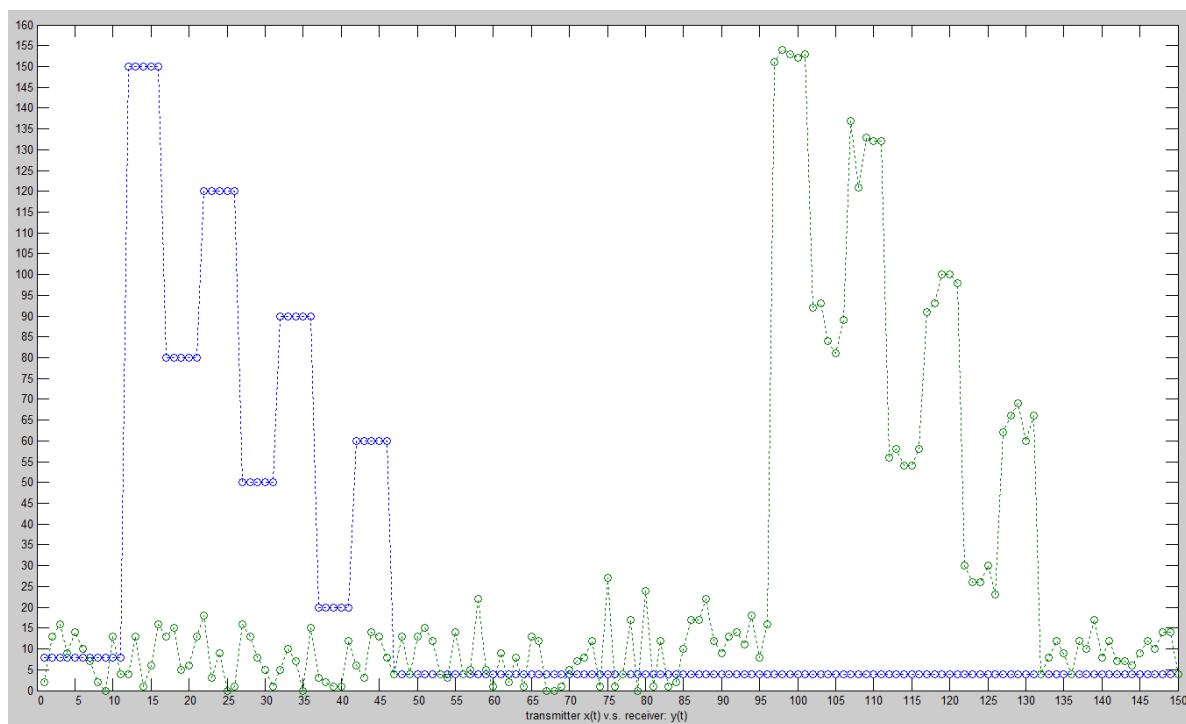
			<p>註: 接收波 $y(t)$，其一個波的訊號長度為 150 個數值，t 為 0 ~ 149，因此一個完整的接收波輸入至 TDE 電路，需要花 150 個週期。</p> <p>註: 已輸入的 $y(t)$ 訊號值，Host 端無法重新再輸入。</p>
busy	O	1	TDE 電路目前是否忙碌的指示訊號。當為 low 時，表示允許 Host 端可同時輸入傳出波 $x(t)$ 、接收波 $y(t)$ 的訊號值；反之，當為 high 時，表示 TDE 電路正處於忙碌階段，暫時停止輸入新的訊號值。
d	O	8	距離 d 的輸出匯流排。透過傳出波 $x(t)$ 、接收波 $y(t)$ 之時間差計算出距離後，參賽者可利用此匯流排將距離 d 值作輸出。
valid	O	1	輸出為有效的指示訊號。當為 high，表示目前輸出匯流排 d 的輸出為有效的，反之，輸出為 low。



圖二、 TDE 電路運作流程

2.3 系統描述

圖二為 TDE 電路運作流程圖，主要可細分成三個步驟，前置處理(Pre-process)、Cross Correlation、找出最大 Cross Correlation 數值來推算出距離 d ，即為所求。詳細的運作方式說明如下。



圖三、傳出波 $x(t)$ 、接收波 $y(t)$ 的範例

2.3.1 TDE 電路的輸入

本題一個波固定為 150 個離散訊號，每個訊號值為 8bits，因此其值會介於 0 ~ 255 之間，如圖三，藍色訊號為傳出波 $x(t)$ ，綠色訊號為接收波 $y(t)$ ，對於存在雜訊的真實世界中， $x(t)$ 、 $y(t)$ 的關係如式(1)，

$$y(t) = Ax(t - d) + n(t) \quad (1)$$

其中

A: 衰減率(一般是傳出波的數值乘以一個衰減值，例如: 0.9)

$n(t)$: 環境雜訊(random noise)

d: delay (兩個波之間相差幾個單位時間)

理論上 $y(t)$ 的數值會比 $x(t)$ 小，但受到 noise 影響， $y(t)$ 數值有可能會更大，但**不會超過 255**，因此接收波會有如圖三綠色的 $y(t)$ 訊號，其 150 個訊號值都有受到 random noise 的影響呈現上下震盪擺動。

Host 端輸入 $x(t)$ 、 $y(t)$ 訊號至 TDE 電路時，一個週期只能同時輸入一筆 $x(t)$ 、 $y(t)$ 訊號值，因此當一個完整的波輸入完畢時，總共需要花費 150 個週期時間。

註 1： $x(t)$ 、 $y(t)$ 輸入的過程中若要暫停輸入，請自行將 busy 訊號設為 high 即可。

註 2： 當 Host 端完整的一個波輸入完畢後，下個週期會繼續輸入下一個波的訊號值。

註 3： 本題 $x(t)$ 其較大訊號值最多 50 筆，剩餘的訊號其數值會較小，因此 $y(t)$ 接收到的較大訊號值也是 50 筆，而這 50 筆較大訊號值會在 150 個單位時間內出現，請看圖三範例即可觀察出此現象。

2.3.2 TDE 電路的運算方法

TDE 電路運算可細分成三個步驟，如下三小節說明。

2.3.2.1 步驟 1 – 針對 $x(t)$ 、 $y(t)$ 訊號作前置處理

請自行觀察 $x(t)$ 、 $y(t)$ 資料特性，然後作一些前置處理，例如作 Low Pass Filter 或其他處理方式，目的將 TDE 電路面積減少，在此沒有硬性規定要怎麼作。

本題面積規格有限制

$$\text{Area} < 38000\mu\text{m}^2$$

2.3.2.2 步驟 2– 作 Cross Correlation 計算

式(2)為 Cross Correlation 的計算方式，請將兩波相差從 0 個單位時間到 149 個單位時間(即 $k=0 \sim 149$)的 R 值分別算出。

$$R_{xy}(k) = \sum_{i=0}^{N-1} x(i)y(i+k) \quad (2)$$

其中

$i = 0 \sim N-1$ ，本題一個波為 150 個訊號值，因此式(2)的 $i = 0 \sim 149$

$k = 0 \sim 149$ ，其含義為兩波(傳出波、接收波)相差多少個單位時間，分別作乘加運算

2.3.2.3 步驟 3– Peak R Selection

式(3)為計算距離的數學式，其含義為在 R 函式中，會產生出最大輸出的那個參數 k ，該值即為本題要求的距離 d 值。

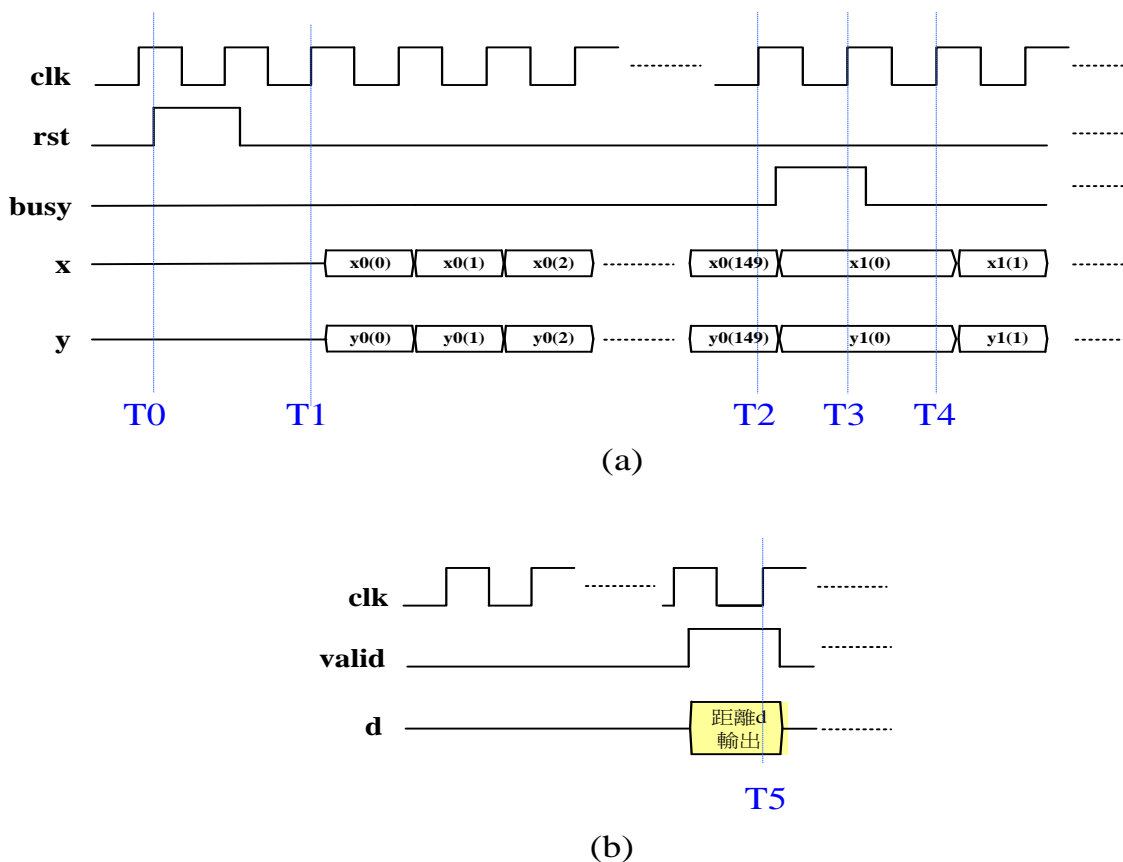
$$d = \arg(k) \max R \quad (3)$$

2.3.3 TDE 電路的輸出

當參賽者使用式(2)，分別將 $R(0)$ 、 $R(1)$ 、...、 $R(149)$ ，皆計算完畢後，接著執行式(3)，即從這 150 個 R 值中挑選一個最大的 R ，判斷是對應到哪一個 k ? 例如: $R(85)$ 是最大值，其 $k=85$ ，此 k 值即為本題所求的距離 d 值，請將 $d = 85$ 輸出，並將 valid 訊號拉為 high，即完成一個波的計算，本題測試樣本有 100 個波，請將 100 個波的距離 d 值分別輸出，即為所求。

2.4 時序規格

2.4.1 TDE 電路輸入與輸出之時序圖



圖四、(a) TDE 電路輸入之時序圖、(b) TDE 電路輸出之時序圖

1. **T0 ~ T1** 時間點，TDE 電路初始化。
2. **T1** 時間點，假設此時 **busy** 為 low，因此開始第 0 個波的第 0 筆訊號值。
3. **T1 ~ T2** 時間點，假設這段時間 **busy** 皆為 low，Host 端只需花 150 個週期時間，即可完成完整一個波的輸入。
4. **T2** 時間點，假設此時 **busy** 為 low，因此 Host 端會繼續輸入第 1 個波的第 0 筆訊號值。
5. **T3** 時間點，假設此時 **busy** 為 high，因此 Host 端會停止輸入新的訊號值，此時 **x**、**y** 匯流排會停留在第 1 個波第 0 筆的訊號值。
6. **T4** 時間點，假設此時 **busy** 為 low，因此 Host 端會繼續輸入第 1 個波的第 1 筆訊號值。
7. 後續的傳出波、接收波會如同前述 2 ~ 6 的模式繼續下去，直到第 99 個波的第 149 筆訊號值輸入為止。
8. **T5** 時間點，為某個波的距離計算完畢作輸出的範例，輸出時請將 **valid** 拉為 high，距離值使用 **d** 匯流排作輸出即可，待 100 個波的距離值都輸出後，模擬隨即終止。

2.4.2 SARM 記憶體規時序規格

製作 TDE 電路時，參賽者可能會用到記憶體當 Buffer，本題提供 sram_256x8、sram_512x8 兩種記憶體，請自行決定需使用那一種記憶體最適合自己的設計，目標作到最小面積之使用量。TDE 電路若有使用 SRAM，請記得將一顆或多顆 SRAM 記憶體帶入，以實現合成與 APR 等步驟。有關上述兩種記憶體細節規格與記憶體時序圖，詳如記憶體目錄的 PDF 檔中。

3. 評分標準

評分方式會依設計完成程度，分成 A、B、C、D 四種等級，排名順序為 A>B>C>D，評分項目有兩個，分別為**模擬時間**、**面積**，主辦單位會依此兩項目做為同等級之評分。另外，**請參賽者提供一組正確的週期時間(CYCLE TIME)**給評分人員驗證本電路正確性之用。

✧ 評分項目一：依”模擬時間”(Time)長短評分

各參賽隊伍將合成或 APR 完成後，執行 Gate-level Simulation 後，會出現模擬時間，評分人員會以此模擬時間如下面範例，紀錄成 **Time = 60808NS** 做評分。

```
signal_095 - d = 24 ** Correct!! **
signal_096 - d = 0c ** Correct!! **
signal_097 - d = 17 ** Correct!! **
signal_098 - d = 31 ** Correct!! **
signal_099 - d = 46 ** Correct!! **

-----
Congratulations! All data have been generated successfully!
-----PASS-----
Simulation complete via $finish(1) at time 60808 NS + 0
./testfixture.v:134      #(`CYCLE/2); $finish;
ncsim> exit
```

✧ 評分項目二：依”面積”(Area)大小評分，**面積務必小於 38000um²**

各參賽隊伍將 APR 完成後，面積分析方法如下範例，請任選其一 APR 軟體做分析。

1. ICC1、ICC2 Report Area 範例:

```
icc_shell> get_attribute [get_die_area] bbox
{0.000 0.000} {159.660 159.600}
=> Area = 159.66 x 159.60 = 25481 um2
```

```
icc2_shell> get_attribute -name boundary -objects TDE
{0.0000 0.0000} {0.0000 159.6000} {159.6600 159.6000} {159.6600 0.0000}
=> Area = 159.66 x 159.60 = 25481 um2
```

本範例的 Area = 25481 um² < 38000um² (有滿足題目要求之面積規格)

2. Innovus Report Area 範例:

innovus > analyzeFloorplan

```
***** Analyze Floorplan *****
Die Area(um^2)      : 27007.52
Core Area(um^2)     : 21862.51
Chip Density (Counting Std Cells and MACROs and IOs): 80.950%
Core Density (Counting Std Cells and MACROs): 100.000%
Average utilization  : 100.000%
Number of instance(s) : 1838
Number of Macro(s)    : 0
Number of IO Pin(s)   : 28
Number of Power Domain(s) : 0
***** Estimation Results *****
*****
```

=> Area = 27007.52 μm^2

註：指令 analyzeFloorplan 會破壞已完成 routing 的結果，執行該指令後絕對不可再存檔。

設計完成程度四種等級，說明如下：

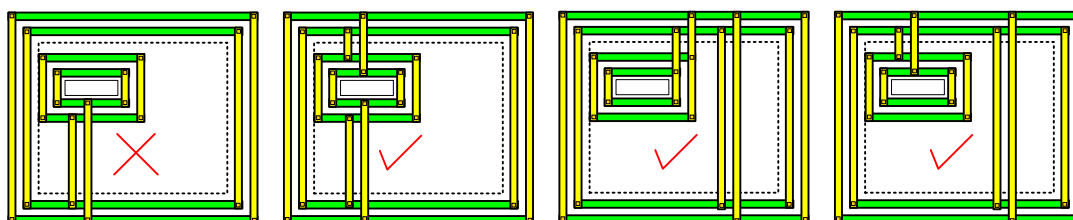
◇ **等級 A：** 達成”完成設計”之四項要求

- a、功能正確，RTL 模擬與標準答案比對完全正確。
- b、完成 Synthesis，且 Gate-Level Pre-layout Simulation 結果正確。
- c、完成 APR，並達成 APR 必要項目，Gate-Level Post-layout Simulation 結果正確。
- d、合成後或 APR 後，其面積有小於 $38000\mu\text{m}^2$ 。

註：完成 APR 必要項目

- i. 只需做 Marco layout (即不用包含 IO Pad、Bonding Pad)。
- ii. VDD 與 VSS Power Ring 寬度請各設定為 2um，只須做一組。
- iii. **不需加 Dummy Metal**。
- iv. 內建的所有記憶體 SRAM，其 VDD、VSS Pin 務必要連接至 Core Power Ring，寬度請各設定為 2um。
- v. Power Stripe 務必至少加一組，其 VDD、VSS 寬度各設定為 2um。
(Power Stripe 垂直方向至少一組，水平方向可不加)
- vi. 務必要加 Power Rail (follow pin)。
- vii. **Core Filler 務必要加**。
- viii. APR 後之 GDSII 檔案務必產生。
- ix. 完成 APR，DRC/LVS 完全無誤(見附錄 C 說明)。

註: Power Stripe 指的是直接穿過 core area 的 power line，見下圖



等級 A 評分方法：

$$\text{Score} = \text{Area} \times \text{Time}$$

註: Score 越小者, 同級名次越好!

註: 此 Area 為 APR 後之結果。

註: 面積若未小於 38000um², 將被列為等級 D。

- ◇ 等級 B: 已做到 APR, 但等級 A 之”APR 必要項目”有部分不符合, DRC/LVS 錯誤總數量容許 5 個(含)以下

此等級之成績計算方式如下:

$$\text{Score} = \text{Area} \times \text{Time} \times (\text{DRC} + \text{LVS 的總錯誤量})$$

註: Score 越小者, 同級名次越好!

註: 此 Area 為 APR 後之結果。

註: 面積若未小於 38000um², 將被列為等級 D。

- ◇ 等級 C: 僅完成合成, 或做到 APR 但 DRC/LVS 錯誤總數量超過 5 個以上

此等級之成績計算方式如下:

$$\text{Score} = \text{Area} \times \text{Time}$$

註: Score 越小者, 同級名次越好!

註: 等級 C, 視 APR 為 Fail, 因此此 Area 為合成的 Cell Area

註: 面積若未小於 38000um², 將被列為等級 D。

- ◇ 等級 D: 未達成前三等級者, 成績計算方式為 RTL Simulation 時的 errors 總數量, errors 越少者分數越高。

$$\text{Score} = \text{Total errors of RTL Simulations}$$

註: 等級 D, Score 評分方式為模擬的 error 總數作相加。

註: 等級 D, 視合成與 APR 皆為 Fail, Area、Time 將不予考慮。

註: 等級 D, 只以 RTL Simulation 正確率為主, Score 越小者(即 error 越少), 名次越好。

附錄 A 設計檔

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名 / 目錄	說明
TDE.v	本題之設計檔，請以此檔案作為 TDE 電路之設計。
testfixture.v	本題的 TestBench。
TX.dat RY.dat	TX.dat 為 100 個傳出波 x(t)的訊號值檔案，RY.dat 為 100 個接收波 y(t)的訊號值檔案。
GOLD.dat	TDE 電路輸出 - 距離 d 的標準解答。 註：檔案已加入至 TestBench，無需額外設定。
sram_256x8/ sram_512x8/	TDE 電路可能會使用的 SRAM，作為 Buffer 之用。內含 PDF 檔(SRAM R/W 時序圖)、Verilog 模擬檔、LIB、DB、LEF、GDSII、FRAM、NDM 等檔案。
TDE_DC.sdc	Design Compiler 作合成之 Constraint 檔案，請自行設定 period 的期望值，但環境相關參數請勿更改。
TDE_APR.sdc	Innovus、ICC1、ICC2 作 APR 之 Constraint 檔案，請自行設定 period 的期望值，但環境相關參數請勿更改。
.synopsys_dc.setup	使用 Design Compiler 作合成或 ICC1、ICC2 Layout 之初始化設定檔。參賽者請依 Library 實際擺放位置，自行修改 Search Path 的設定。 註：無論合成或 APR，只需使用 slow library。

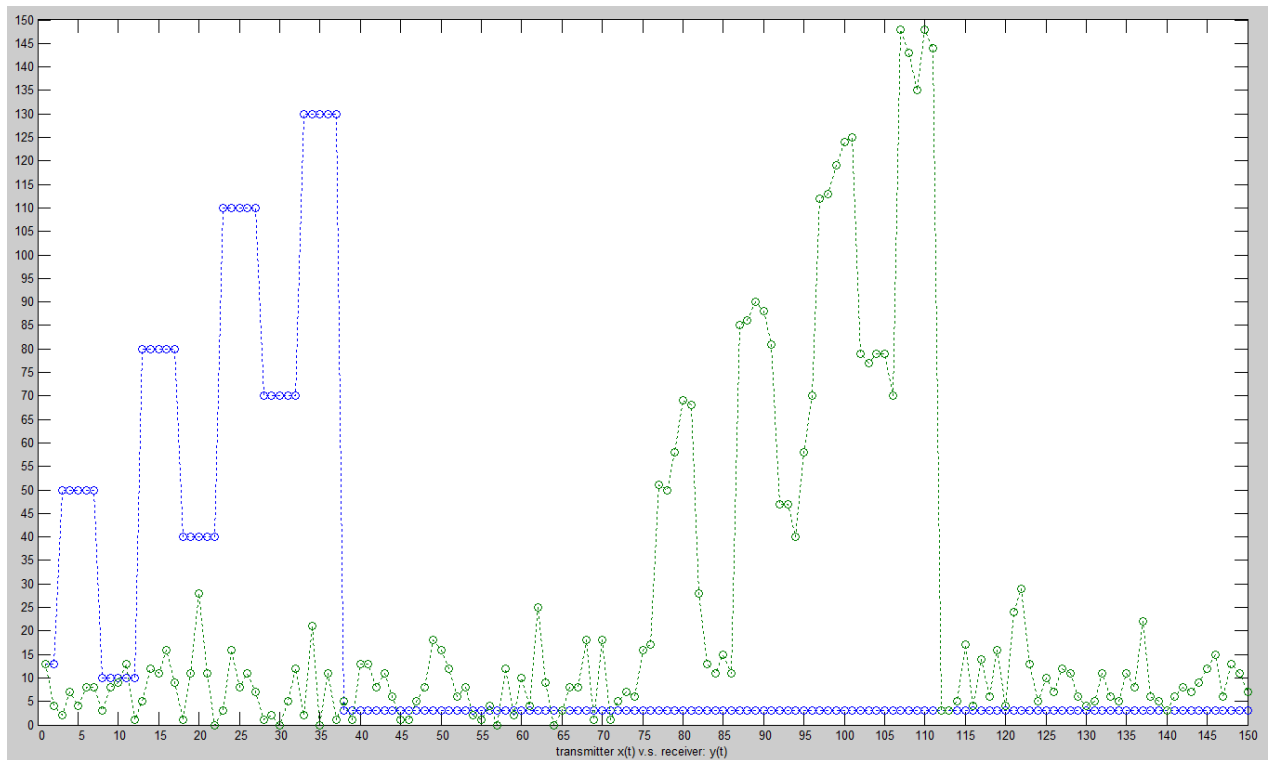
2. 本題不會有隱藏的測試樣本，請依據本題波的特性作最佳化處理以達到最佳的面積、時間。
若參賽者以 Golden Output 的方式製作本題，評分等級將被列為 Fail，請注意!

3. 使用 Innovus、ICC2 作 APR 請注意，模擬時請務必自行加上+ncmaxdelays 參數。
例如：

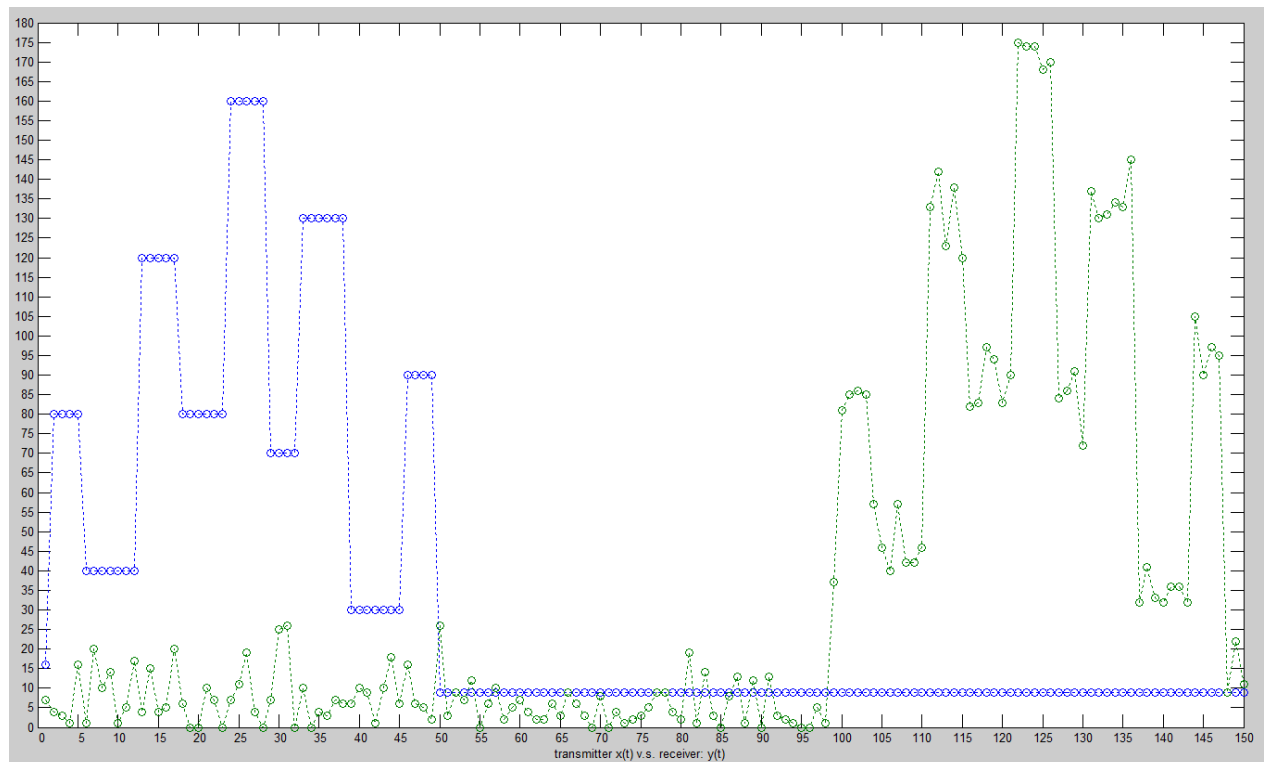
```
> ncverilog +ncmaxdelays testfixture.v TDE_pr.v -v tsmc13_neg.v
+define+SDF +access+r
```

附錄 B 測試樣本

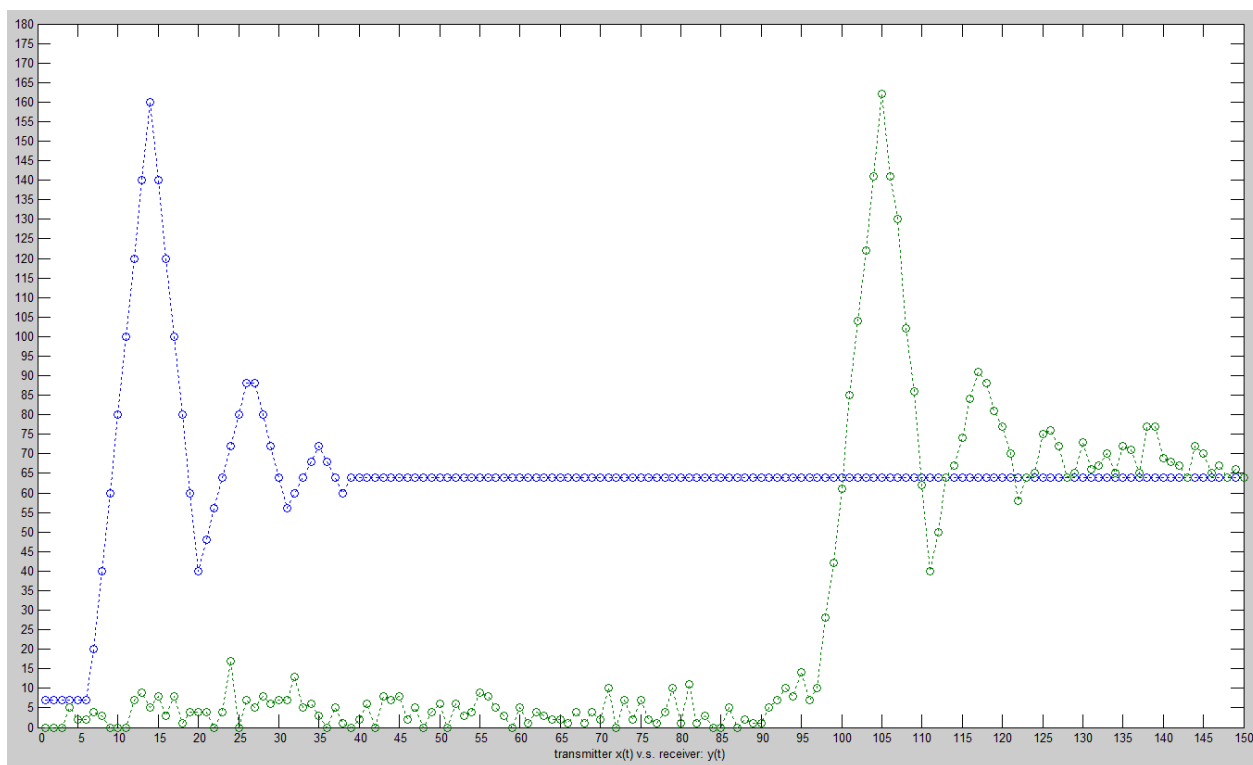
圖三的傳出波 $x(t)$ 、接收波 $y(t)$ 為本題第一種類型的波，另外還有四種不同類型的波，如圖五 ~ 圖八所示。



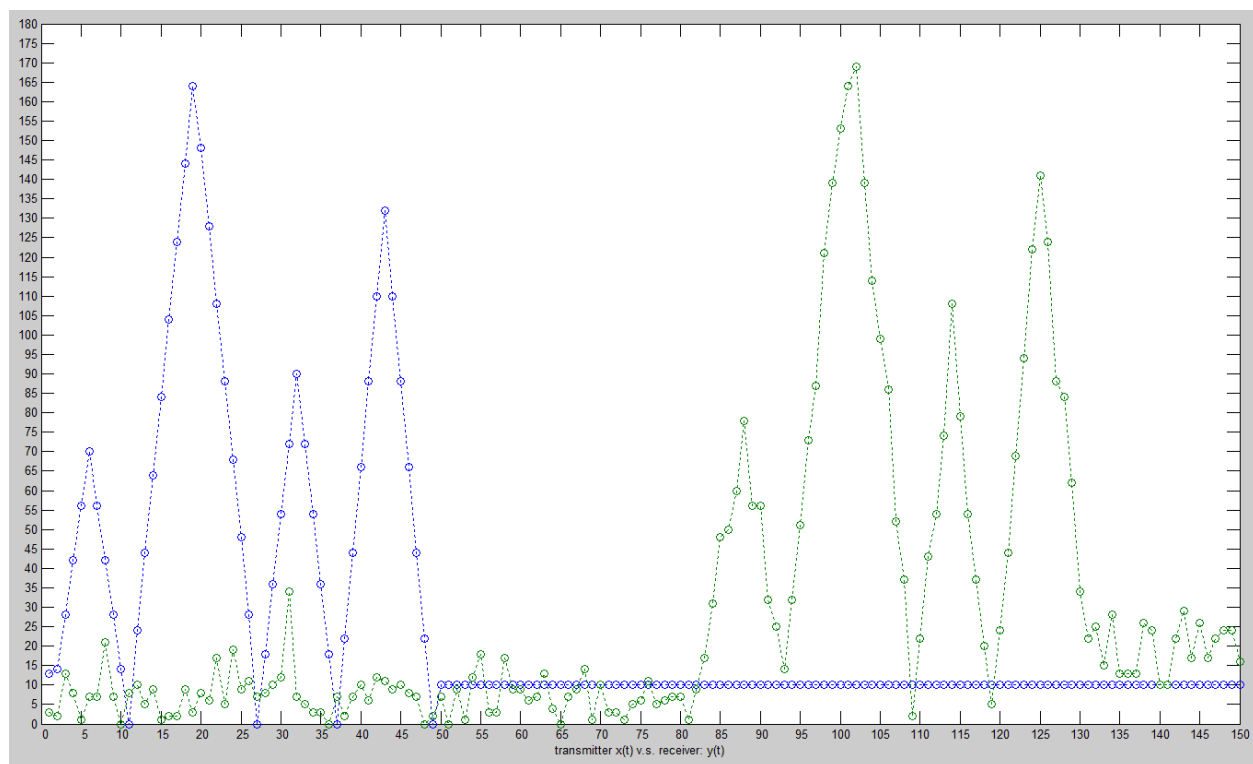
圖五、第二種類型的傳出波 $x(t)$ 、接收波 $y(t)$



圖六、第三種類型的傳出波 $x(t)$ 、接收波 $y(t)$



圖七、第四種類型的傳出波 $x(t)$ 、接收波 $y(t)$



圖八、第五種類型的傳出波 $x(t)$ 、接收波 $y(t)$

上述的五種類型的傳出波 $x(t)$ 已合併放置 TX.dat 檔案中，如圖九。

```
08      //Tx signal_0_0: 8
08      //Tx signal_0_1: 8
08      //Tx signal_0_2: 8
08      //Tx signal_0_3: 8
08      //Tx signal_0_4: 8
08      //Tx signal_0_5: 8
08      //Tx signal_0_6: 8
08      //Tx signal_0_7: 8
08      //Tx signal_0_8: 8
08      //Tx signal_0_9: 8
08      //Tx signal_0_10: 8
96      //Tx signal_0_11: 150
96      //Tx signal_0_12: 150
96      //Tx signal_0_13: 150
96      //Tx signal_0_14: 150
96      //Tx signal_0_15: 150
50      //Tx signal_0_16: 80
50      //Tx signal_0_17: 80
50      //Tx signal_0_18: 80
50      //Tx signal_0_19: 80
50      //Tx signal_0_20: 80
78      //Tx signal_0_21: 120
      ⋮
```

圖九、測試樣本 – 100 個傳出波 $x(t)$ 已合併放置於 TX.dat 檔案中

註：TX.dat 的左半邊為十六進制，右半邊註解區為十進制，以方便參賽者 Debug 使用。

註：圖中 signal_0_0，表示第 0 個傳出波的第 0 筆訊號值，因此波 0 的 150 個訊號值為 signal_0_0 ~ signal_0_149。

註：本題有五種不同類型的波，每一種類型有 20 個，因此本檔案合計有 100 個傳出波。

五種類型的接收波 $y(t)$ 已合併放置 RY.dat 檔案中，如圖十。

```
02      //Rx signal_0_0: 2
0D      //Rx signal_0_1: 13
10      //Rx signal_0_2: 16
09      //Rx signal_0_3: 9
0E      //Rx signal_0_4: 14
0A      //Rx signal_0_5: 10
07      //Rx signal_0_6: 7
02      //Rx signal_0_7: 2
00      //Rx signal_0_8: 0
0D      //Rx signal_0_9: 13
04      //Rx signal_0_10: 4
04      //Rx signal_0_11: 4
0D      //Rx signal_0_12: 13
01      //Rx signal_0_13: 1
06      //Rx signal_0_14: 6
10      //Rx signal_0_15: 16
0D      //Rx signal_0_16: 13
0F      //Rx signal_0_17: 15
05      //Rx signal_0_18: 5
06      //Rx signal_0_19: 6
0D      //Rx signal_0_20: 13
12      //Rx signal_0_21: 18
      ⋮
```

圖十、測試樣本 – 100 個接收波 $y(t)$ 已合併放置於 RY.dat 檔案中

註：RY.dat 的左半邊為十六進制，右半邊註解區為十進制，以方便參賽者 Debug 使用。

註：圖中 signal_0_0，表示第 0 個接收波的第 0 筆訊號值，因此波 0 的 150 個訊號值為 signal_0_0 ~ signal_0_149。

註：本題有五種不同類型的波，每一種類型有 20 個，因此本檔案合計有 100 個接收波。

範例：以本測試樣本的第 0 個波為例，假設 $x(t)$ 、 $y(t)$ 沒有作任何前置處理，直接帶入式(2)作計算，其 R 值結果如表 3 所示，由於 $R(85)=309602$ 為最大值，因此第 0 個波的距離 d 為 85。

表 3 測試樣本第 0 個波作 Cross-Correlation 計算後之結果

R(0)	37940	R(30)	37892	R(60)	76030	R(90)	204092	R(120)	21738
R(1)	38660	R(31)	37006	R(61)	89814	R(91)	208296	R(121)	21646
R(2)	38898	R(32)	38982	R(62)	104180	R(92)	211458	R(122)	21670
R(3)	38632	R(33)	37414	R(63)	118812	R(93)	217854	R(123)	21688
R(4)	38756	R(34)	36026	R(64)	131352	R(94)	223376	R(124)	20682
R(5)	38072	R(35)	36436	R(65)	145308	R(95)	228666	R(125)	20234
R(6)	37928	R(36)	37600	R(66)	143840	R(96)	209176	R(126)	18436
R(7)	35966	R(37)	35906	R(67)	140144	R(97)	190858	R(127)	16450
R(8)	36988	R(38)	35544	R(68)	138528	R(98)	170076	R(128)	13368
R(9)	37070	R(39)	36830	R(69)	133346	R(99)	150402	R(129)	12150
R(10)	35904	R(40)	36154	R(70)	133032	R(100)	130024	R(130)	10806
R(11)	34286	R(41)	35056	R(71)	151238	R(101)	131318	R(131)	9984
R(12)	36340	R(42)	37562	R(72)	170550	R(102)	133320	R(132)	9938
R(13)	35188	R(43)	38044	R(73)	190390	R(103)	136952	R(133)	10002
R(14)	35486	R(44)	36548	R(74)	209352	R(104)	138676	R(134)	8908
R(15)	36680	R(45)	36594	R(75)	226550	R(105)	140552	R(135)	7132
R(16)	35522	R(46)	37304	R(76)	221988	R(106)	126428	R(136)	5680
R(17)	33730	R(47)	34674	R(77)	216908	R(107)	111396	R(137)	3596
R(18)	33810	R(48)	34628	R(78)	212004	R(108)	95308	R(138)	1528
R(19)	35078	R(49)	36882	R(79)	207056	R(109)	80524	R(139)	824
R(20)	36010	R(50)	37656	R(80)	202396	R(110)	65162	R(140)	760
R(21)	35236	R(51)	45818	R(81)	223282	R(111)	65286	R(141)	664
R(22)	35662	R(52)	54980	R(82)	244000	R(112)	66846	R(142)	608
R(23)	34680	R(53)	63444	R(83)	265760	R(113)	68970	R(143)	552
R(24)	34338	R(54)	70946	R(84)	288248	R(114)	68598	R(144)	504
R(25)	34160	R(55)	77808	R(85)	309602	R(115)	69720	R(145)	432
R(26)	35214	R(56)	78428	R(86)	289108	R(116)	60342	R(146)	336
R(27)	35124	R(57)	77556	R(87)	268742	R(117)	50332	R(147)	256
R(28)	35794	R(58)	76812	R(88)	246912	R(118)	39810	R(148)	144
R(29)	39140	R(59)	76348	R(89)	225606	R(119)	31270	R(149)	32

本題距離 d 的標準解答，已放置 GOLD.dat 檔案中，如圖十一。

```
55      //d = 085 (signal_0)
0D      //d = 013 (signal_1)
46      //d = 070 (signal_2)
45      //d = 069 (signal_3)
18      //d = 024 (signal_4)
3E      //d = 062 (signal_5)
1B      //d = 027 (signal_6)
35      //d = 053 (signal_7)
2B      //d = 043 (signal_8)
24      //d = 036 (signal_9)
24      //d = 036 (signal_10)
48      //d = 072 (signal_11)
0B      //d = 011 (signal_12)
27      //d = 039 (signal_13)
12      //d = 018 (signal_14)
      ...
      ...
      ...
```

圖十一、100 個傳出波 x(t)、接收波 y(t)的距離 d 已放置於 GOLD.dat 檔案中

註：GOLD.dat 的左半邊為十六進制，右半邊註解區為十進制，以方便參賽者 Debug 使用。

註：圖中 signal_0，表示第 0 個的傳出波 x(t)、接收波 y(t)的距離 d 為 85。

註：本題測試樣本有 100 個波，因此本檔案有 100 個距離 d 值。

附錄 C 設計驗證說明

參賽者繳交資料前應完成 RTL，Gate-Level 與 Physical 三種階段驗證，以確保設計正確性。RTL 與 Gate-Level 階段：進行 RTL simulation、Gate-Level simulation，功能要完全正確。

➤ Physical 階段，包含三項驗證重點：

1. 依本題各項要求，實現完整且正確的 layout (詳細之各項要求，請見評分標準)。
2. 完成 post-layout simulation：參賽者必須使用 P&R 軟體寫出之 Netlist 檔、SDF 檔完成 post-layout gate-level simulation，以下分為 ICC1、ICC2、Innovus 三種軟體說明 Netlist、SDF 寫出方式。

i. 使用 Synopsys ICC1 者，執行步驟如下：

在 ICC1 主視窗底下點選

“File > Export > Write SDF...”

Specify Version	Version 2.1
Instance	空白即可
File name	TDE_pr.sdf
Significant digits	2

按 。

對應指令：**write_sdf -version 2.1 TDE_pr.sdf**

“File > Export > Write Verilog...”

先按

Output verilog file name	TDE_pr.v
Output physical only cells	disable
Wire declaration	enable
Backslash before Hierarchy Separator	Enable
All other options	Default value

按 。

ii. 使用 Synopsys ICC2 者，請打指令如下：

```
write_verilog -top_module_first -hierarchy all TDE_pr.v
              -exclude {filler_cells pg_netlist leaf_module_declarations}
write_sdf TDE_pr.sdf
```

註：“leaf_module_declarations”等參數務必要打，以免影響 Gate-level Simulation 正確結果。

iii. 使用 Cadence Innovus 者，執行步驟如下：

在 Innovus 視窗下點選：

“File → Save → Netlist...”

Netlist File	TDE_pr.v
All other options	Default value

按 。

“Timing → Write SDF...”

Ideal Clock	Disable
SDF Output File:	TDE_pr.sdf

按 。

3. 完成 DRC 與 LVS 驗證：(驗證方法與以往不同，請注意)

A. DRC: 務必使用 Synopsys ICV 或 Mentor Calibre DRC 作驗證

- a. 準備 P&R 後的 GDSII 檔案，檔名請命名為 TDE_pr.gds
- b. 準備 DRC 驗證檔案
 - 選擇一：Synopsys ICV DRC 驗證檔案，檔名為 ICV13S_8M.drc.rs
 - 選擇二：Mentor Calibre DRC 驗證檔案，檔名為 Calibre-drc-cur
- c. DRC 驗證方法：
 - 選擇一：使用 Synopsys ICV 作 DRC 驗證

```
run_icv_drc
```

註：此批次檔可從/usr/cad/icc2021/CBDK_IC_Contest_v2.5/icv/drc 複製過來使用。

正確結果：開啟 TDE.LAYOUT_ERRORS 檔案，看到 CLEAN 表示正確，如圖。

```
LAYOUT ERRORS RESULTS: CLEAN

#####
# # # # #
# # # # #
# # # # #
# # # # #
#####

=====

Library name:      ./TDE_pr.gds
Structure name:    TDE
Generated by:      IC Validator RHEL64 R-2020.09.5783960 2020/08/19
Runset name:       ICV13S_8M.drc.rs
User name:        andy
Time started:      2021/04/06 03:16:37PM
Time ended:        2021/04/06 03:16:46PM

Called as: icv -vue -i ./TDE_pr.gds -c TDE -host_init 4 -host_login ssh ICV13S_8M.drc.rs
```

選擇二：使用 Mentor Calibre 作 DRC 驗證

calibre -drc Calibre-drc-cur

正確結果：作到 TOTAL RESULT GENERATED = 0 表示正確，如圖。

```
--- CALIBRE::DRC-F EXECUTIVE MODULE COMPLETED. CPU TIME = 1 REAL TIME = 1
--- TOTAL RULECHECKS EXECUTED = 701
--- TOTAL RESULTS GENERATED = 0
--- DRC RESULTS DATABASE FILE = DRC_RES.db (ASCII)

--- CALIBRE::DRC-F COMPLETED - Tue Apr 6 11:34:23 2021
--- TOTAL CPU TIME = 0 REAL TIME = 1
--- SUMMARY REPORT FILE = DRC.rep
```

B. LVS: 務必使用 P&R 軟體內建之 LVS 作驗證

以下分為 ICC1、ICC2、Innovus 軟體執行步驟說明。

i. 使用 Synopsys ICC1 者，驗證 LVS 步驟如下：

在 ICC1 Layout 視窗底下點選

“Verification > LVS ...”

Pins not connected to a wire segment(Floating port)	disable
All other options	Default value

按 。

將跳出 Error Browser 視窗，檢查看看是否有錯，若有請自行修正到 0 個 Violation 為止。

ii. 使用 ICC2 者，驗證 LVS 指令如下：

check_lvs

註：作 check_lvs 之前，建議再作一次 connect_pg_net，以避免有假錯產生。

註：若 LVS 有發生錯誤，請選“View → Error Browser...”查明原因。

iii. 使用 Cadence Innovus 者，驗證 LVS 步驟如下：

在 Innovus 視窗下點選

請選“Verify → Verify Connectivity...” Default 值，按 。

註：若 LVS 有發生錯誤，請選“Tools → Violation Browser...”查明原因。

C. Macro Layout 的注意事項

a. 使用 ICC2 作 Macro Layout 的 Pin 腳位擺放方法

place_pins -self

即可！

b. 使用 Innovus 作 Macro Layout 的 Pin 腳位擺放方法

請在 Innovus 視窗下點選“File → Save → I/O File...”

Save IO	sequence
To File	TDE.io
Generate template IO File	enable

按 。

請選“File → Load → I/O File...”

請點選 TDE.io，按 。

即可！

附錄 D 評分用檔案

評分所須檔案可以下幾個部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行模擬；(2)Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；(3)Physical design，使用 **Synopsys ICC1**、**ICC2** 者，請分別將整個 **Milkyway**、**NDM Library** 等相關的 design database，壓縮成一個檔案。使用 **Cadence Innovus** 者，請將 Innovus 相關的 design database，壓縮成一個檔案。壓縮方式為

> **tar cvf apr.tar your_apr_database**

表 4

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	N/A	Design Report Form
RTL Simulation	*.v or *.sv	Verilog 或 System Verilog 或 ...
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout Gate-level Simulation	TDE_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
	TDE_syn.sdf	Pre-layout gate-level sdf
Physical category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
P&R	*.tar	archive of the design database directory
	*.gds	GDSII layout
Post-layout Gate-level Simulation	TDE_pr.v	Verilog gate-level netlist generated by Cadence Innovus or Synopsys ICC1、ICC2
	TDE_pr.sdf	Post-layout gate-level sdf

附錄 E 檔案整理步驟

當所有的文件準備齊全如表 3 所列，請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下，步驟如下：

1. 在自己的 home directory 建立一個新目錄，名稱叫做“**result**” 例如：

> **mkdir ~/result**

2. 將附錄 D 要求的檔案複製到 result 這個目錄。例如：

> **cp TDE.v ~/result/**

> **cp TDE_pr.v ~/result/**

.....

3. 在 Design Report Form 中，填入所需的相關資訊。

附錄 F 軟體環境

1. 使用者登入後自動會設定好以下軟體環境：

Vendor	Tool	Executable
Cadence	Virtuoso *1	icfb
	Composer	icfb
	NC-Verilog	ncverilog
	Innovus	innovus
Synopsys	Design Compiler	dv, dc_shell
	VCS-MX	vcs
	IC Compiler	icc_shell -gui
	IC Compiler 2	icc2_shell -gui
	Hspice	hspice
	Cosmos Scope *1	cscope
	Custom Compiler *1	custom_compiler
	Custom Explorer *1	wv
	Laker *1	laker
	Laker ADP*1	adp
	Verdi *1	verdi, nWave
	IC Validator *4	icv -vue
Mentor	Calibre *3	calibre
	QuestaSim	vsim
Utility	vi	vi, vim
	gedit	gedit
	nedit	nedit
	pdf reader	acroread
	calculate	gnome-calculator, bc -l
	gcc	gcc
	Matlab	matlab

EDA 軟體所須使用的 license 皆已設定完成，不須額外設定

*1 該軟體限定使用 1 套 license

*3 該軟體限定使用 3 套 license

附錄 G 設計資料庫

設計資料庫位置： /usr/cad/icc2021/CBDK_IC_Contest_v2.5

目錄架構

ICC/

tsmc13gfsg_fram/	ICC1 core library
tsmc13_CIC.tf	ICC1 technology
macro.map	layer mapping file
tluplus/	
t013s8mg_fsg_typical.tluplus	t13 tluplus file
t013s8mg_fsg.map	t13 tluplus mapping file

ICC2/

tsmc13gfsg.ndm/	ICC2 core NDM
tsmc13gfsg_physical_only.ndm/	ICC2 core filler NDM

SOCE/

lef/	
tsmc13fsg_8lm_cic.lef	LEF for core cell
lib/	
slow.lib	worst case for core cell
streamOut.map	layout map for GDSII out

SynopsysDC/ db/

slow.db	synthesis model (slow)
---------	------------------------

Verilog/

tsmc13_neg.v	verilog simulation model
--------------	--------------------------

Phantom/

tsmc13gfsg_fram.gds	standard Cell GDSII file
---------------------	--------------------------

Calibre/

drc/	
Calibre-drc-cur	verify DRC for Calibre

icv/

drc/	
ICV13S_8M.drc.rs	verify DRC for ICV
run_icv_drc	run ICV batch file

Design Report Form

登入帳號(login-id)	(例如: B060)	
RTL category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
RTL Simulation	使用之 HDL 名稱 (例如: Verilog、System Verilog)	
RTL Simulation	RTL 檔案名稱 (RTL file name)	
Gate-Level category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
Pre-layout Gate-level Simulation	Gate-Level 檔案名稱 (Gate-Level Netlist file name)	
	Pre-layout sdf 檔案名稱	
	Gate-Level simulation, 所使用的 CYCLE Time (請確定模擬功能正確)	() ns
Physical category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name or Value</i>
P&R	使用之 P&R Tool (請填入 ICC 或 ICC2 或 Innovus)	
	設計資料庫檔案名稱 (Library name) (ICC: Milkyway, ICC2: NDM Innovus: xxx.enc.dat)	
	Synopsys ICV / Mentor Calibre DRC 錯誤總數量 (ex: 0 個)	
	APR Tool LVS 錯誤總數量 (ex: 0 個)	
Score (Pre-layout or Post-layout Result) Over All	Gate-level Simulation Total Simulation Time = ? (ex: 60808ns)	
	Area (ex: Area = 25481 um ²) Area = ?	
	填寫之面積為哪一階段的結果? (請填 合成後 or APR 後)	
	最後完成之等級? (ex: 等級 A)	
其他說明事項 (Any other information you want to specify: (如設計特點 ...) 如寫不下可寫於背面		