

part1: 3 - 8译码器 decoder 设计

实验内容:

根据教材4 - 8节, 设计3 - 8译码器

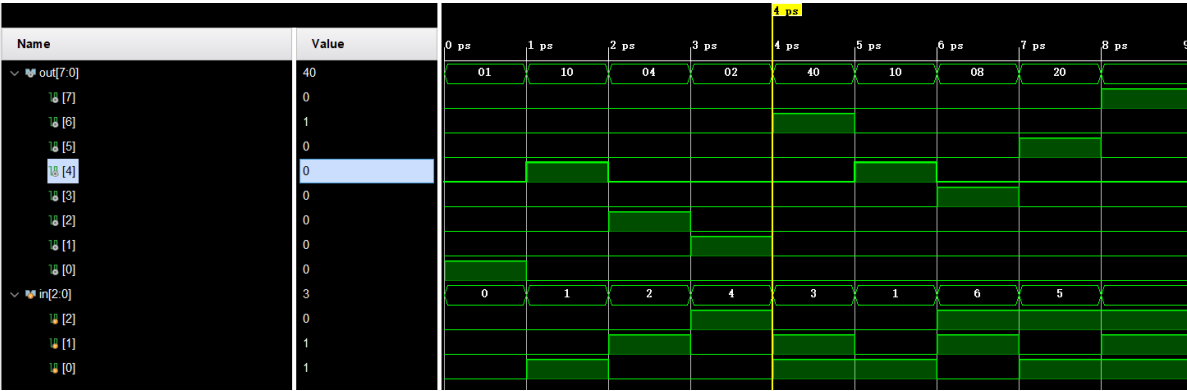
- 1. 写出3 - 8译码器真值表, 通过化简写出译码器布尔表达式
- 2. 使用Verilog HDL实现

输入使用板上的switch拨段开关, 输出使用板上的led灯。

输入				输出							
x	y	z		D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0		1	0	0	0	0	0	0	0
0	0	1		0	1	0	0	0	0	0	0
0	1	0		0	0	1	0	0	0	0	0
0	1	1		0	0	0	1	0	0	0	0
1	0	0		0	0	0	0	1	0	0	0
1	0	1		0	0	0	0	0	1	0	0
1	1	0		0	0	0	0	0	0	1	0
1	1	1		0	0	0	0	0	0	0	1

$D_0 = x'y'z'$ $D_1 = x'y'z$ $D_2 = x'yz'$ $D_3 = x'yz$ $D_4 = xy'z'$ $D_5 = xy'z$ $D_6 = xyz'$ $D_7 = xyz$

波形图如下:



part2: 4 - 2编码器 encoder 设计

实验内容：

根据教材4 - 9节，设计4 - 2编码器

- 1. 写出4 - 2编码器真值表，通过化简写出编码器布尔表达式
- 2. 使用Verilog HDL实现

输入使用板上的switch拨段开关，输出使用板上的led灯。

输出			输入			
x	y		D_0	D_1	D_2	D_3
0	0		1	0	0	0
0	1		0	1	0	0
1	0		0	0	1	0
1	1		0	0	0	1

$$x = D_2 + D_3 \quad y = D_3 + D_1 D_2'$$

波形图如下：

