

بنام خدا



طراحی سیستم های دیجیتال

نیم سال دوم ۱۴۰۰-۱۳۹۹

سوم

تمرین

۳۱ اردیبهشت ۱۴۰۰

موعد تحویل

- جواب سوالات را در قالب فایل PDF، به آدرس "khu.dsd98@gmail.com" با عنوان "A_U_3: stdName 1, stdName 2" ارسال کنید.
- تمرین ها را می توانید در گروه های دو نفره ارسال کنید که stdName 1 , stdName 2 نام اعضای گروه است.
- فایل PDF باید شامل کدهای VHDL قابل سنتز و اسکرین شات های RTL، post-mapping ، compilation report، فایل Test Bench و اسکرین شات Wave Form از Modelsim باشد.
- صحت عملکرد مدار دیجیتال را در اسکرین شات Wave Form شبیه ساز، توضیح دهید.
- هر روز تاخیر در ارسال تکلیف شامل ۲۰ درصد جریمه خواهد شد.

- **IMPORTANT Note:** All you simulation must be post-synthesis simulation!

1. Write a synthesisable VHDL code for a generic n-digit decimal counter using **for generate** statements.
 - Then, write a Testbench for this generic counter and verify 4-digit decimal counter using “generic map”.
2. Write a synthesizable VHDL code describing the FIFO buffer, which includes FIFO controller and register file, for 4-word FIFO (A FIFO containing 4 slots, each slot is one byte).
 - Then, write a proper Testbench for this FIFO buffer and verify if the FIFO buffer works correctly or not. You need to examine underflow and overflow events in the simulation!

```
entity fifo_Buffer is
  port (clk, reset: in std_logic;
        wr, rd: in std_logic;
        w_data: in std_logic_vector (8-1 downto 0);
        full, empty: out std_logic;
        r_data: out std_logic_vector (8-1 downto 0)
  );
end fifo_Buffer;
```

FIFO Buffer

