

بنام خدا



طراحی سیستم های دیجیتال

نیم سال دوم 1399-1400

دوم

تمرین

31 فروردین 1400

موعد تحویل

- جواب سوالات را در قالب فایل PDF، به آدرس "khu.dsd98@gmail.com" با عنوان "A_U_2: stdName 1, stdName 2" ارسال کنید.
- تمرین ها را می توانید در گروه های دو نفره ارسال کنید که stdName 1 , stdName 2 نام اعضای گروه است.
- فایل PDF باید شامل کدهای VHDL قابل سنتز و اسکرین شات های RTL، post-mapping و compilation report باشد.
- هر روز تاخیر در ارسال تکلیف شامل 20 درصد جریمه خواهد شد.

- **IMPORTANT Note:** Synthesis your designs in Quartus Software as described in the tutorial video and extract the RTL form of your design. Take a screen shot of the RTLs. You can use the following link to get the tutorial video:
<https://www.dropbox.com/s/o0haolygnxsqgrt/Quartus.avi?dl=0>

1. Write VHDL code that represents a T and J-K flip-flop with an asynchronous reset input.
2. Design a 4-bit BCD up or down counter. This counter must have a “Dir” input to indicate direction. Then, write a synthesizable VHDL code for this counter
3. Write a synthesizable VHDL code describing the following patterns (arbitrary sequence counter):

Input Pattern	Next Pattern
000	011
011	110
110	101
101	111
111	000

4. Write a synthesizable VHDL code describing the FIFO controller for 8-byte FIFO (A FIFO containing 8 slots, each slot is one byte).

```

entity Fifo_control is
    port (clk, reset: in std_logic;
          wr,rd:instd_logic;
          full, empty: out std_logic;
          w_address,r_address: out std_logic_vector (2 downto 0)
          );
end Fifo_control;

```

FIFO Buffer

