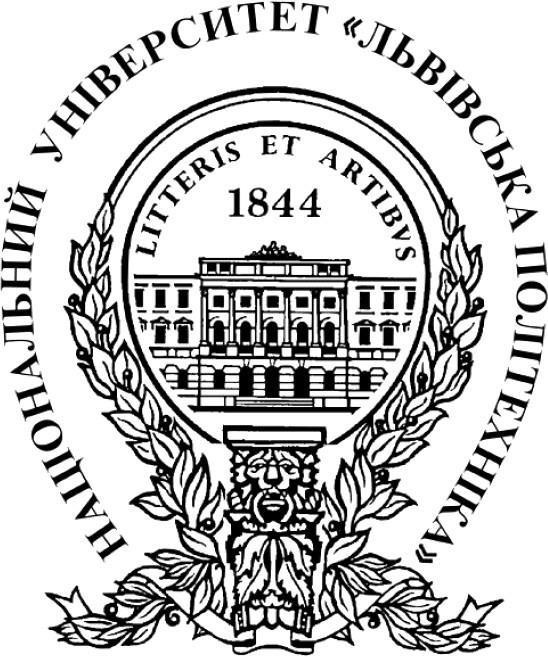
Міністерство освіти і науки України НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Кафедра ЕОМ



Звіт

З лабораторної роботи № 1

*З дисципліни «Моделювання комп’юткрних систем»*

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконала: ст. гр. КІ-202 Замкова К.А

Прийняв: Козак Н. Б.

Львів – 2023

**Мета:** ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

**Виконання завдання**

1. За допомогою ISE було створено схему дешифратора 3->7, використовуючи компоненти з бібліотеки.

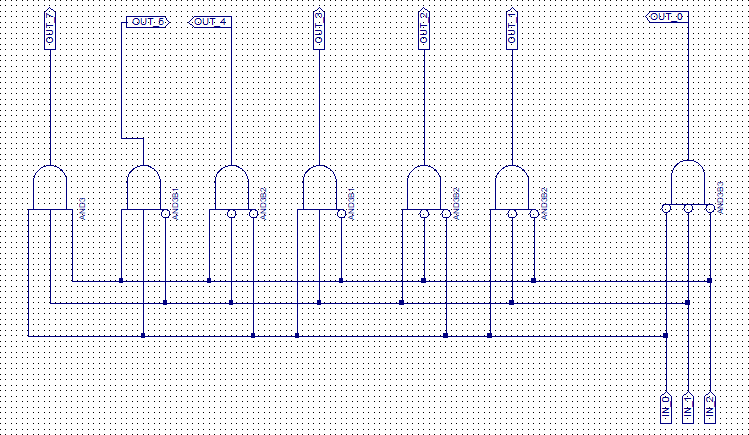


Рис.1.1. Схема дешифратора 3 -> 7

1. Додано до проекту User Constraint файл, й призначено виводам схеми фізичні виводи цільової FPGA.

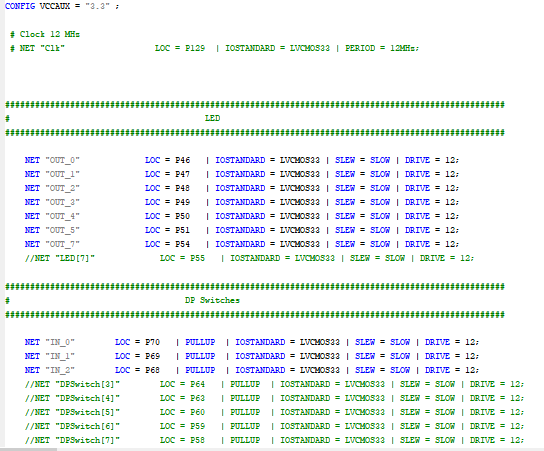


Рис.1.2. User Constraint файл

1. За допомогою ISim у режимі Simulation було перевірено роботу схеми.

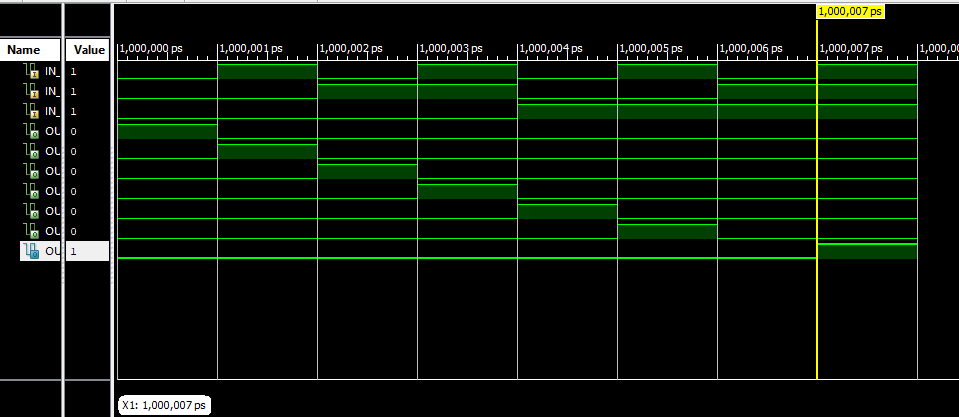


Рис.1.3. Запуск симуляції

1. Згенеровано ВІТ файл, усі процеси виконанні успішно.

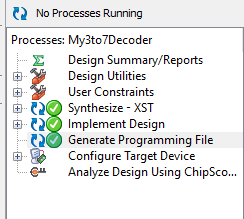


Рис.1.4. Виконання процесів

1. Запрограмувати лабораторний стенд отриманим файлом

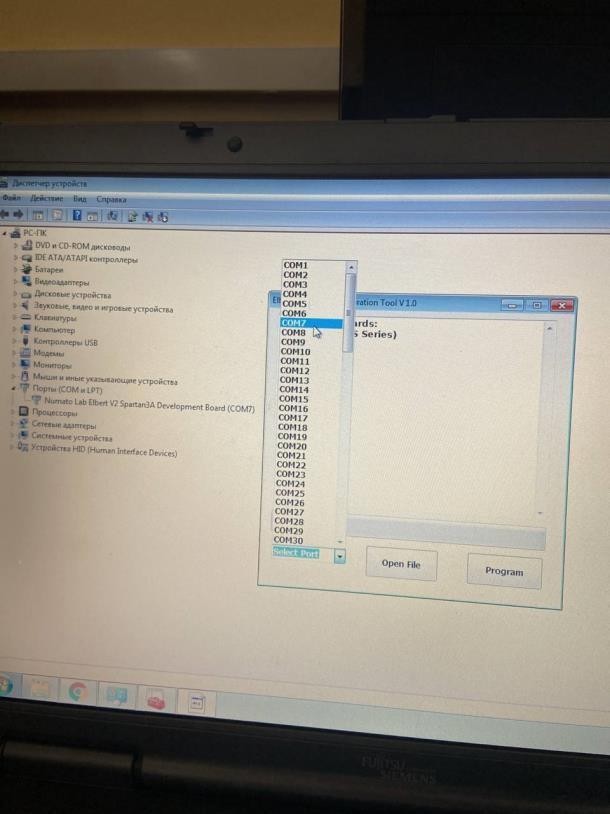
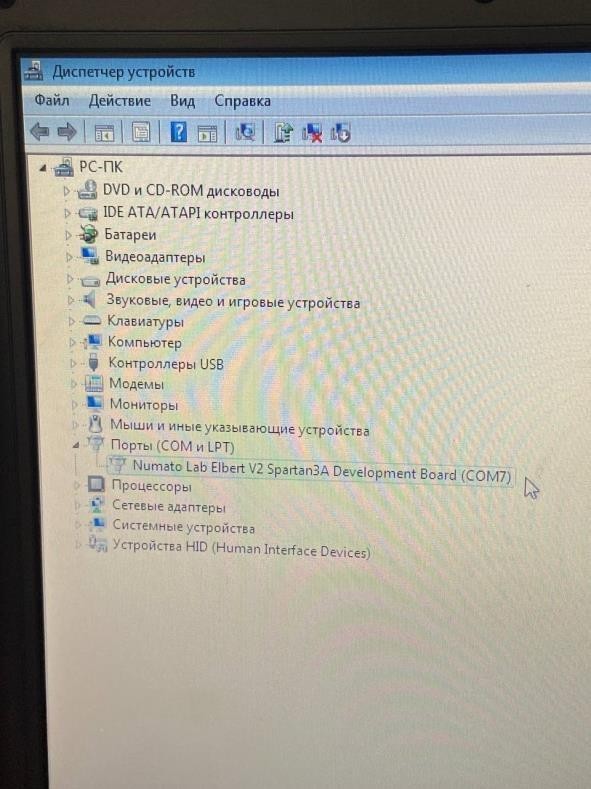


Рис.1.5. Відкриваємо BIT файл

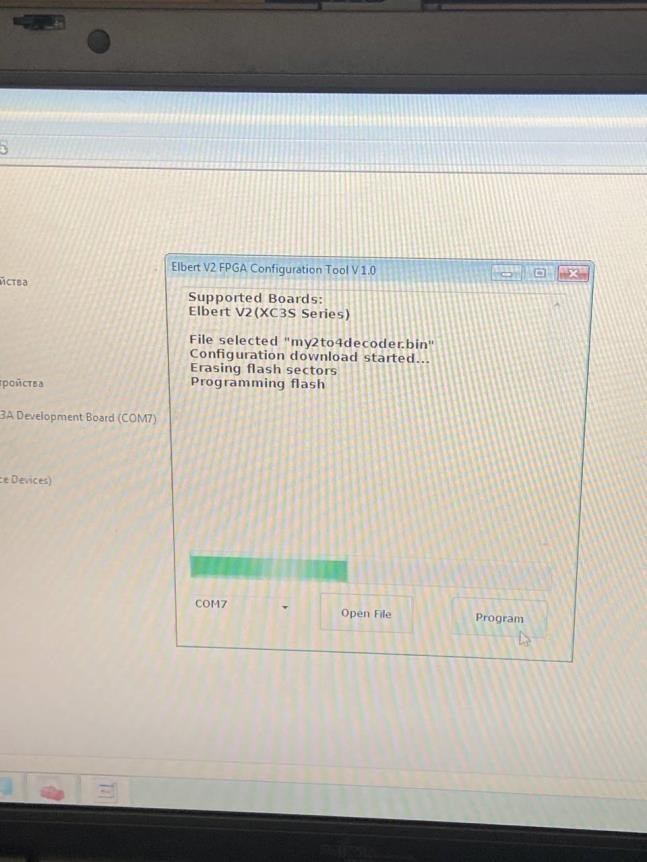


Рис.1.6. Прошиваєм

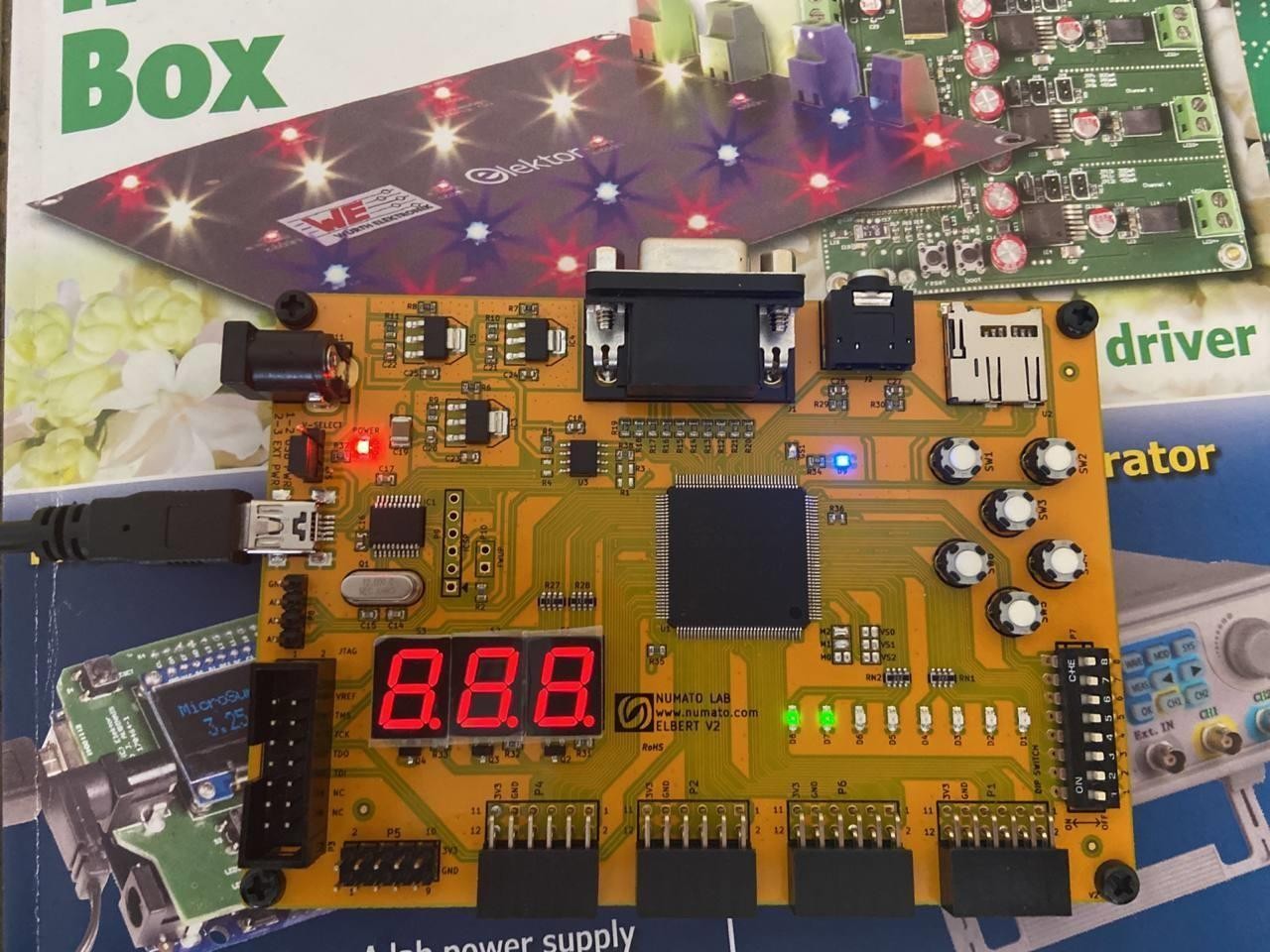


Рис.1.7. Перевірка роботи проекту

**Висновок:** на цій лабораторній ознайомилася з середовищем розробки Xilinx ISE та побудовала дешифратора 3-7.