



Laboratório 7 – Máquina de Estados em VHDL I

Disciplina: ELE0518 – Laboratório de Sistemas Digitais

Aluno:

Data: ____/____/____

1. Projete uma máquina de estados que possua uma entrada, que chamaremos de H, e cinco saídas. Quando H = 1, a saída deve produzir a sequência:

00000 → 10000 → 01000 → 00100 → 00010 → 00001 e repetir enquanto H permanecer em 1.

Quando H = 0 deve-se voltar imediatamente para o estado no qual a saída corresponde a 00000, permanecendo nesse estado enquanto H = 0.

Além disso, quando a máquina fizer um total de 3 ciclos completos ela deve ir para um estado novo onde a saída será “11111” e só sairá quando H = 0, retornando para o estado de saída. Ciclos incompletos não devem ser contabilizados e quanto uma entrada ‘reset’ for ativada, a máquina de estados deverá ir para o estado inicial e zerar o contador de ciclos.

2. A placa do Kit DE2 da Altera possui dois clocks internos. Identifique o clock de 50 MHz e inclua no seu projeto o código ‘clockDiv.vhd’ enviado pelo professor. Coloque o clock de saída em um LED para vermos a transição do clock.

3. Faça o diagrama de transição de estados para o problema proposto e explique-o no relatório juntamente com o código desenvolvido.

4. Simule a máquina de estados no Quartus II e envie-o para a placa de acordo com os manuais enviados via SIGAA.