

機能設計仕様書 (Group18)

1029-28-1547 住江 祐哉

2018 年 5 月 10 日

全体のコンポーネント分割

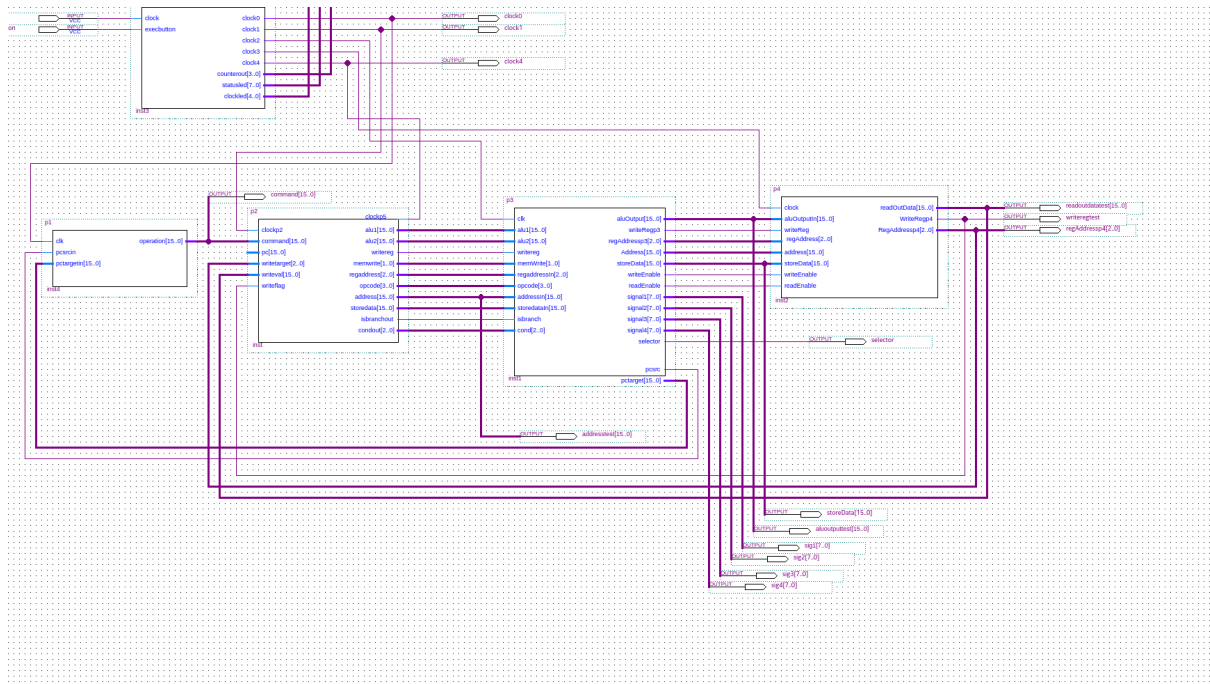


Figure 1: 全体

p1

コンポーネントの外部仕様

概要

この次行われる命令を指定して出力するフェーズである

入力

clk(1bit) クロック

出力

operation(16bit) 次行われる命令

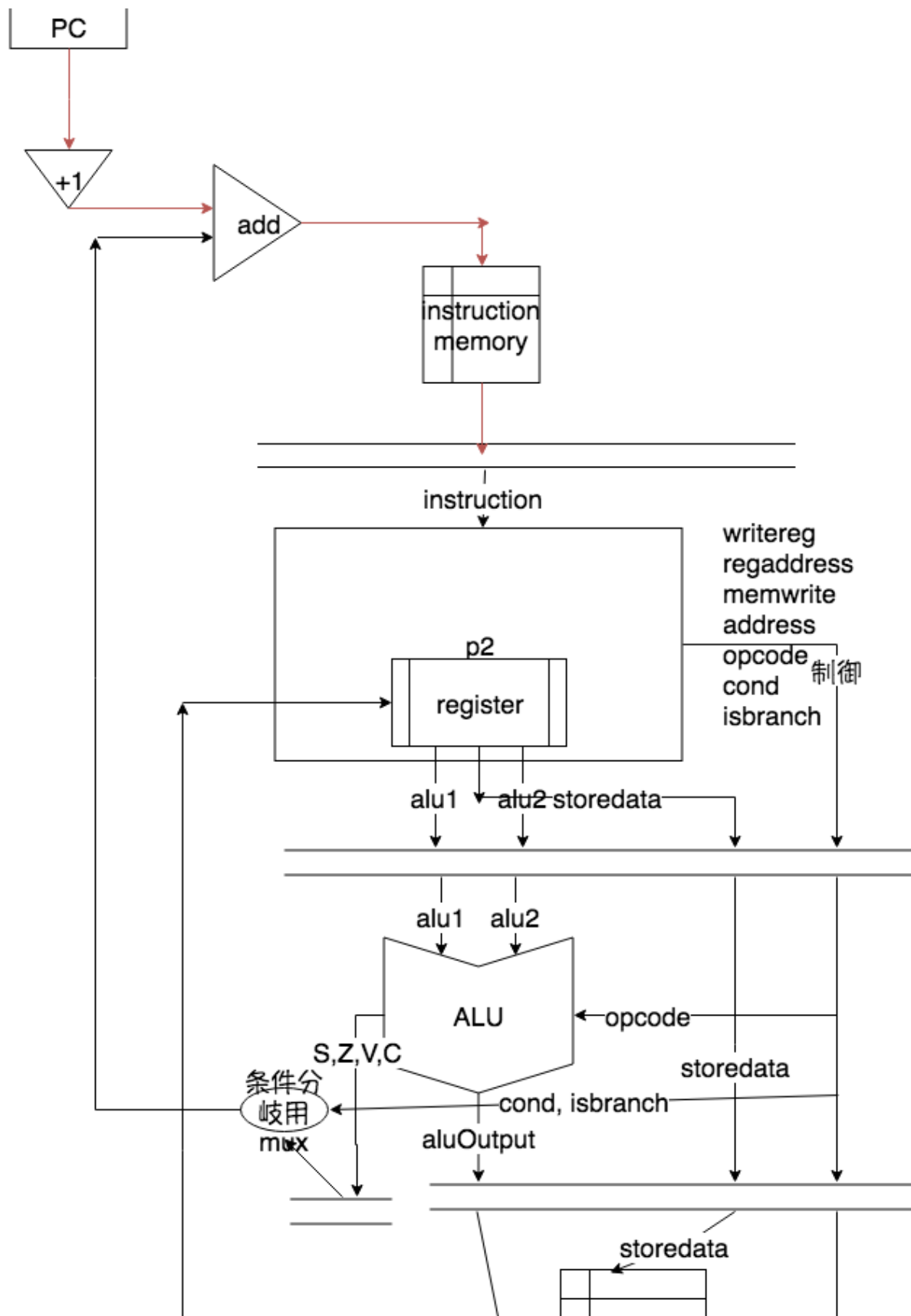
内部仕様

実装上の特徴

命令セットを記憶しておく大容量メモリを組み込むクロックが立ち上がるタイミングで読みだす命令の指定アドレスを1ずつ上げるとともに命令を出力する

コンポーネントの内部構造と動作

動作



	p1
ADD/SUB	PC++ 命令メモリ(PC)->
AND/OR	
SLL/SRL	
LD	
ST	
LI	
B	
BREなど	
OUT	
HLT	
共通	

論理設計にあたって特に留意すべき点

PC の値を 0 に初期化しておかないと、1 番はじめの命令が読めない

p3

コンポーネントの外部仕様

概要

ここで演算命令の演算を行う また、メモリを制御する信号も作る

入力

clk(1bit) クロック

alu1,alu2(それぞれ 16bit) ALU に入力する 2ALU に入力する 2 つの値

writereg(1bit) 演算やロード命令でレジスタに結果を書き込むか否か

regaddressIn(3bit) 書き込む対象のレジスタの番号を示す

memWrite(2bit) メモリに行う操作を表す

addressIn(16bit) メモリに操作を行う場合、どの番地にアクセスするかを示している。

storedataIn(16bit) メモリに書き込むデータ

opcode(4bit) ALU にさせる演算を決める

出力

aluOutput(16bit) ALU で演算された結果を出力する

writeRegp3(1bit) 演算やロード命令でレジスタに結果を書き込むか否か、入力で受け取ったものの受け流しである

regAddressp3(3bit) 書き込む対象のレジスタの番号を示す、入力で受け取ったものの受け流しである

Address(16bit) メモリに操作を行う場合、どの番地にアクセスするかを示している、入力で受け取ったものの受け流しである

storeData(16bit) メモリに書き込むデータ、入力で受け取ったものの受け流しである

writeEnable(1bit) メモリに書き込むという命令を与えるための出力、memWrite が 10 の場合だけ 1 となる

readEnable(1bit) メモリから読むという命令を与えるための出力、memWrite が 01 の場合だけ 1 となる

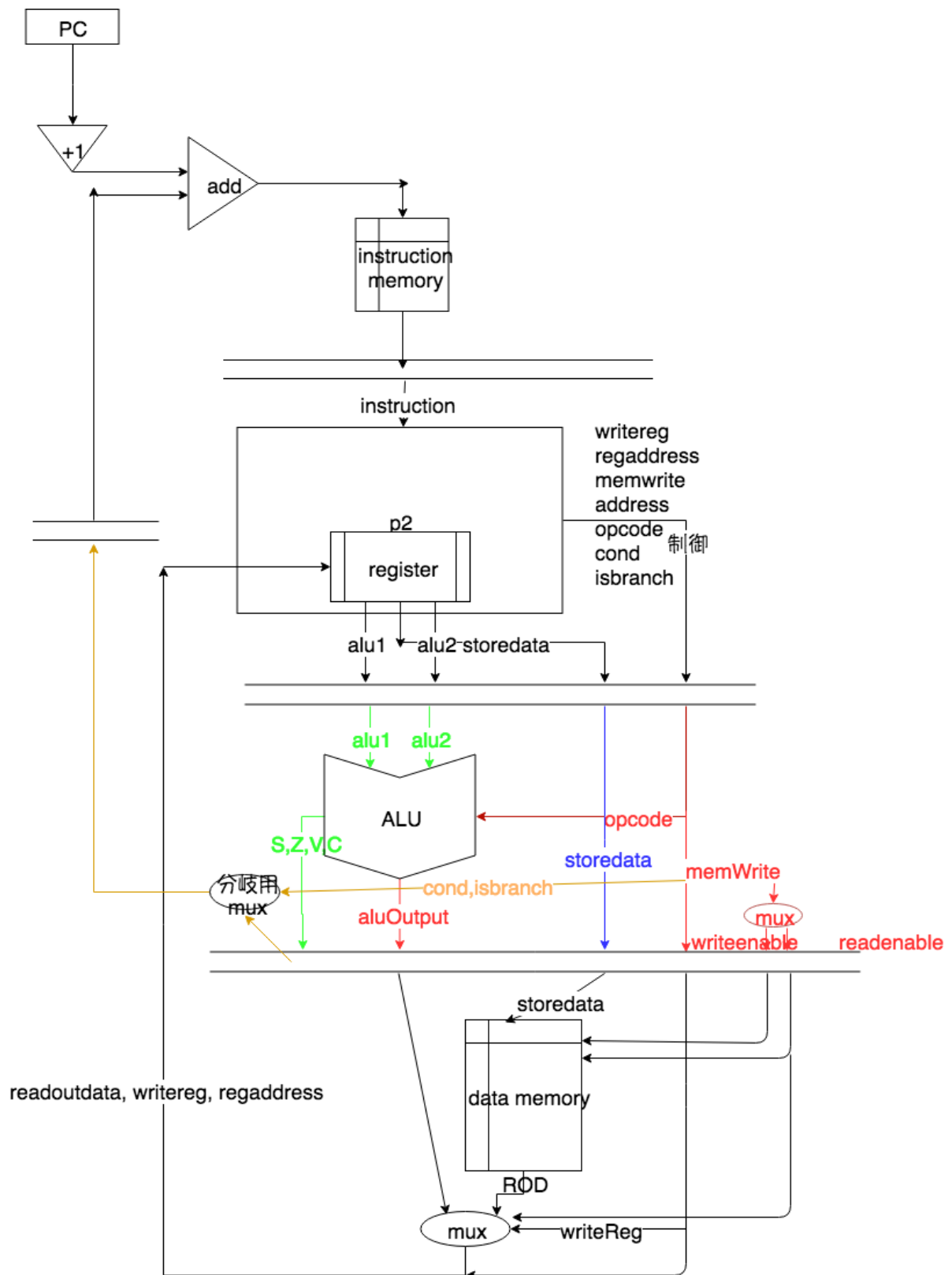
内部仕様

実装上の特徴

入力から受け取る ALU に入れる 2 値を演算させる ALU が組み込まれているまた、メモリにする動作のための信号もここで作っている (マルチプレクサ) クロックが立ち上がるタイミングで出力先にすべての信号を送る

コンポーネントの内部構造と動作

動作



	p3
ADD/SUB	op(alu1, alu2)→aluOutput ex) alu1+alu2
AND/OR	
SLL/SRL	op3(r[rs], d) → aluOutput
LD	readEnable = 1
ST	writeEnable = 1
LI	なし
B	pcsrc=1 pctarget=PC+signext(d)
BREなど	
OUT	showonLED(alu1)
HLT	未実装
共通	制御コードの受け渡し

論理設計にあたって特に留意すべき点

この時点でメモリにする動作のための信号も作って置かなければならない次のフェーズで計算させるタイミングがないからである

p4

コンポーネントの外部仕様

概要

この次行われる命令を指定して出力するフェーズである

入力

clock(1bit) クロック

address(16bit) メモリに何らかの動作をするとき指定する番地

storeData(16bit) メモリに書き込むデータ

writeReg(1bit) 演算やロード命令でレジスタに結果を書き込むか否か

regAddress(3bit) 書き込む対象のレジスタの番号を示す

writeEnable, readEnable(それぞれ 1bit) メモリに書き込む/から読み出すという命令を与えるための入力

aluOutputIn(16bit) ALU の演算結果

出力

readOutData(16bit) メモリから読み出されたデータまたは ALU の演算結果

WriteRegp4(1bit) 演算やロード命令でレジスタに結果を書き込むか否か、入力からの受け流しである

RegAddressp4(3bit) 書き込む対象のレジスタの番号を示す、入力で受け取ったものの受け流しである

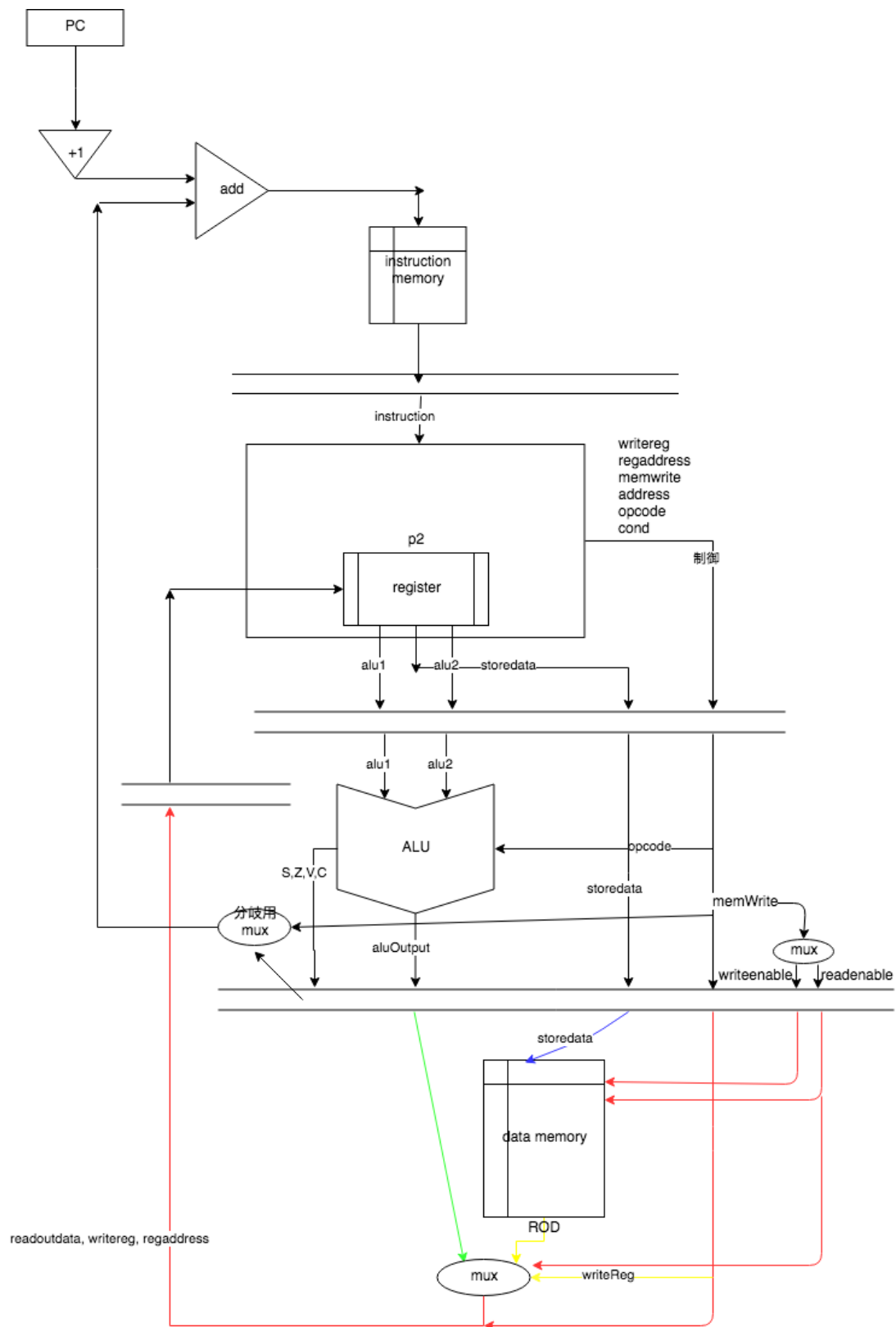
内部仕様

実装上の特徴

大容量記憶メモリが組み込まれている、これは命令時扱うデータを格納したものである読みだしたデータと ALU の演算結果として出てきたデータは同時には出てこないのと同じ出力先に出力するようにしている

コンポーネントの内部構造と動作

動作



	p4
ADD/SUB	aluOutput -> readOutData
AND/OR	
SLL/SRL	aluOutput -> readOutData
LD	MEM[address] -> readOutData
ST	MEM[address] <- storeData
LI	なし
B	
BREなど	
OUT	
HLT	未実装
共通	

論理設計にあたって特に留意すべき点

メモリを作成するときに読み出し入力を追加した