

アーキテクチャ検討報告書 (Group18)

1029-28-9483 勝田 峻太郎

1029-28-1547 住江 祐哉

2018 年 5 月 23 日

目 次

1	概要	2
1.1	要求仕様	2
1.2	設計目標	2
1.3	方針	2
1.4	特長	3
2	高速化/並列処理の方式	3
3	性能/コストの予測	3
3.1	性能	3
3.2	コスト	4

1 概要

1.1 要求仕様

- 16bit 固定長命令を読み込む
- ロード・ストアアーキテクチャと 2 オペランド形式の命令セット (演算 add,sub,and,or など) を実装する
- 分岐命令 (無条件/条件) を実装する.
- 入出力命令・停止命令も実装する.
- ジャンプ命令の実装.

1.2 設計目標

5 ステージパイプラインプロセッサを作る.

データ・ハザードは, フォワーディングのみで対応し, フォワーディングによっては防止できないデータ・ハザードは, プログラム考察段階で避けうる手順を考える.

制御ハザードは, プログラム作成段階で回避することができないため, 2bit 予測方式の分岐予測と合わせて, 対応する.

1.3 方針

始め、トップダウン形式でプロセッサ全体をモジュールに分割し, 設計を検討する. 以下に分割した各モジュールを示す.

1.3.1 IF:命令フェッチ (p1.v)

プログラムカウンタ、命令メモリを含むモジュールである. マルチプレクサ、加算器も含む. このモジュールで 16bit 固定長命令が書かれたプログラムを命令メモリから読み出し、このプロセスで行う命令を決定する.

1.3.2 ID:命令デコードとレジスタフェッチ (p2.v)

読み出したり、書き込んだりするためのデータが保存されたレジスタ、符号拡張器が含まれているモジュールである. このモジュールではレジスタからの読み出しと、命令セットに書かれている定数のビット変換を行う. 制御もここで行う.

1.3.3 EX:命令実行とアドレス生成 (p3.v)

ここで演算命令の演算を行う. ビットシフト、加算器、ALU、マルチプレクサが含まれる.

1.3.4 MEM:メモリ・アクセス (p4.v)

データメモリとそれに対する読み込み, 書き込み機能を持つ.

1.3.5 WB:レジスタ書き込み (p2.v)

ロード命令, 演算命令など, レジスタへの結果の書き込みなどを必要とする場合, レジスタに書き込みを行う. ただし, レジスタは p2.v に存在するため, p2.v 内にクロックを送り処理する.

1.3.6 コントローラ (Controller.v)

全体に適切なクロックを送り, マルチサイクル実行を実現するモジュール. プロセッサ全体の実行, 停止, リセットもこのモジュールで扱う.

1.4 特長

- 8本の汎用レジスタ
- 16bit, 4096wordsの主記憶と命令メモリ
- 5ステージによるパイプライン方式による実行
- ハーバード・アーキテクチャ

2 高速化/並列処理の方式

5ステージのパイプライン処理により高速化を目指す. ソート速度コンテストにおいては, パイプライン化が重要な役割を占めると思うので, 分岐予測をおこないながら実行できるような機構を作ることと臨む.

3 性能/コストの予測

3.1 性能

モジュール	fmax(MHz)
p1	260.42
p2	299.85
p3	758.73
p4	121.04

であり, モジュール p4 がクリティカルパスであることがわかる. 最終的には, 120(MHz) の動作周波数と予想される. この理由は, 現段階では p4 がクリティカルパスであるが, そこでは大容量記憶メモリがあるから遅いだけだからであり, 拡張させる機能が少なく, むしろ, 他のモジュールを拡張することで論理素

子が多くなり、動作速度が遅くなる懸念がある。

3.2 コスト

論理素子の数は、現段階では 1000 程度であり、現段階からは命令セットの拡張、パイプライン化が主なタスクなので論理素子をそれほど増やすつもりもなく、1200 を切ることを目指す。