

アーキテクチャ検討報告書 G18

2018 年 4 月 26 日

group 18

概要

要求仕様

16bit 固定長命令を読み込む

ロード・ストアアーキテクチャと2オペランド形式の命令セット(演算 add,sub,and,or)を実装する

設計目標

単一サイクルの直列的执行ができるようなプロセッサをまず作ることにする.

方針

始め、トップダウン形式でプロセッサ全体をモジュールに分割し, 設計を検討する. 以下に分割した各モジュールを示す.

IF:命令フェッチ (p1.v)

プログラムカウンタ、命令メモリを含むモジュールであるマルチプレクサ、加算器も含むこのモジュールで16bit 固定長命令が書かれたプログラムを命令メモリから読み出し、このプロセスで行う命令を決定する

ID:命令レコードとレジスタフェッチ (p2.v)

読み出したり、書き込んだりするためのデータが保存されたレジスタ、符号拡張器が含まれているモジュールである. このモジュールではレジスタからの読み出しと、命令セットに書かれている定数のビット変換を行う.

EX:命令実行とアドレス生成 (p3.v)

ここで演算命令の演算を行うビットシフト、加算器、ALU、マルチプレクサが含まれる

MEM:メモリ・アクセス (p4.v)

データメモリとそれに対する読み込み、書き込み機能を持つ.

WB:書き込み (p5.v)

メモリから受け取ったデータをIDのレジスタに書き込む働きをする.

コントローラー (Controller.v)

全体に適切なクロックを送り, 単一サイクル実行を実現するモジュール.

特長

- 8 本の汎用レジスタ
- 16bit の主記憶

高速化/並列処理の方式

高速化や並列処理は, 現段階では目指さない.

性能/コストの予測

性能

コスト