

アーキテクチャ検討報告書 (Group18)

1029-28-9483 勝田 峻太郎

1029-28-9483 住江

2018 年 5 月 4 日

概要

要求仕様

16bit 固定長命令を読み込む

ロード・ストアアーキテクチャと2オペランド形式の命令セット (演算 add,sub,and,or) を実装する

分岐命令 (無条件/条件) を実装する.

入出力命令・停止命令も実装する

ジャンプ命令の実装.

設計目標

単一サイクルの直列的执行ができるようなプロセッサを作る.

方針

始め、トップダウン形式でプロセッサ全体をモジュールに分割し, 設計を検討する. 以下に分割した各モジュールを示す.

IF:命令フェッチ (p1.v)

プログラムカウンタ、命令メモリを含むモジュールであるマルチプレクサ、加算器も含むこのモジュールで16bit 固定長命令が書かれたプログラムを命令メモリから読み出し、このプロセスで行う命令を決定する

ID:命令レコードとレジスタフェッチ (p2.v)

読み出したり、書き込んだりするためのデータが保存されたレジスタ、符号拡張器が含まれているモジュールである. このモジュールではレジスタからの読み出しと、命令セットに書かれている定数のビット変換を行う. 制御もここで行う.

EX:命令実行とアドレス生成 (p3.v)

ここで演算命令の演算を行うビットシフタ、加算器、ALU、マルチプレクサが含まれる

MEM:メモリ・アクセス (p4.v)

データメモリとそれに対する読み込み, 書き込み機能を持つ.

コントローラー (Controller.v)

全体に適切なクロックを送り, 単一サイクル実行を実現するモジュール.

特長

- 8本の汎用レジスタ
- 16bit, 4096wordsの主記憶
- 4サイクルによる実行

高速化/並列処理の方式

高速化は p2 と p5 の並列処理で目指す

性能/コストの予測

性能

SIMPLE/B アーキテクチャと比べて 4/5 サイクルで実行できるようになる

コスト