



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-41Б

(Группа)

Е.А.

Варламова

(И.О. Фамилия)

Преподаватель

А.Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на T- триггерах. Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

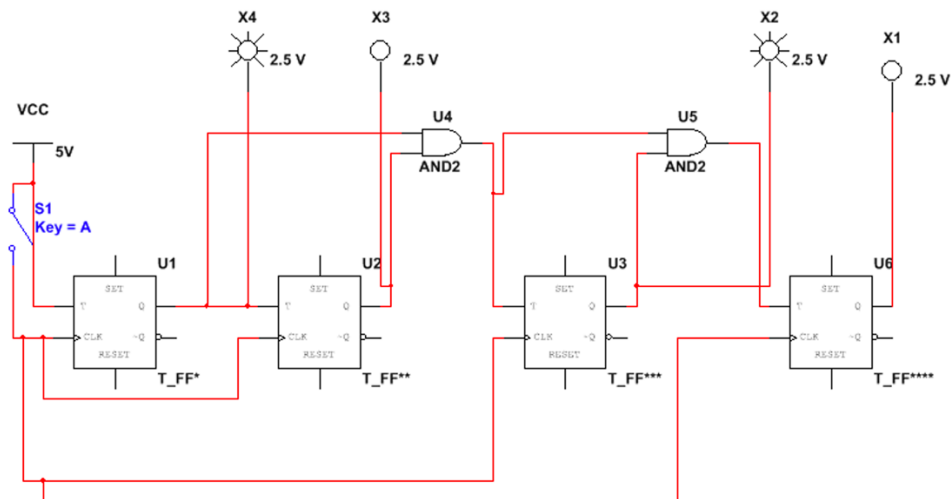


Рисунок 1 Четырёхразрядный синхронный суммирующий счётчик с параллельным переносом на T- триггерах от одиночных импульсов

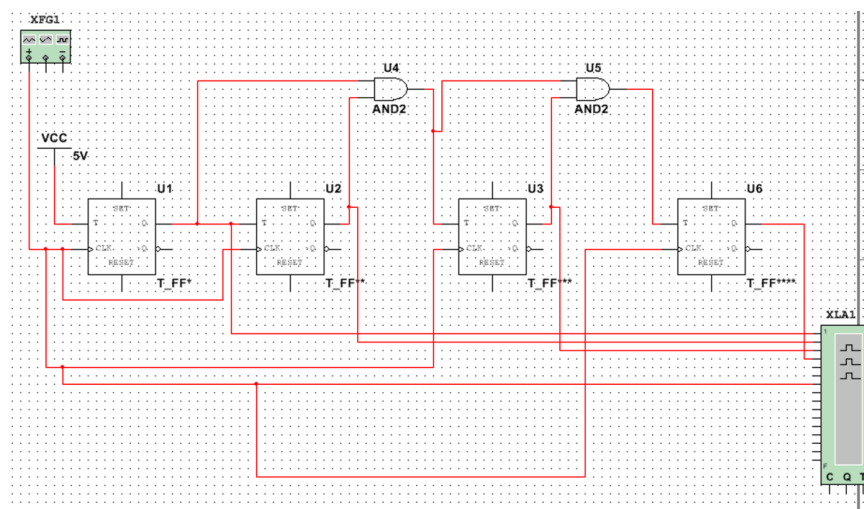


Рисунок 2 Четырёхразрядный синхронный суммирующий счётчик с параллельным переносом на T- триггерах от импульсов генератора

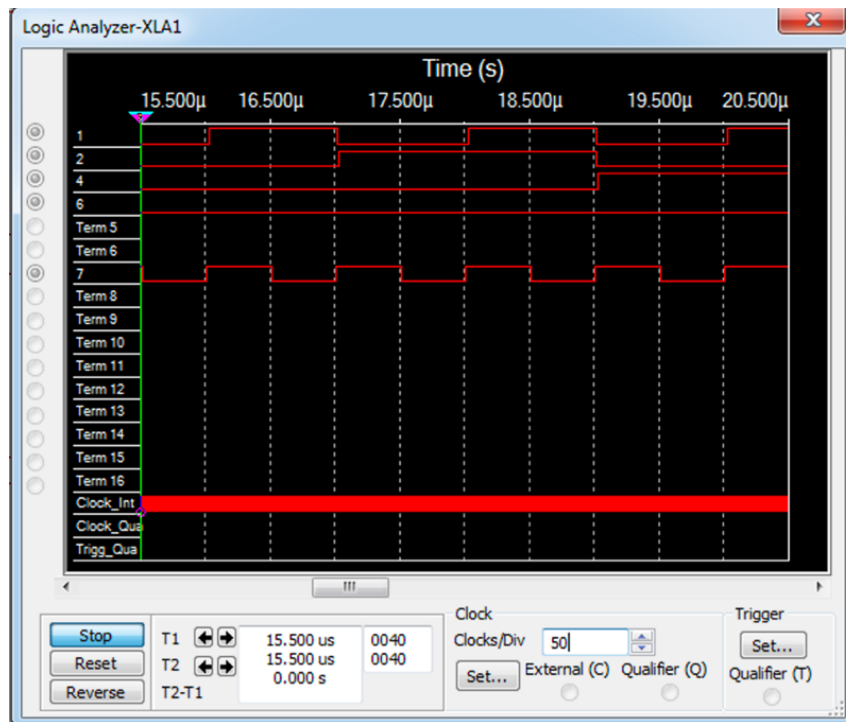


Рисунок 3 Временные диаграммы четырёхразрядного синхронного суммирующего счётчика

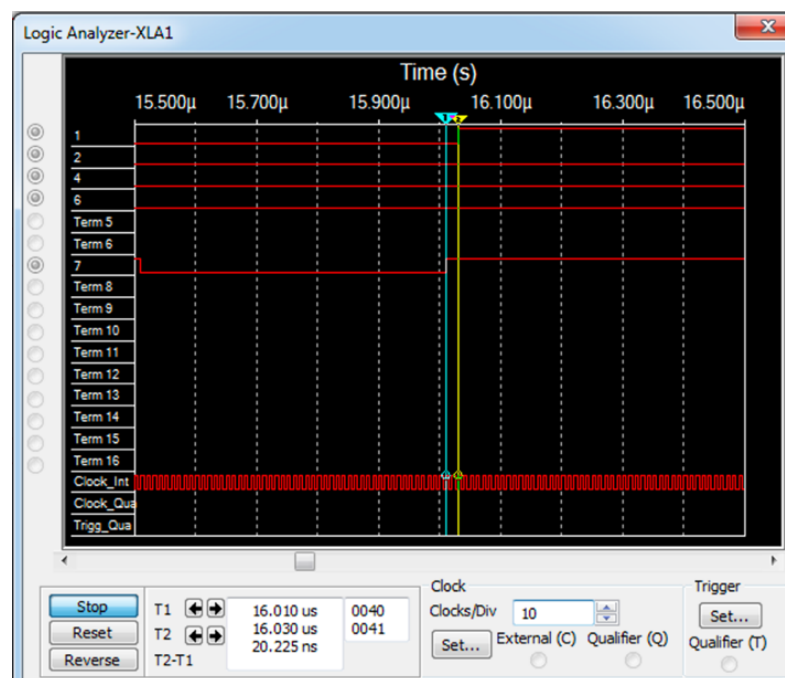


Рисунок 4 Время задержки распространения счётчика

Полученная задержка равна 20.225 ns. Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~ 40 ns. Максимальная частота счета, таким образом, составляет $1/(40 \text{ ns}) = 25 \text{ МГц}$.

2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Вариант: 4: 0,1,2,3,4,5,8,9,10,11

Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
0	1	0	0	0	1	0	1	0	*	*	0	0	*	1	*
0	1	0	1	1	0	0	0	1	*	*	1	0	*	*	1
1	0	0	0	1	0	0	1	*	0	0	*	0	*	1	*
1	0	0	1	1	0	1	0	*	0	0	*	1	*	*	1
1	0	1	0	1	0	1	1	*	0	0	*	*	0	1	*
1	0	1	1	0	0	0	0	*	1	0	*	*	1	*	1

Таблица 1 Обобщённая таблица функционирования счётчика

Минимизация:

$J3 = Q0 * Q2$				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	0	0	0
01	0	1	-	-
11	-	-	-	-
10	*	*	*	*

Таблица 2 Минимизация J3

K3 = Q0 * Q1				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	*	*
01	*	*	-	-
11	-	-	-	-
10	0	0	1	0

Таблица 3 Минимизация K3

J2 = Q0 * Q1 * (!Q3)				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	0	1	0
01	*	*	-	-
11	-	-	-	-
10	0	0	0	0

Таблица 4 Минимизация J2

K2 = (!Q3) * Q0				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	*	*
01	0	1	-	-
11	-	-	-	-
10	*	*	*	*

Таблица 5 Минимизация K2

J1 = Q0 * (!Q2)				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	1	*	*
01	0	0	-	-
11	-	-	-	-
10	0	1	*	*

Таблица 6 Минимизация J1

K1 = Q0				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	1	0
01	*	*	-	-
11	-	-	-	-
10	*	*	1	0

Таблица 7 Минимизация K1

J0 = 1				
Q3,Q2/Q1,Q0	00	01	11	10
00	1	*	*	1
01	1	*	-	-
11	-	-	-	-
10	1	*	*	1

Таблица 8 Минимизация J0

K0 = 1				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	1	1	*
01	*	1	-	-
11	-	-	-	-
10	*	1	1	*

Таблица 9 Минимизация K0

Соберём схему:

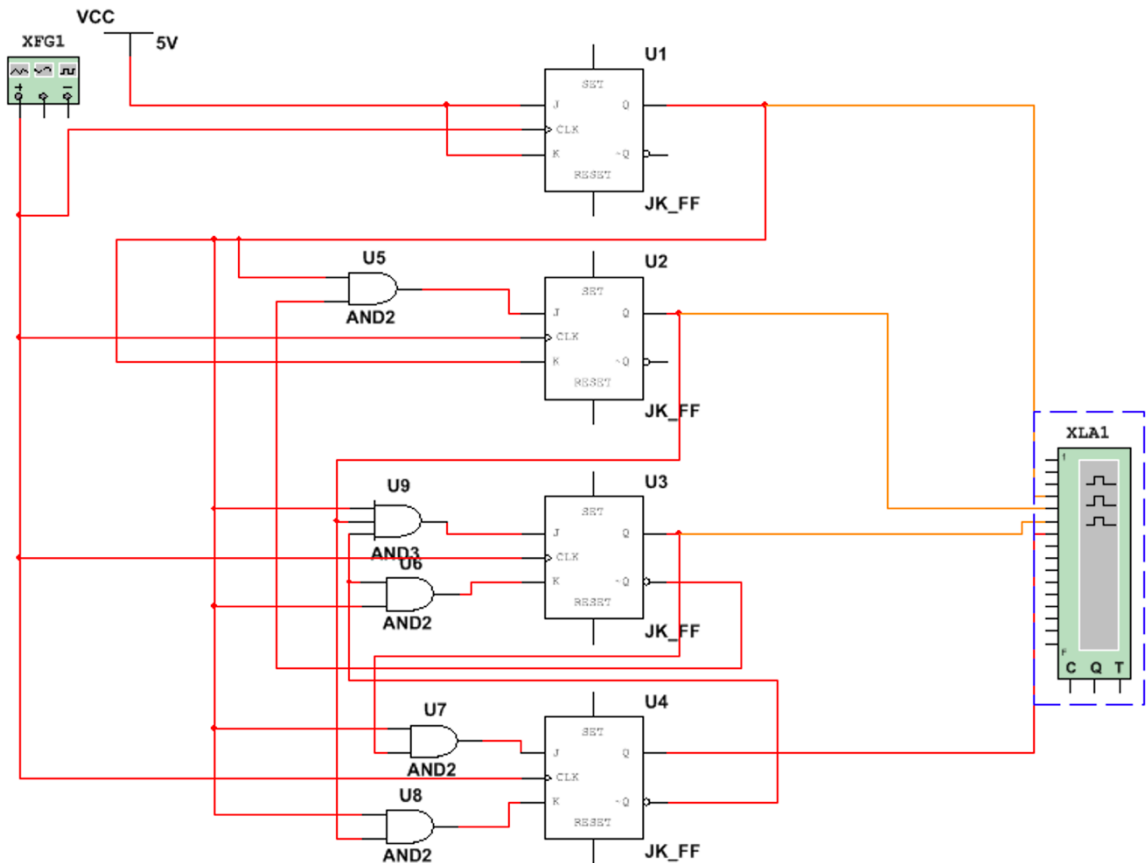


Рисунок 5 Схема двоично-десятичного счётчика

Видим, что счётчик построен верно:

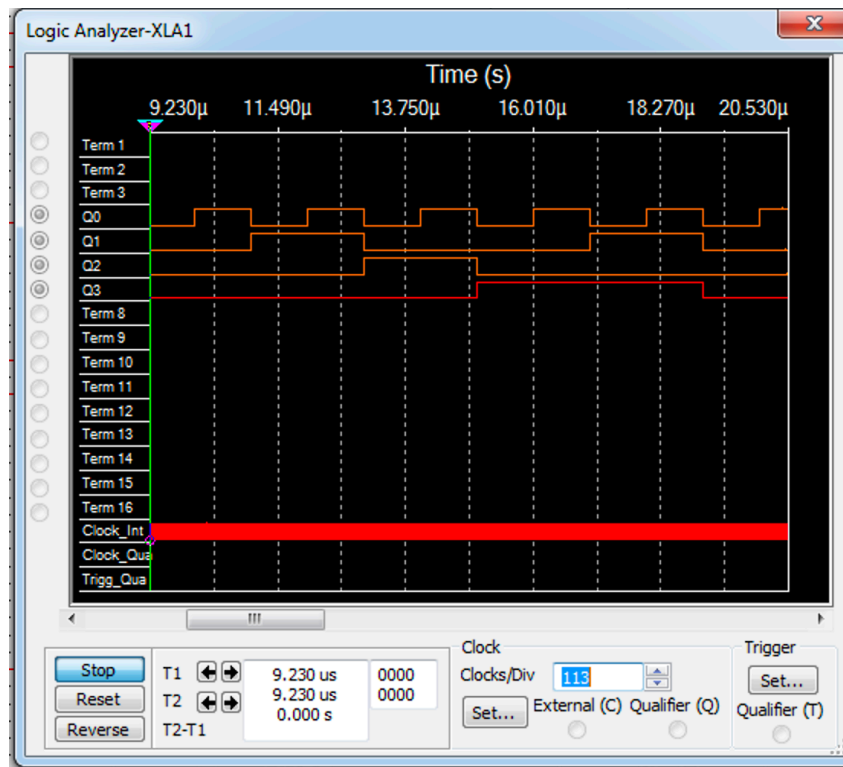


Рисунок 6 Временные диаграммы двоично-десятичного счётчика

3. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
0	1	0	0	0	1	0	1	0	*	*	0	0	*	1	*
0	1	0	1	0	1	1	0	0	*	*	0	1	*	*	1
0	1	1	0	0	1	1	1	0	*	*	0	*	0	1	*
0	1	1	1	1	0	0	0	1	*	*	1	*	1	*	1
1	0	0	0	1	0	0	1	*	0	0	*	0	*	1	*
1	0	0	1	0	0	0	0	*	1	0	*	0	*	*	1

Таблица 10 Обобщённая таблица функционирования десятичного счётчика

Минимизация:

J3 = Q0 * Q1 * Q2				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	-	-	-	-
10	*	*	-	-

Таблица 11 Минимизация J3

K3 = Q0				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	*	*
01	*	*	*	*
11	-	-	-	-
10	0	1	-	-

Таблица 11 Минимизация K3

J2 = Q0 * Q1				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	0	1	0
01	*	*	*	*
11	-	-	-	-
10	0	0	-	-

Таблица 11 Минимизация J3

K2 = Q0 * Q1				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	*	*
01	0	0	1	0
11	-	-	-	-
10	*	*	-	-

Таблица 11 Минимизация J2

J1 = (!Q3) * Q0				
Q3,Q2/Q1,Q0	00	01	11	10
00	0	1	*	*
01	0	1	*	*
11	-	-	-	-
10	0	0	-	-

Таблица 11 Минимизация J1

K1 = Q0				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	*	1	0
01	*	*	1	0
11	-	-	-	-
10	*	*	-	-

Таблица 11 Минимизация K1

J0 = 1				
Q3,Q2/Q1,Q0	00	01	11	10
00	1	*	*	1
01	1	*	*	1
11	-	-	-	-
10	1	*	-	-

Таблица 11 Минимизация J0

K0 = 1				
Q3,Q2/Q1,Q0	00	01	11	10
00	*	1	1	*
01	*	1	1	*
11	-	-	-	-
10	*	1	-	-

Таблица 11 Минимизация K0

Построим схему:

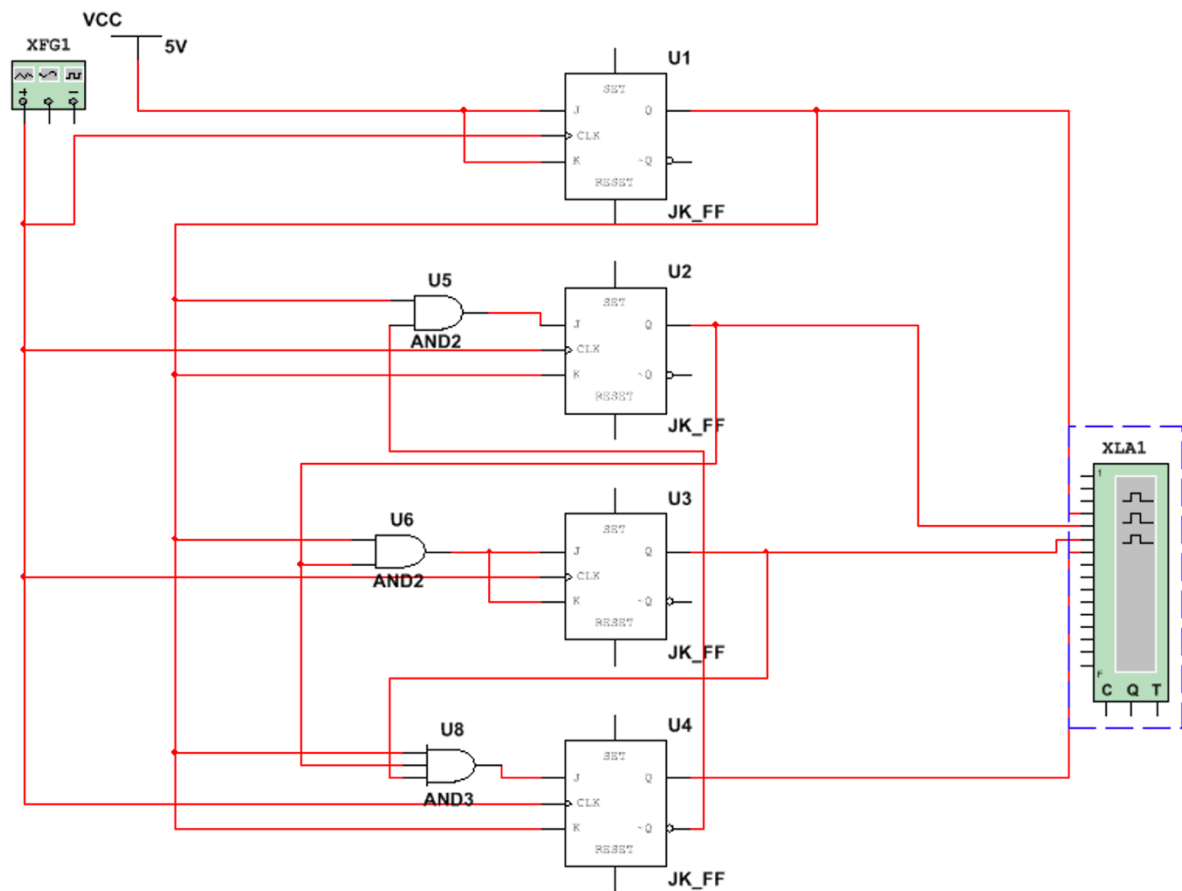


Рисунок 7 Схема десятичного счётчика

Видим, что схема построена корректно:

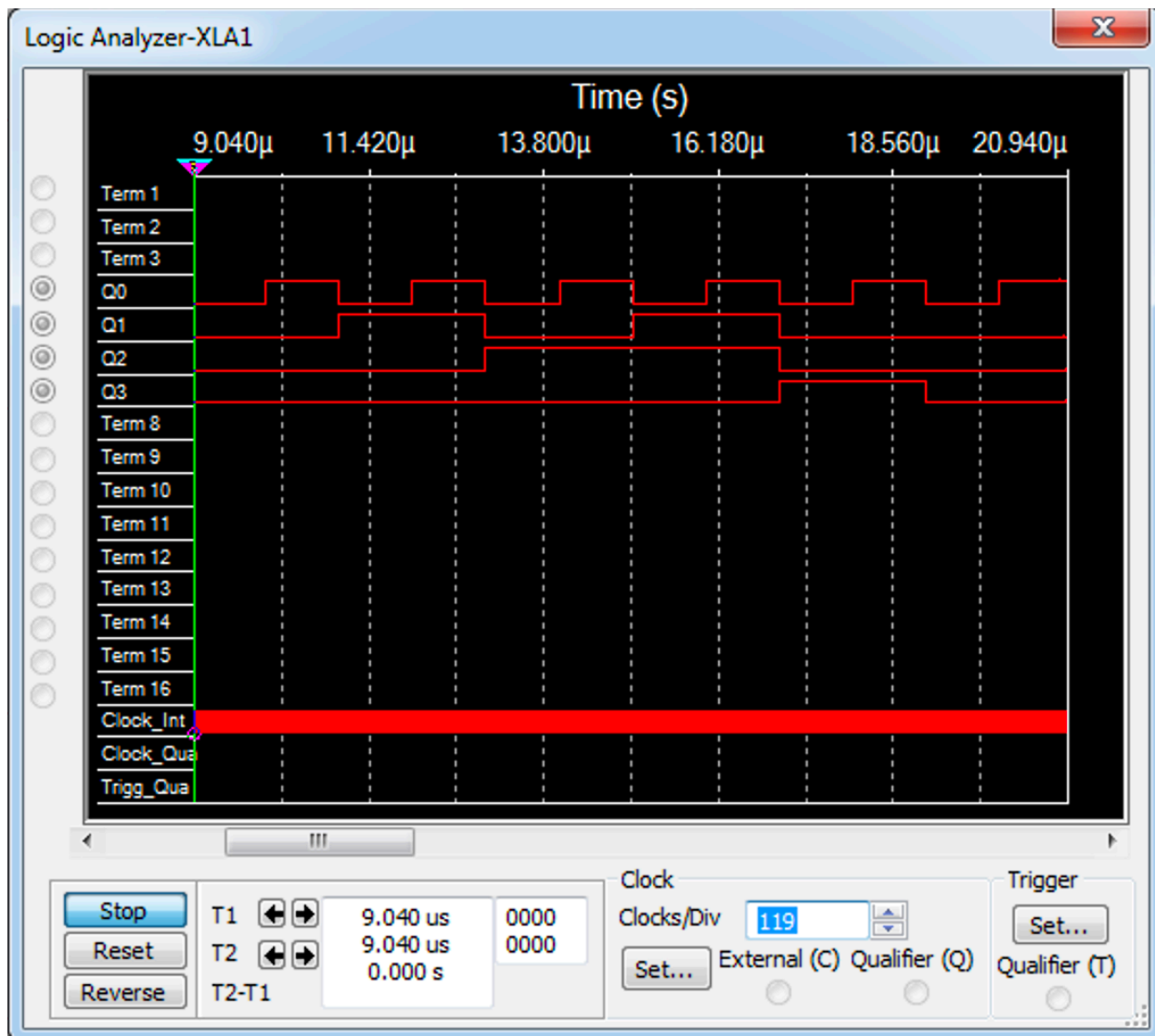


Рисунок 8 Временные диаграммы десятичного счётчика

4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

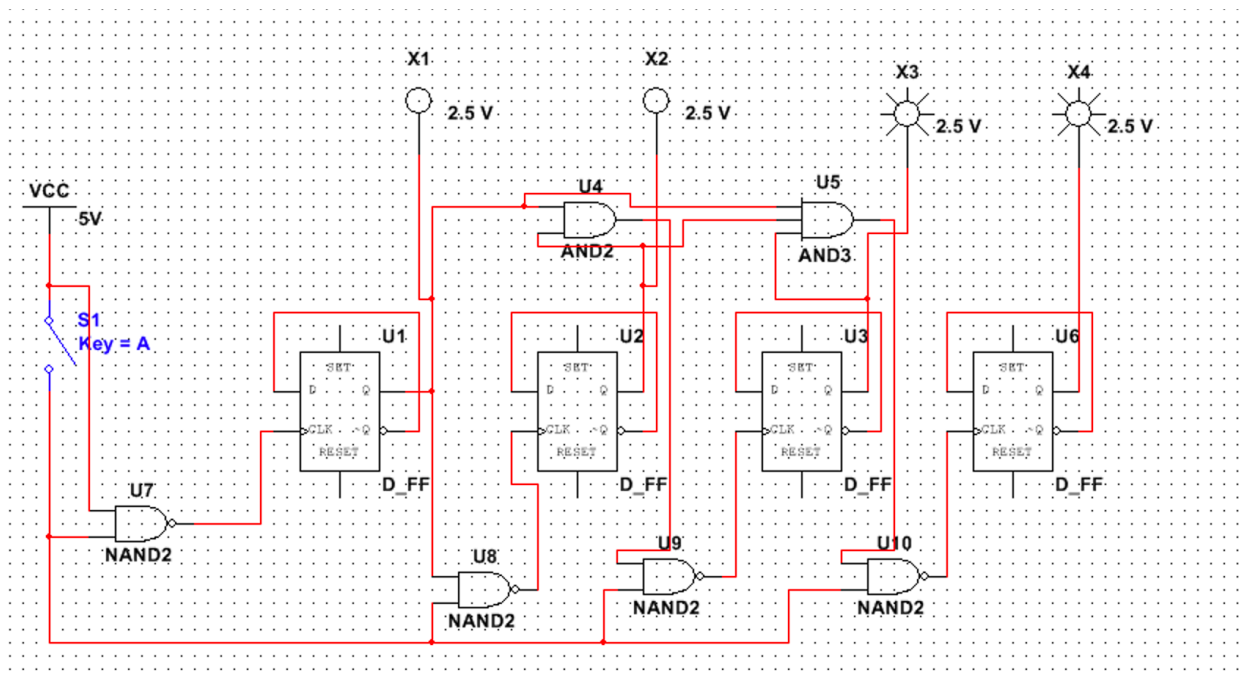


Рисунок 9 Схема четырёхразрядного счётчика на D-триггерах от одиночных импульсов

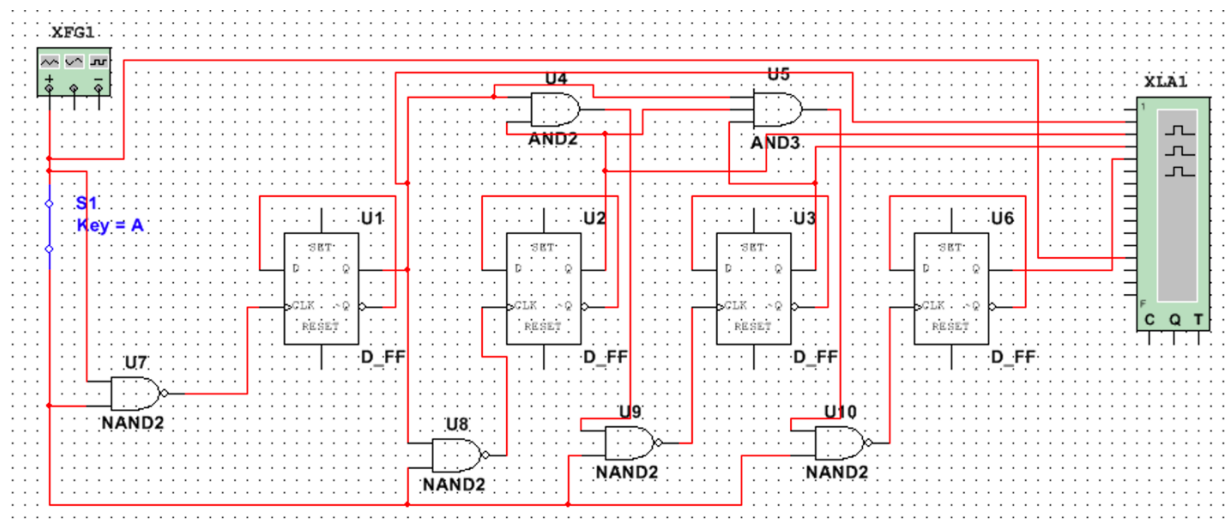


Рисунок 10 Схема четырёхразрядного счётчика на D-триггерах от импульсов генератора

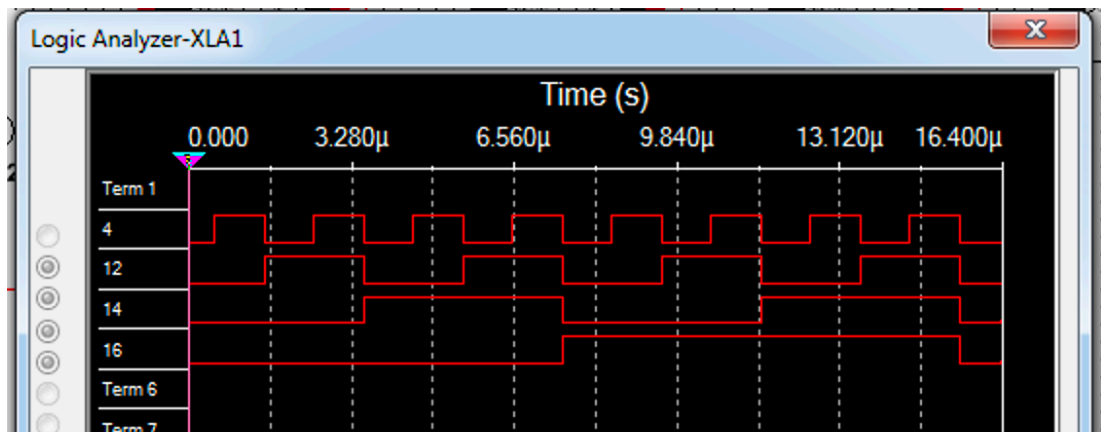


Рисунок 11 Временные диаграммы четырёхразрядного счётчика на D-триггерах

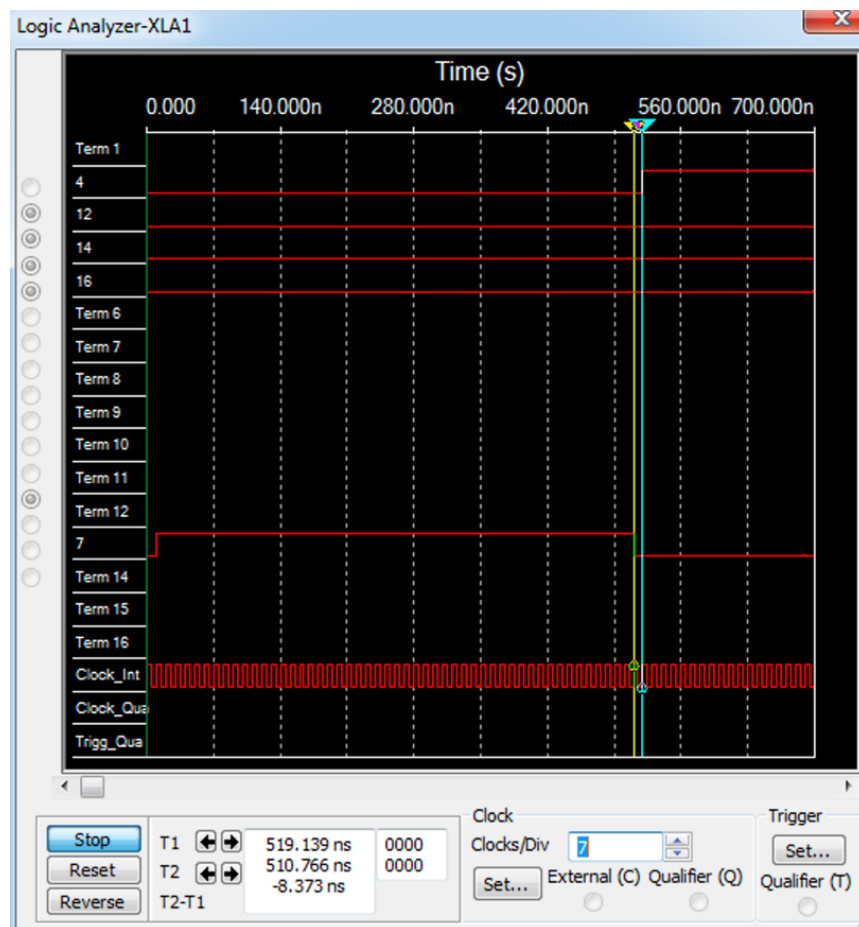


Рисунок 12 Время задержки четырёхразрядного счётчика на D-триггерах

Полученная задержка равна 8.373 ns. Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~16 ns. Максимальная частота счета, таким образом, составляет $1/(16 \text{ ns}) = 62.5 \text{ МГц}$.

5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС K555IE9, аналог ИС 74LS160. Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

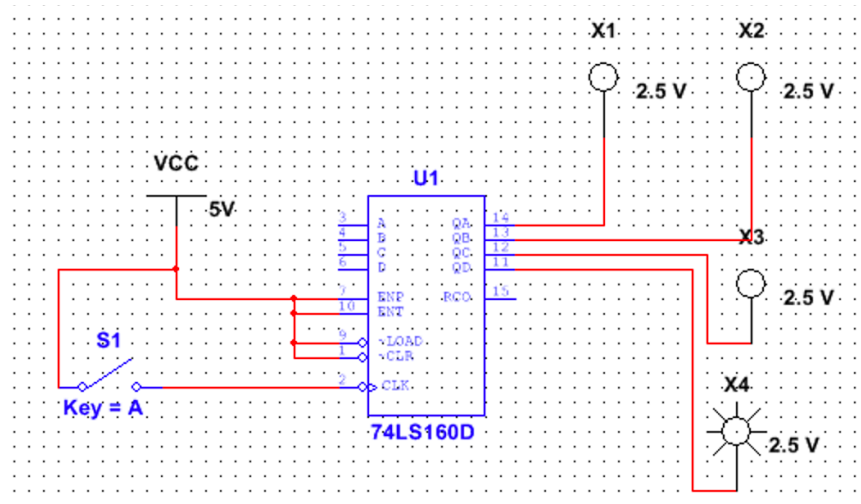


Рисунок 13 Суммирующий счётчик ИС 74LS160 от одиночных импульсов

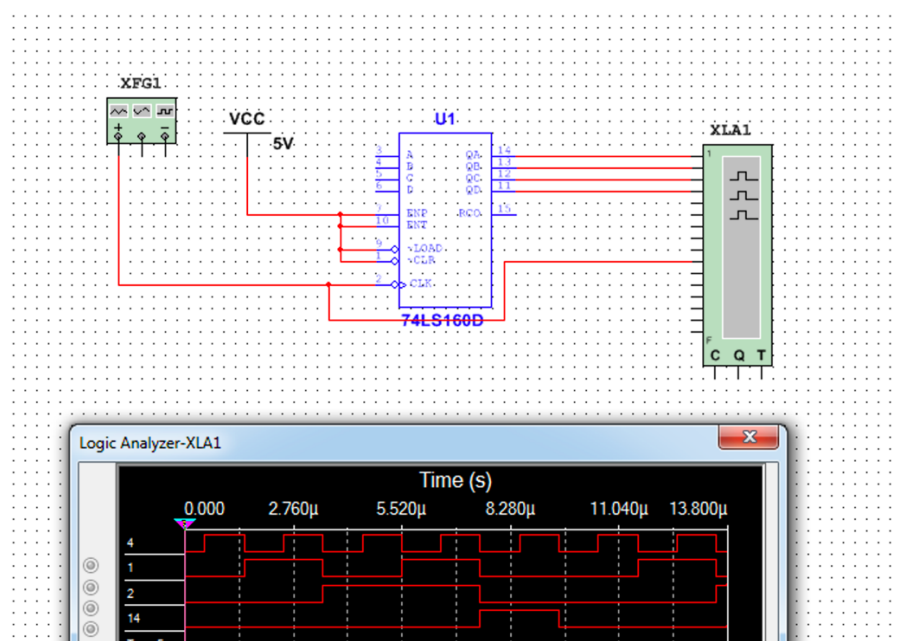


Рисунок 14 Суммирующий счётчик ИС 74LS160

6. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.

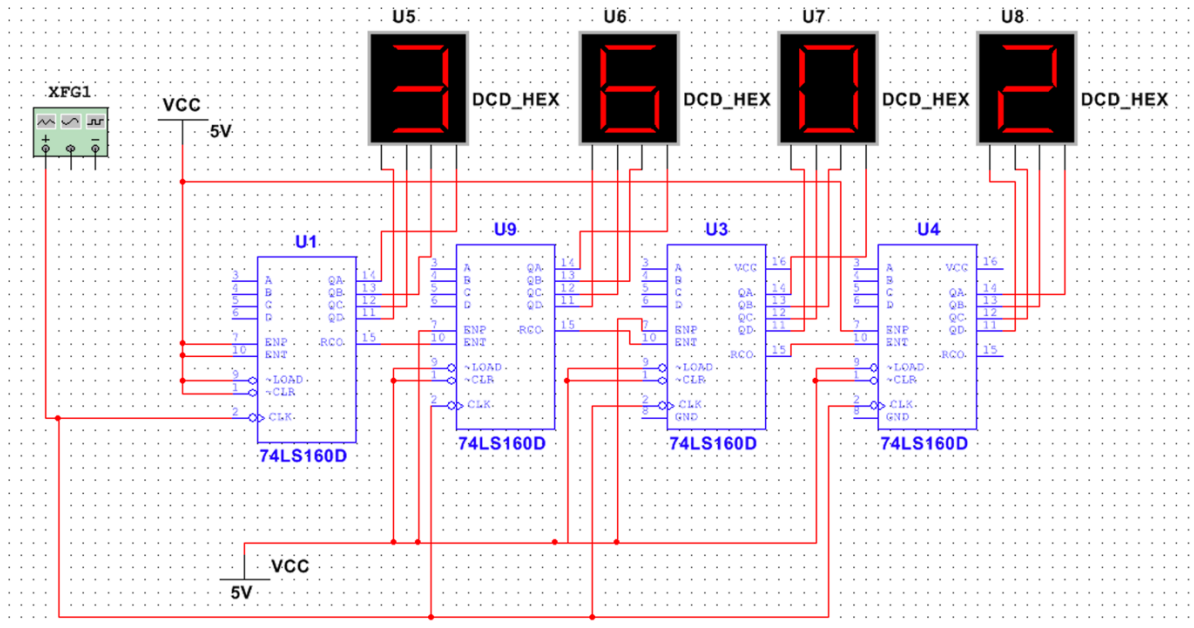


Рисунок 15 Схема наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями

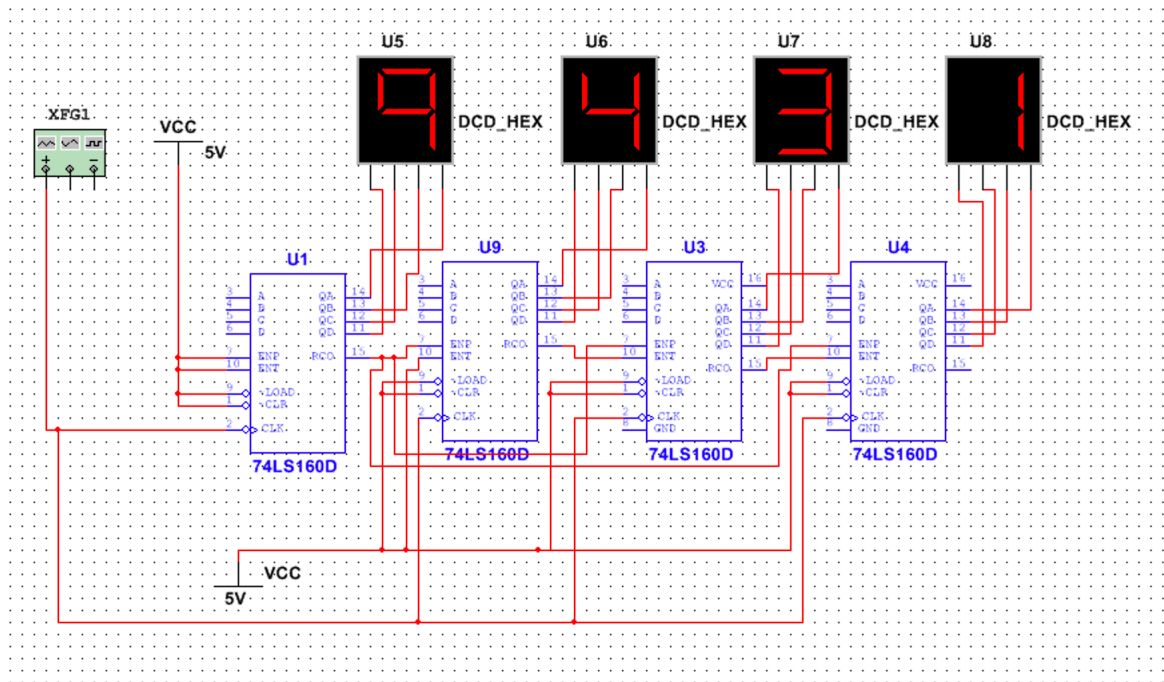


Рисунок 16 Схема наращивания разрядности счетчиков ИЕ9 до четырех секций по структуре «быстрого» счета

Вывод: в результате выполнения работы были изучены принципы построения счетчиков, получены навыки синтеза синхронных счетчиков, были экспериментально оценены динамические параметры счетчиков, изучены способы наращивания разрядности синхронных счетчиков.