



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-41Б

(Группа)

Е.А.

Варламова

(И.О. Фамилия)

(Подпись, дата)

Преподаватель

А.Ю. Попов

(И.О. Фамилия)

(Подпись, дата)

Москва, 2021

Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

- а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем.
- б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика. На вход счетчика подать импульсы генератора с частотой 500 кГц.
- в) снять временную диаграмму сигналов при EN=1 и провести ее анализ.

Вариант 4: 1 1 0 1 1 0 0 1

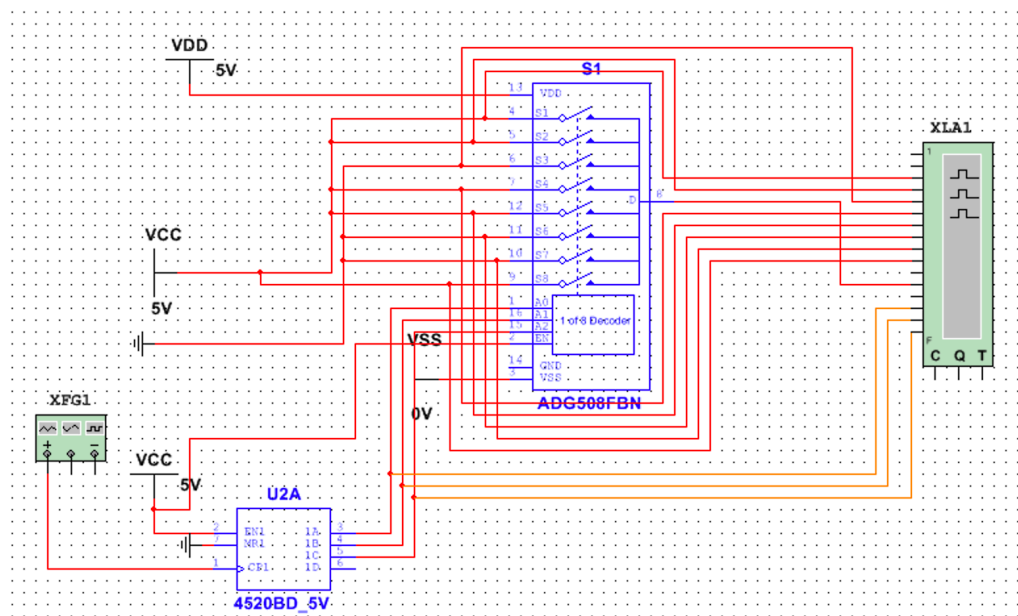


Рисунок 1 Коммутатор MUX 8 – 1 цифровых сигналов

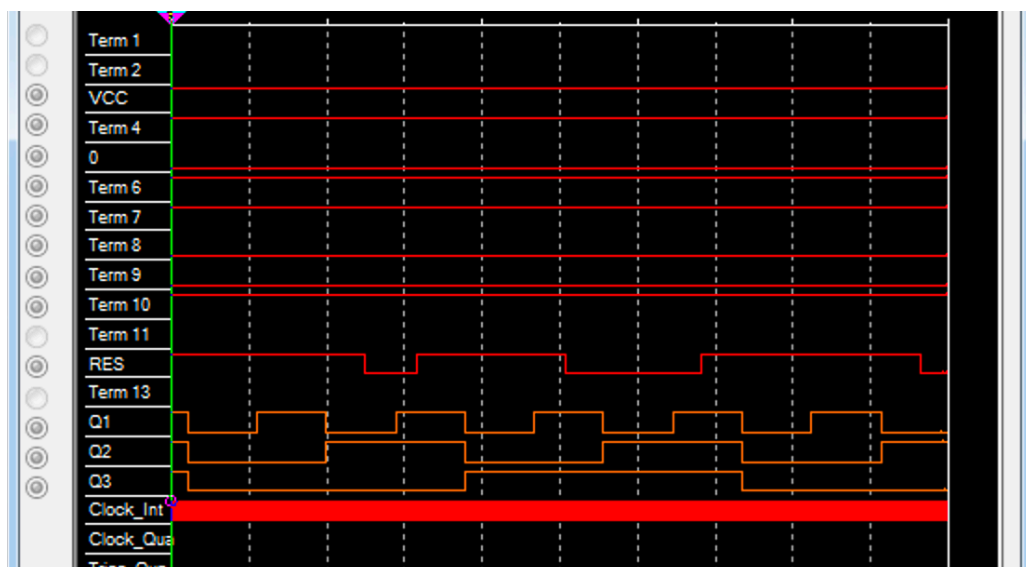


Рисунок 2 Временная диаграмма коммутатора

2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

- а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;
- б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика. На вход счетчика подать импульсы генератора с частотой 500 кГц;
- в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе.

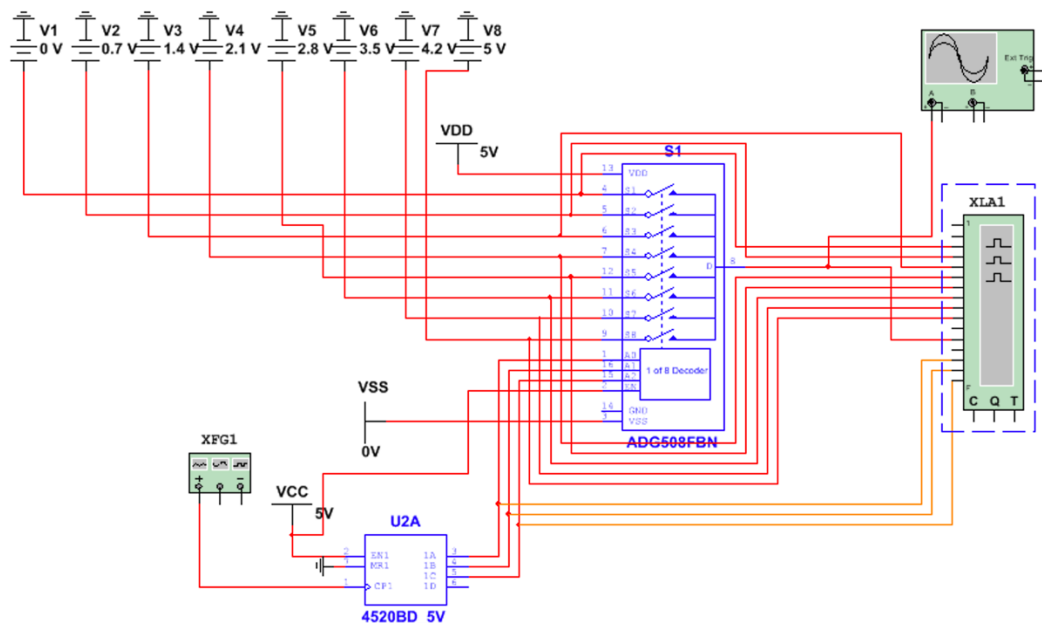


Рисунок 3 Коммутатор MUX 8 – 1 цифровых сигналов

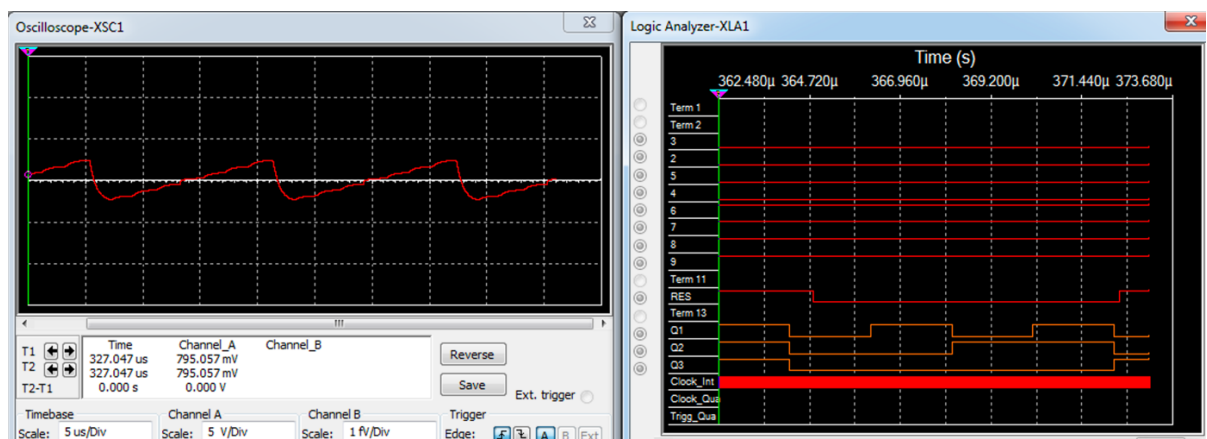


Рисунок 4 Временные диаграммы коммутатора

3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем. Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 4:

ФАЛ (3 6 7 8 11 12 13 15) => (0001 0011 1001 1101)

Построим таблицу истинности:

Набор	X4	X3	X2	X1	f	D
0	0	0	0	0	0	D0 = 0
1	0	0	0	1	0	
2	0	0	1	0	0	D1 = X1
3	0	0	1	1	1	
4	0	1	0	0	0	D2 = 0
5	0	1	0	1	0	
6	0	1	1	0	1	D3 = 1
7	0	1	1	1	1	
8	1	0	0	0	1	D4 = !X1
9	1	0	0	1	0	
10	1	0	1	0	0	D5 = X1
11	1	0	1	1	1	
12	1	1	0	0	1	D6 = 1
13	1	1	0	1	1	
14	1	1	1	0	0	D7 = X1
15	1	1	1	1	1	

Таблица 1 Таблица истинности ФАЛ

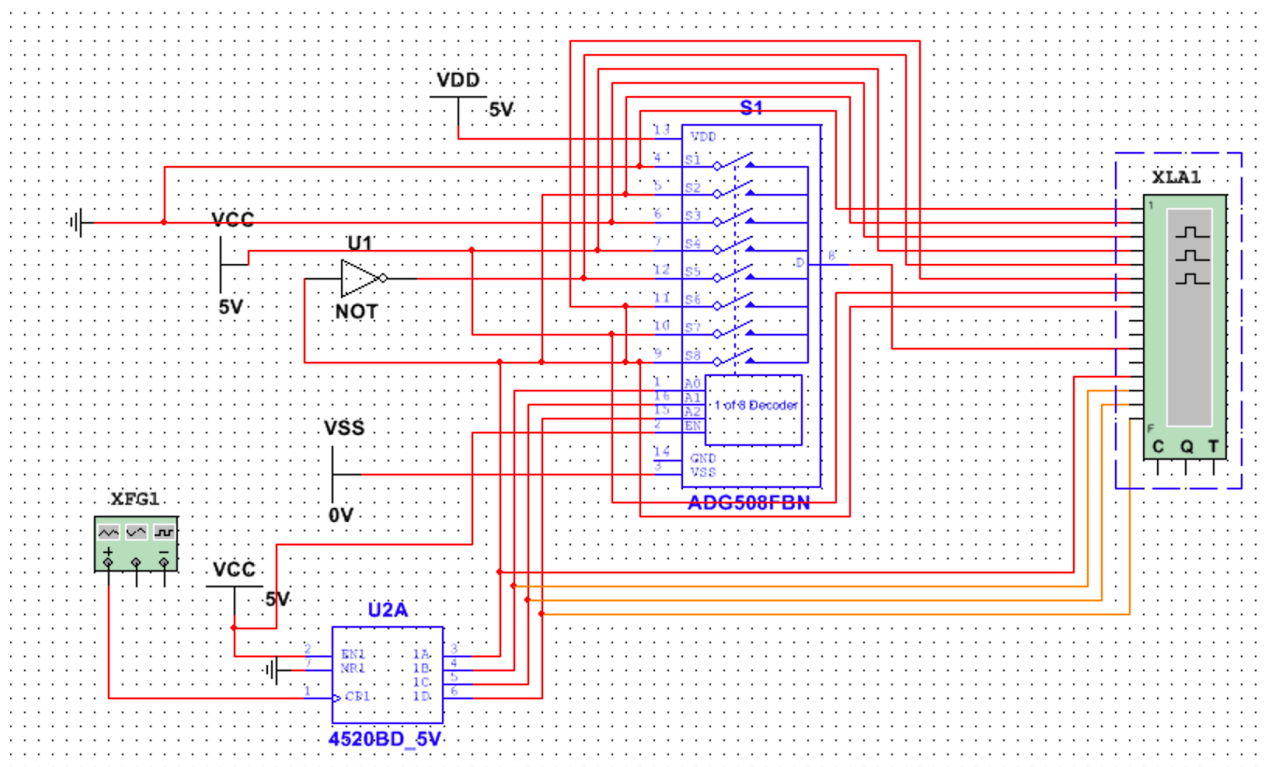


Рисунок 5 Коммутатор MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных

По временной диаграмме видим, что схема соответствует ФАЛ:

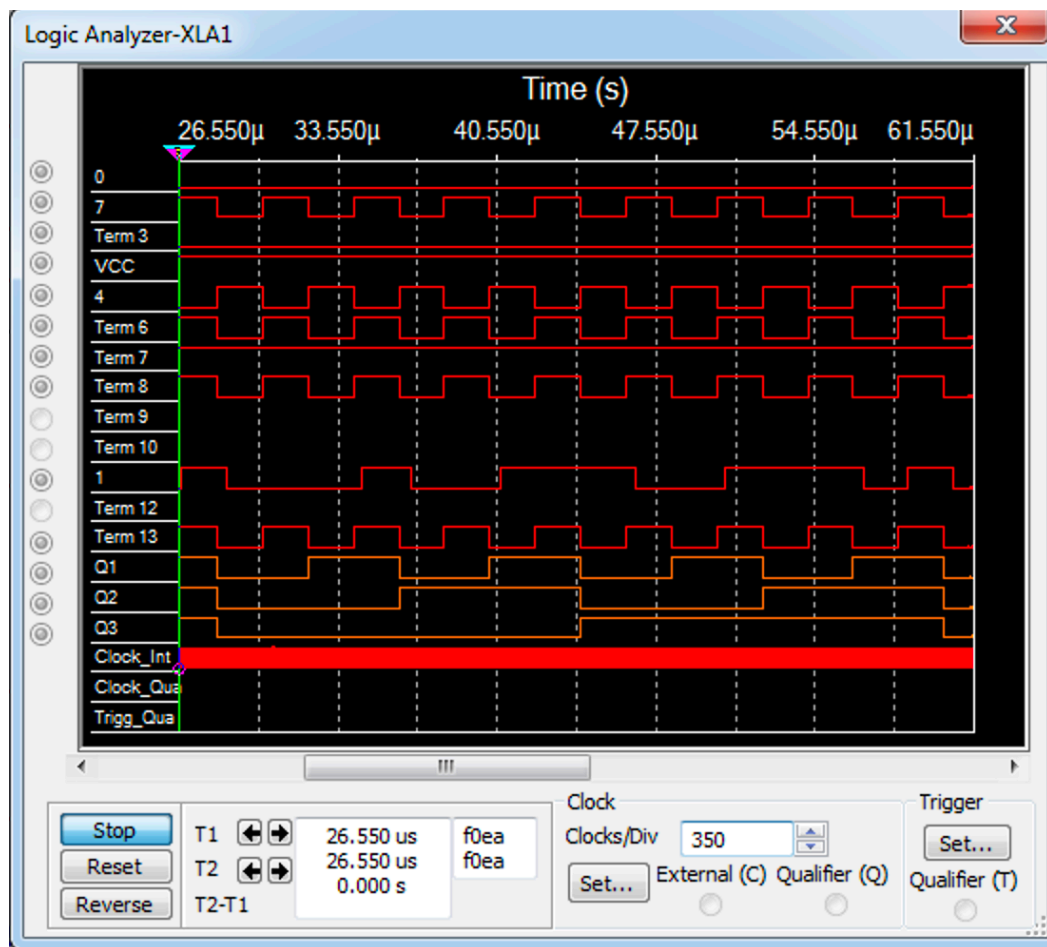


Рисунок 6 Временная диаграмма сигналов формирователя ФАЛ

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексор MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из таблицы, заданной преподавателем. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

Вариант 4:

D0...D15: (0001 0011 1001 1101)

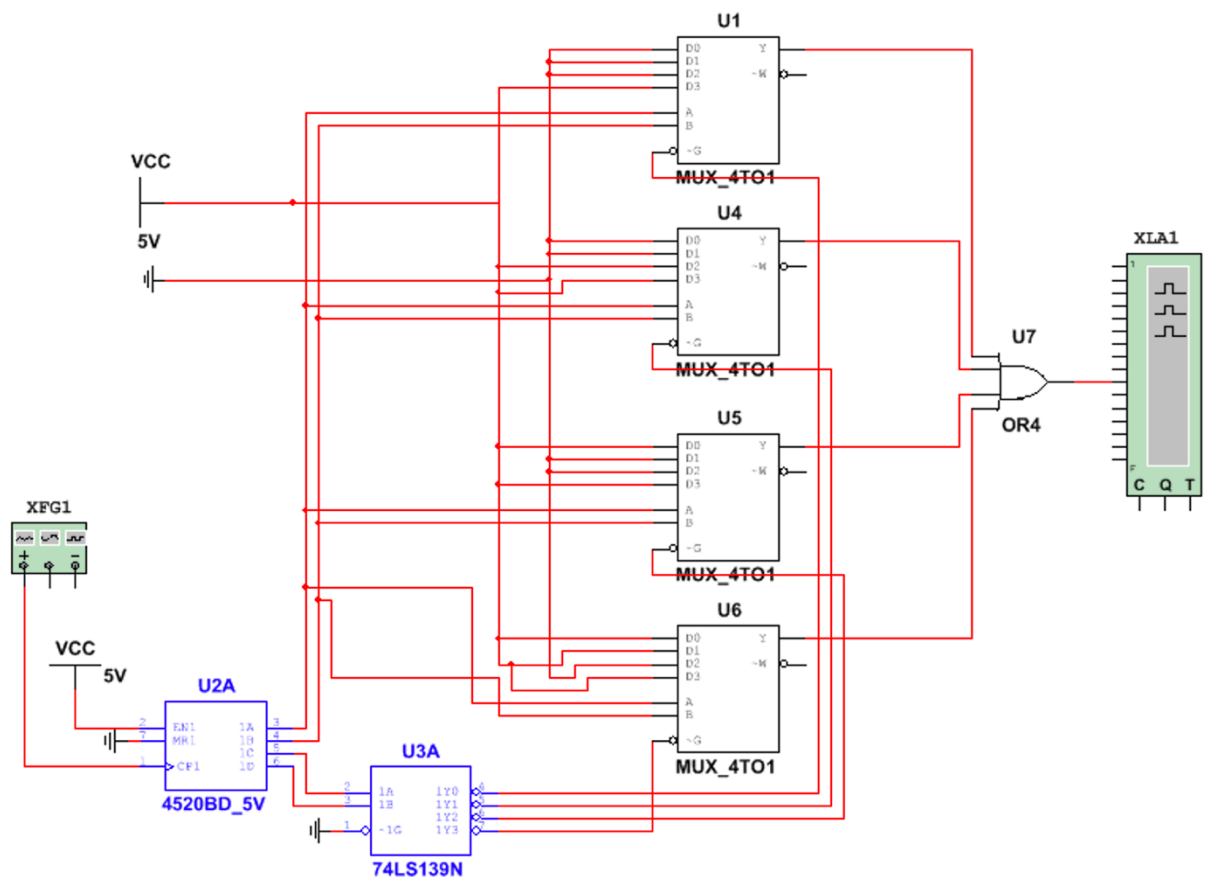


Рисунок 7 Мультиплексор MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2

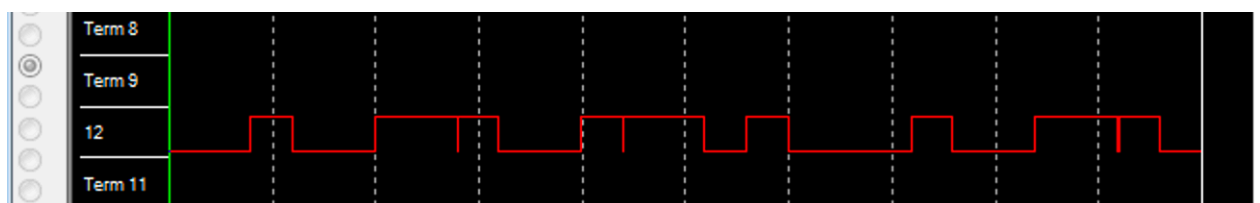


Рисунок 8 Временная диаграмма мультиплексора 16 - 1

Видим, что схема построена верно.

Вывод: были изучены принципы построения, практического применения и экспериментального исследования мультиплексоров.