|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-41Б |  |  | Е.А. Варламова |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

*Цель работы* – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

**1. Исследование линейного двухвходового дешифратора с инверсными выходами:**

*а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A0, A1 задать в выходы Q0, Q1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;*

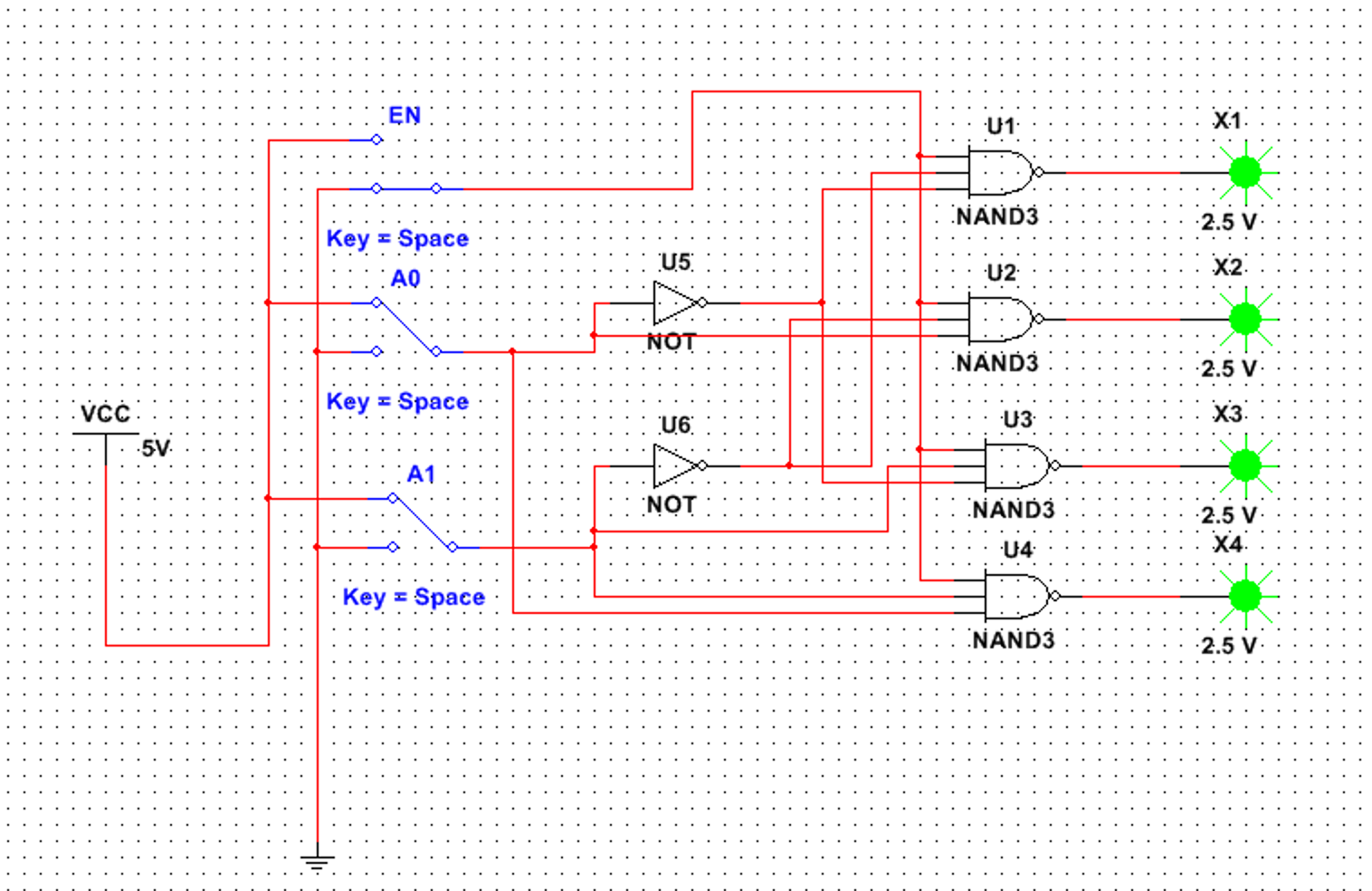


Рисунок 1 Линейный стробируемый дешифратор

*б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);*

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| EN | A1 | A2 | F1 | F2 | F3 | F4 |
| 0 | x | x | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица 1 Таблица истинности нестробируемого дешифратора

*в) подать на вход счетчика сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;*

Изменяем схему:

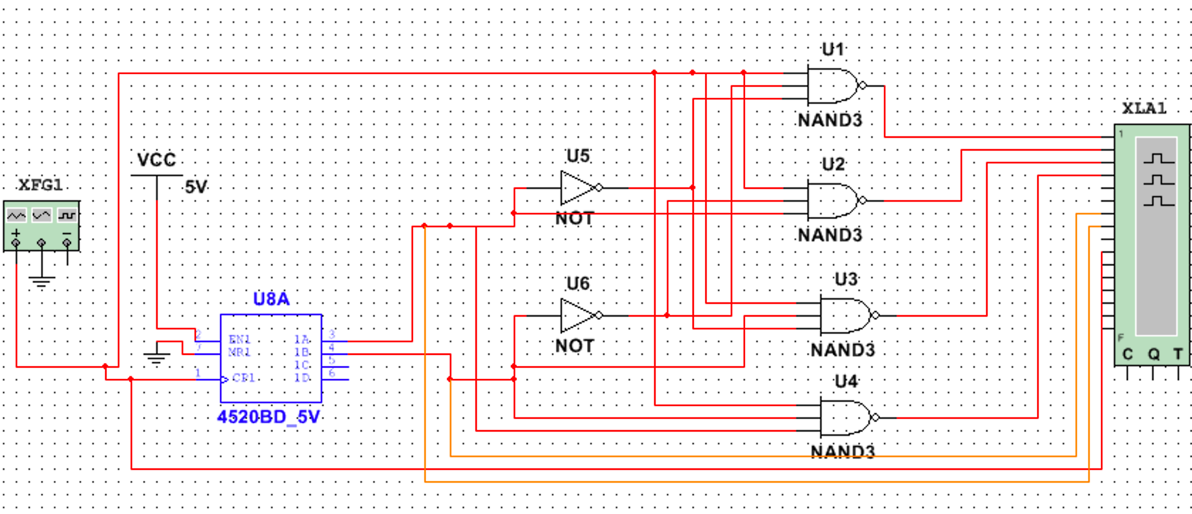


Рисунок 2 Линейный стробируемый дешифратор с сигналом генератора на входе

Снимаем временные диаграммы:

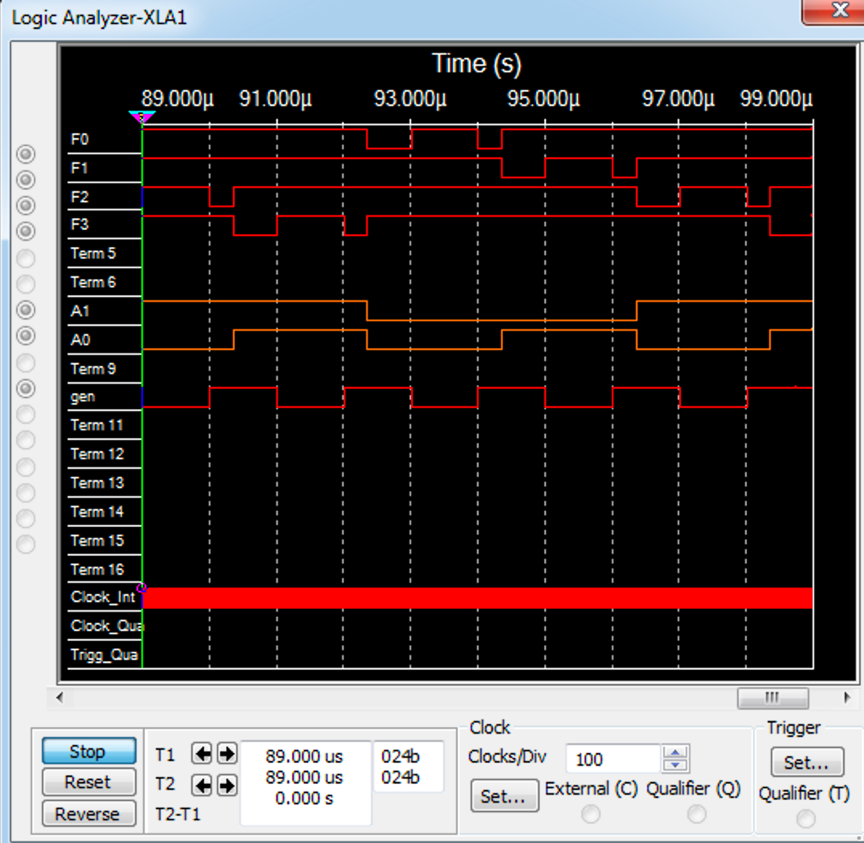


Рисунок 3 Временные диаграммы линейного дешифратора

*г) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);*

Поставим 2 инвертора:

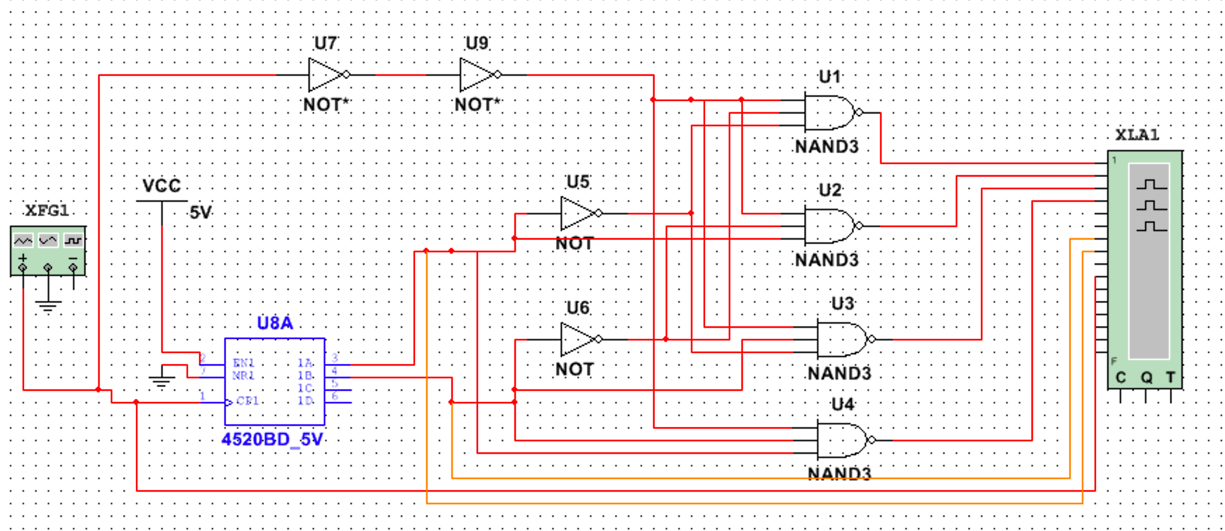


Рисунок Стробируемый дешифратор с использованием инверторов для задержки сигнала генератора

Получим следующие временные диаграммы:

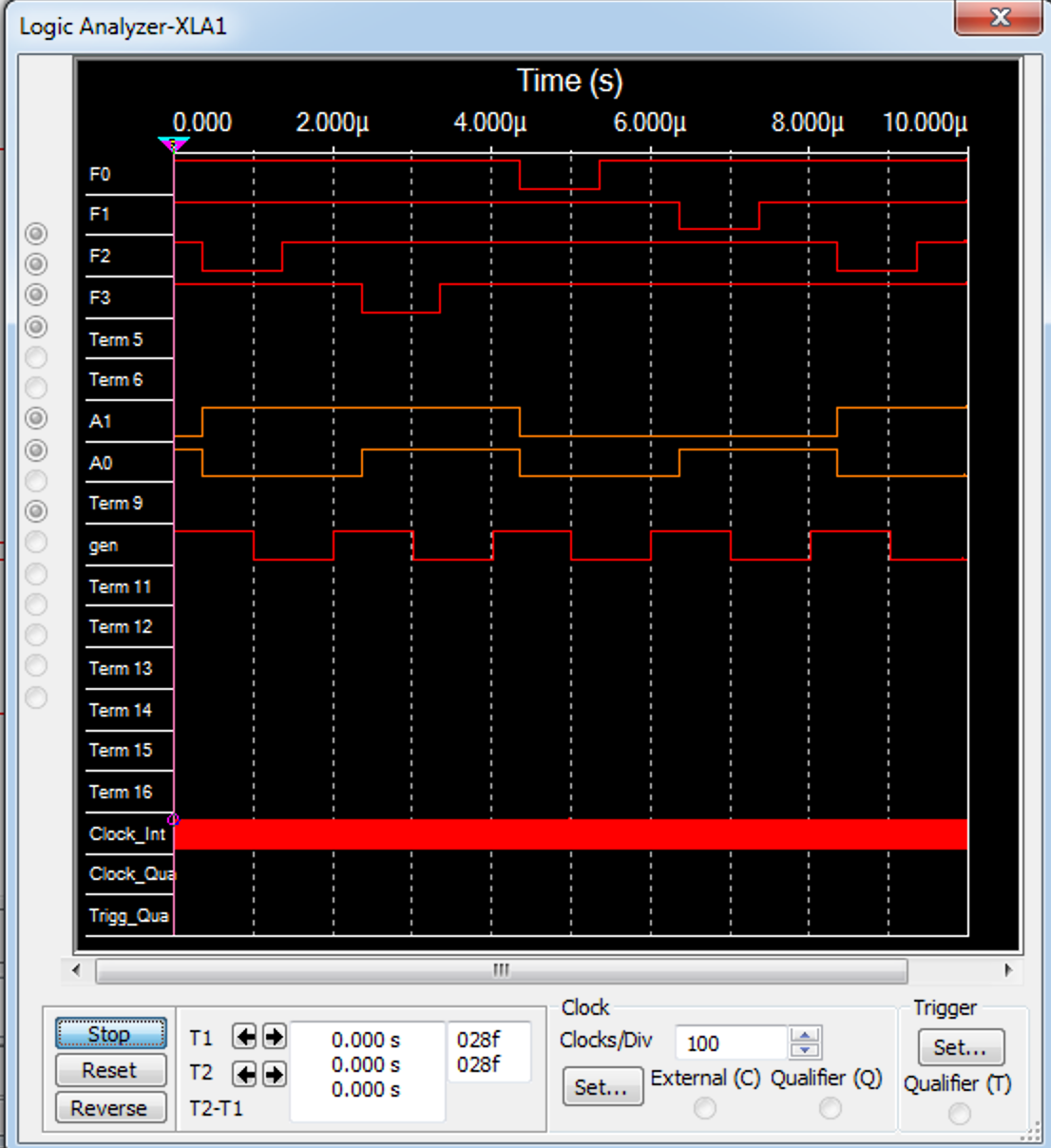


Рисунок Временные диаграммы дешифратора с задержанным сигналом генератора

*д) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.*

Диаграмма снята со схемы из рисунка 2:

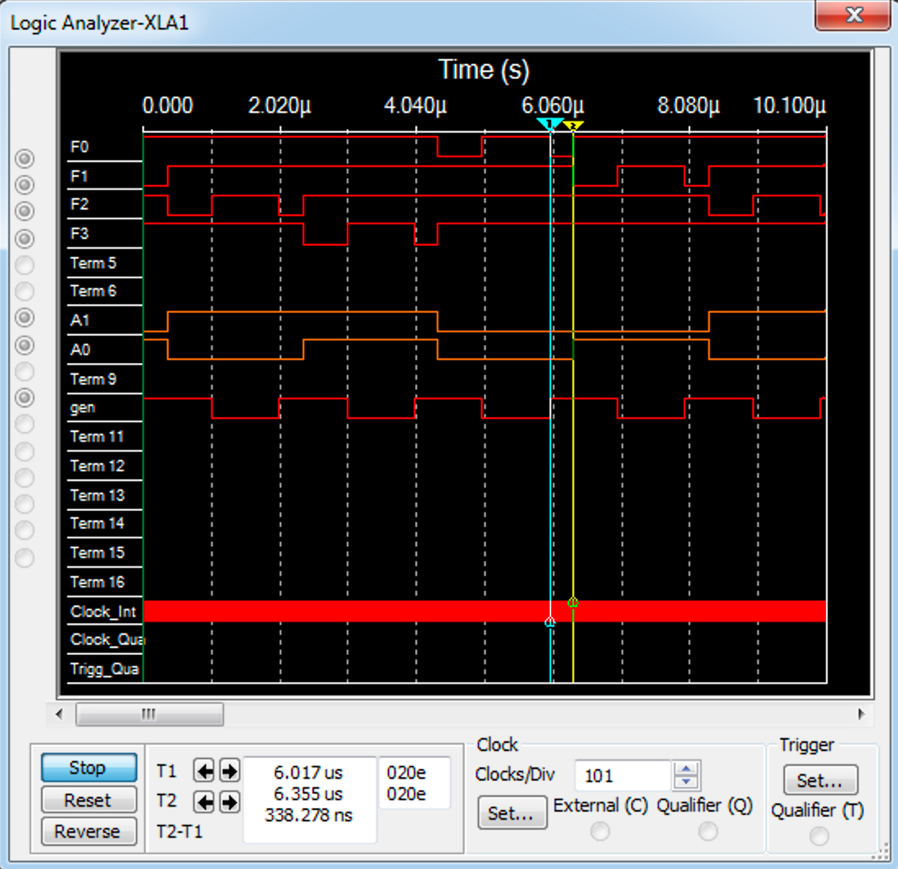


Рисунок Время задержки, необходимое для устранения помех на выходах дешифратора

**2. Исследование дешифраторов ИС К155ИД4 (74LS155)**

*а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы E3 и E4 – импульсы генератора, задержанные линией задержки;*

Схема:

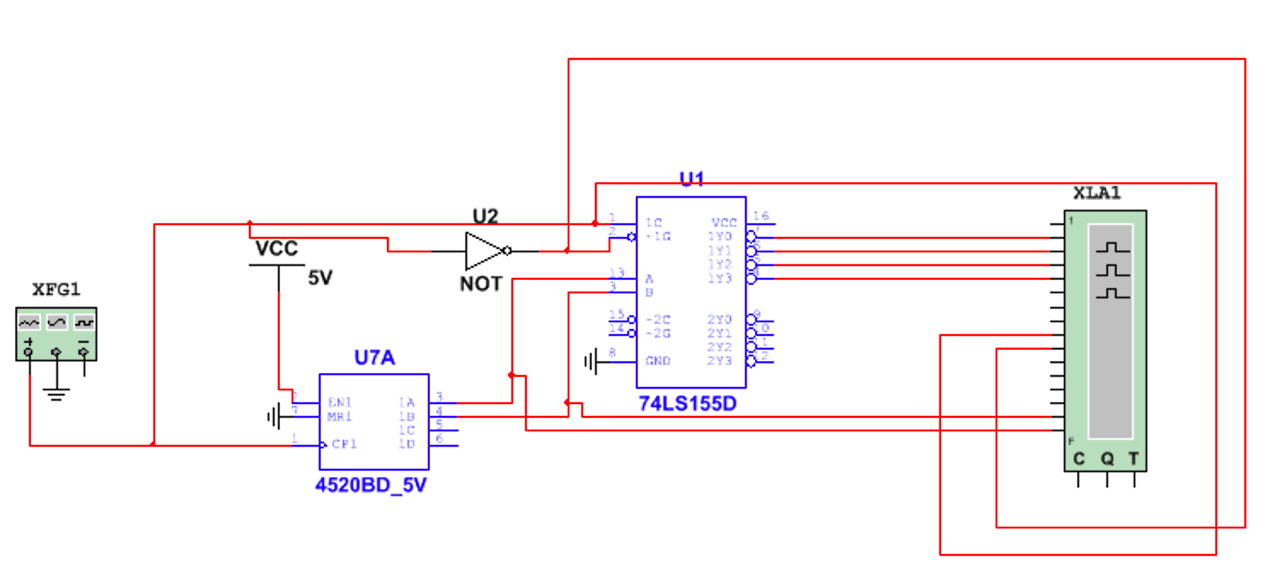


Рисунок Дешифратор 74LS155

Построим временные диаграммы:

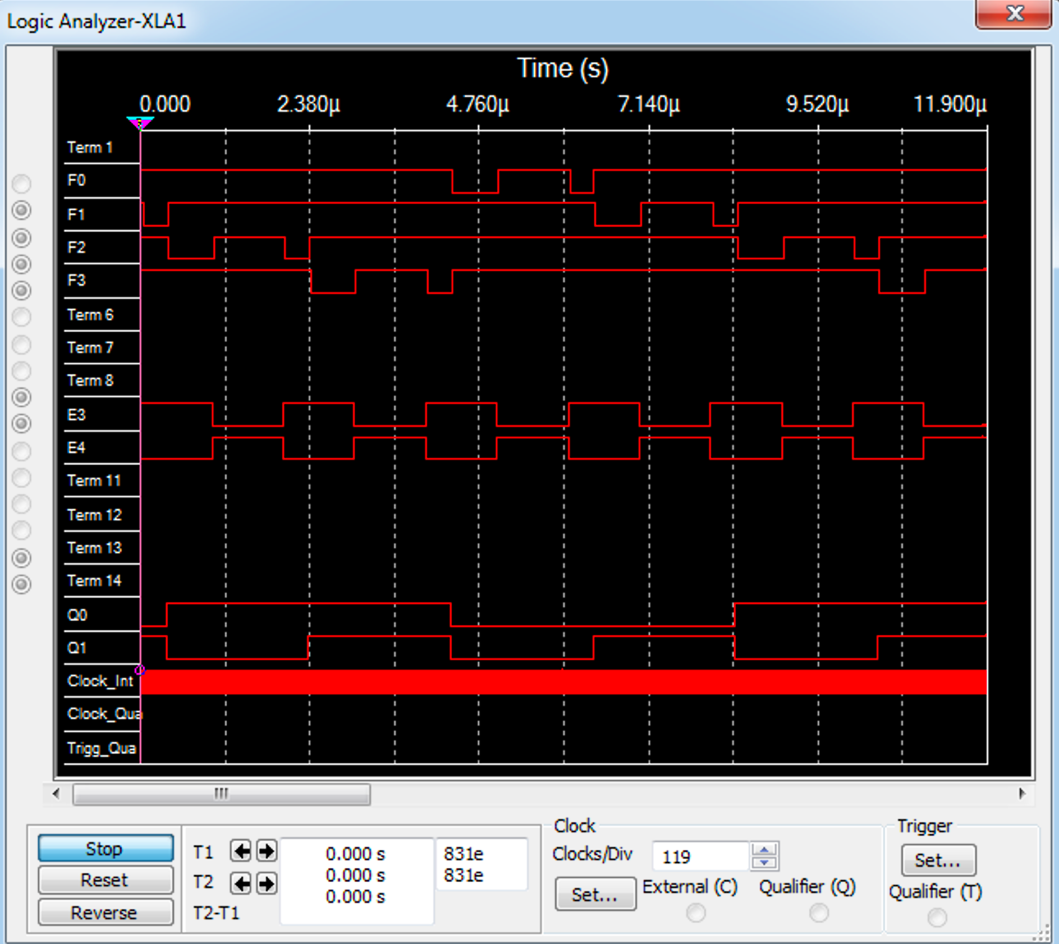


Рисунок Временные диаграммы дешифратора 74LS155

*б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;*

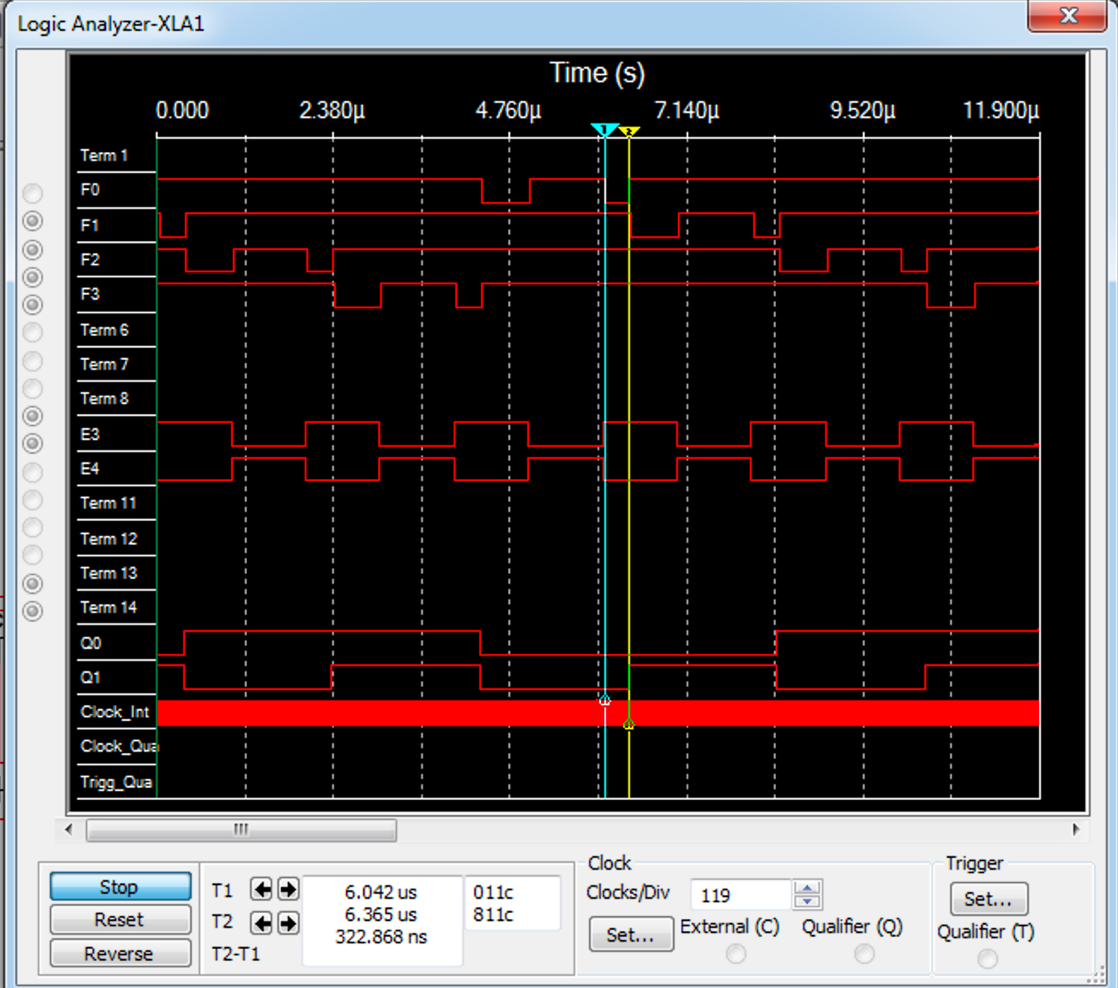


Рисунок Время задержки сигнала для исключения помех на дешифраторе

*в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A0, A1, A2 с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.*

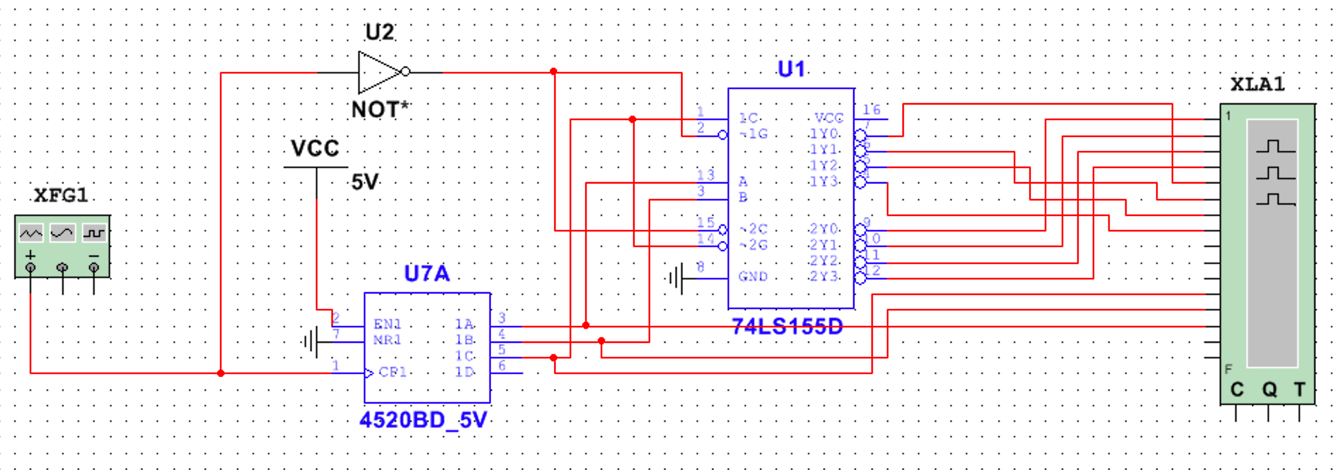


Рисунок Трехвходовый дешифратор

Построим временные диаграммы:

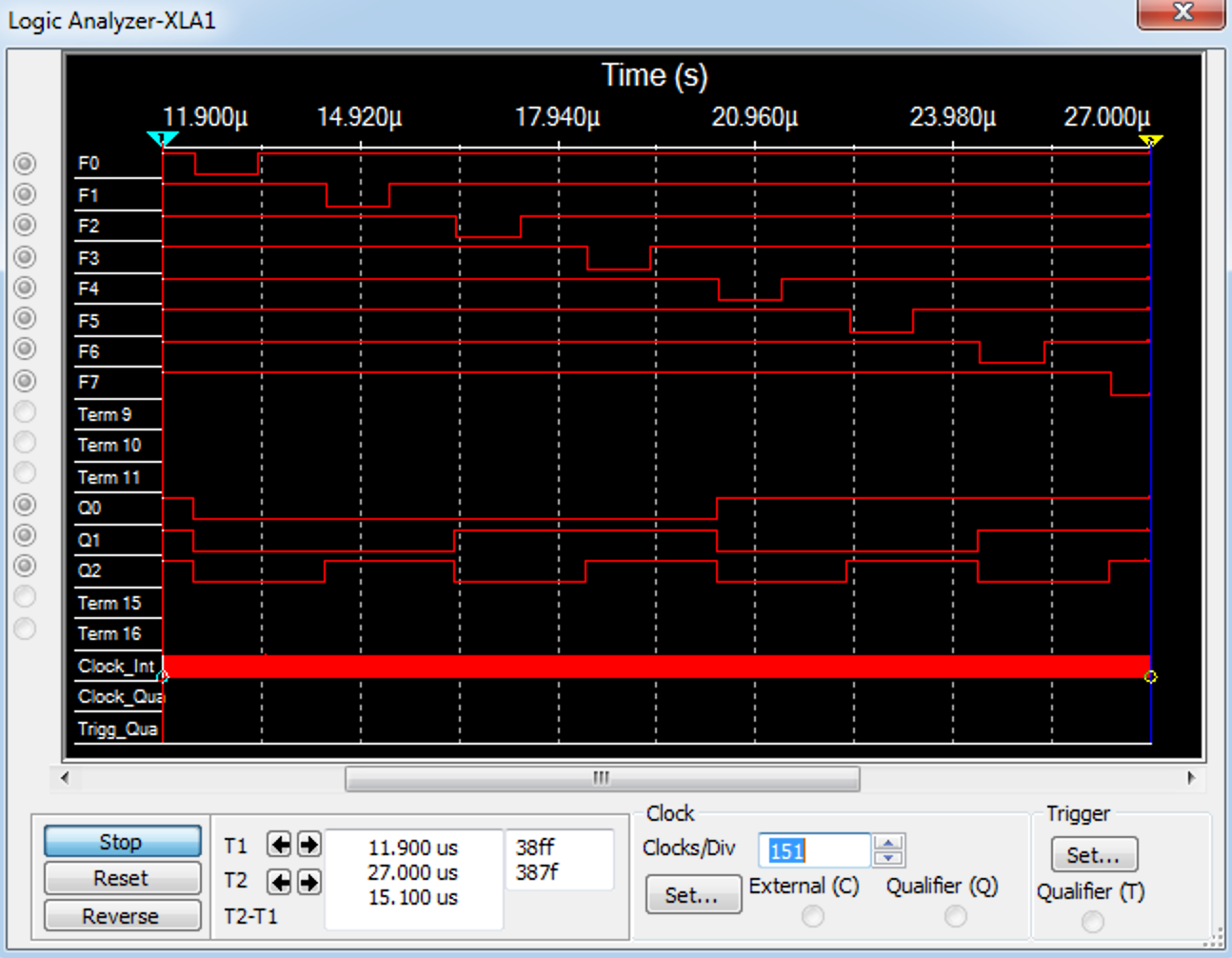


Рисунок Временные диаграммы трёхвходового дешифратора

Опираясь на временные диаграммы, построим таблицу истинности:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Q0** | **Q1** | **Q2** | **F0** | **F1** | **F2** | **F3** | **F4** | **F5** | **F6** | **F7** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица 2 Таблица истинности дешифратора 74LS155

**3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2.**

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B) с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции Not(EN1) · Not(EN2), ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

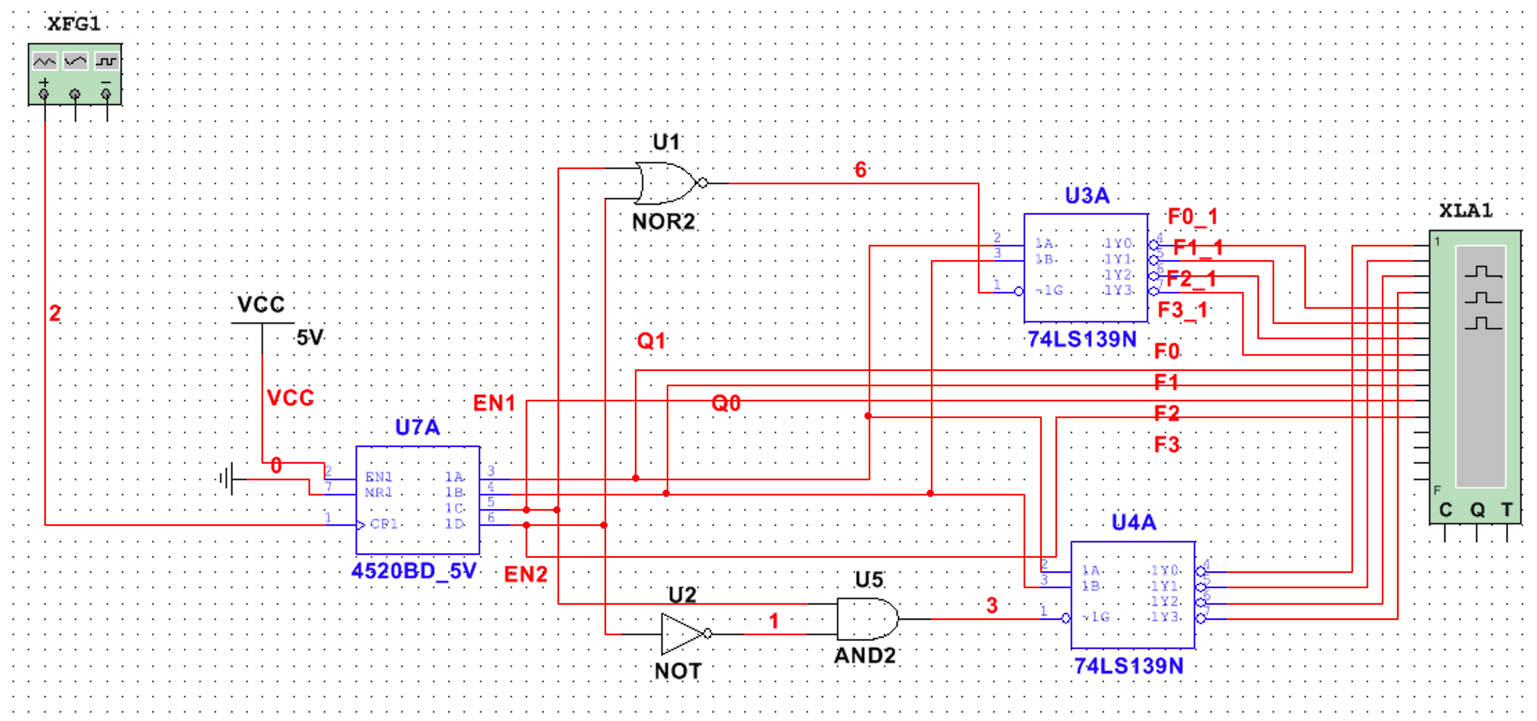


Рисунок 12 Два дешифратора DC 2-4

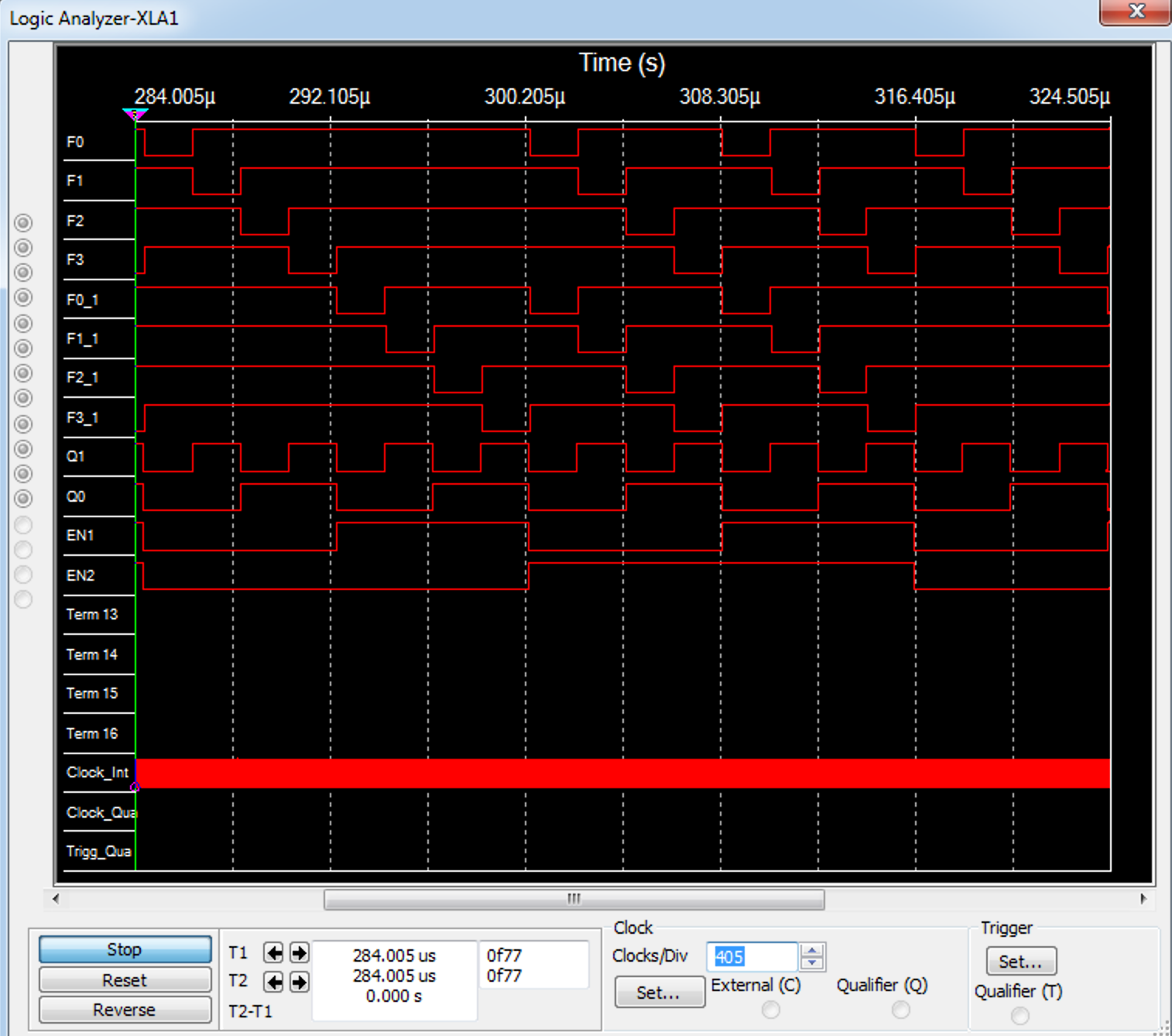
****

Рисунок 13 Временные диаграммы двух дешифраторов

**4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)**

*а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;*

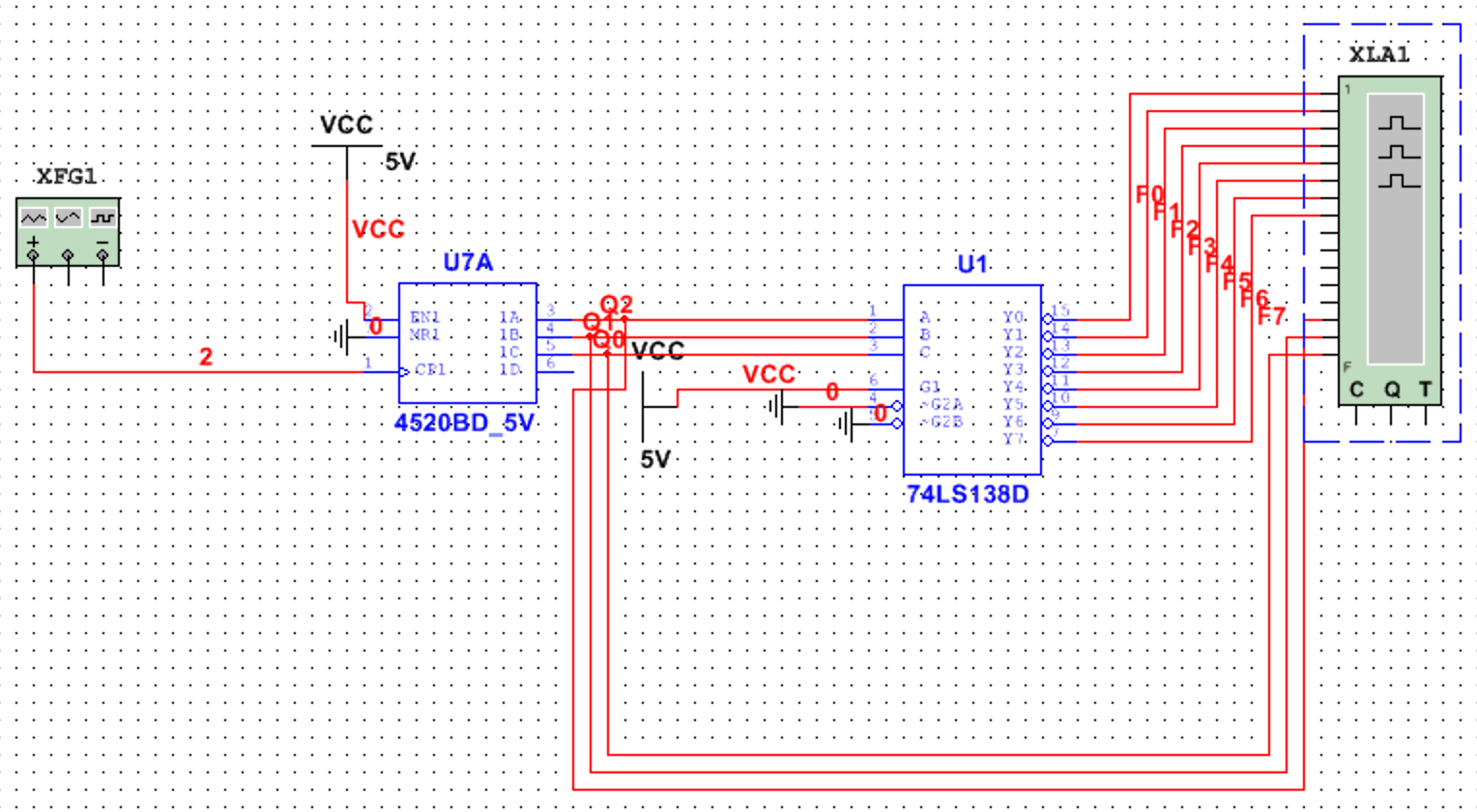


Рисунок 14 Дешифратор DC 3-8 (74LS138)

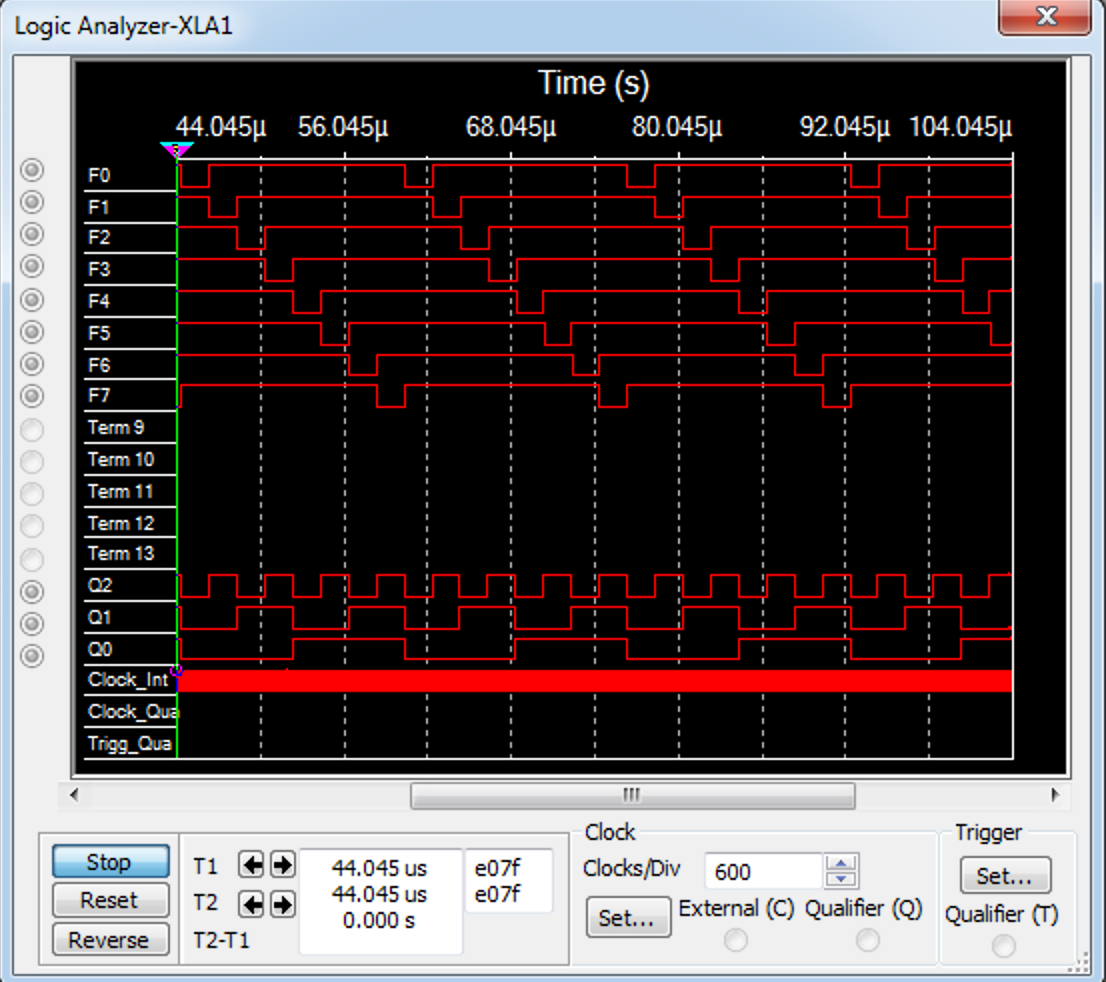


Рисунок 15 Временные диаграммы дешифратора DC 3-8 (74LS138)

*б) собрать схему дешифратора DC 5-32 cогласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.*

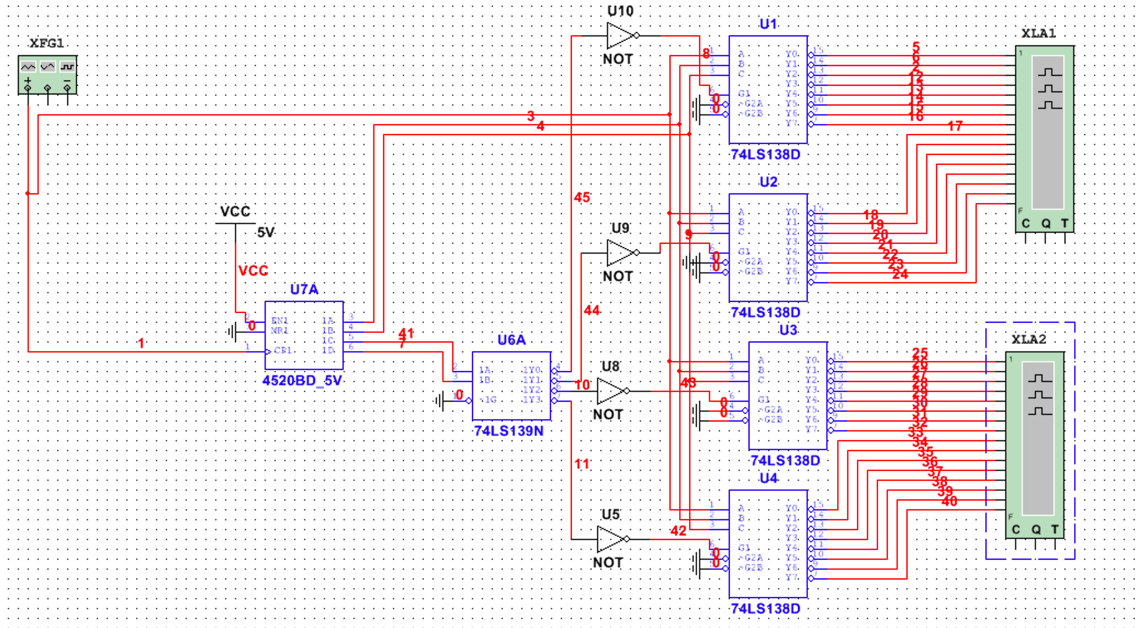


Рисунок 16 Дешифратор 5-32

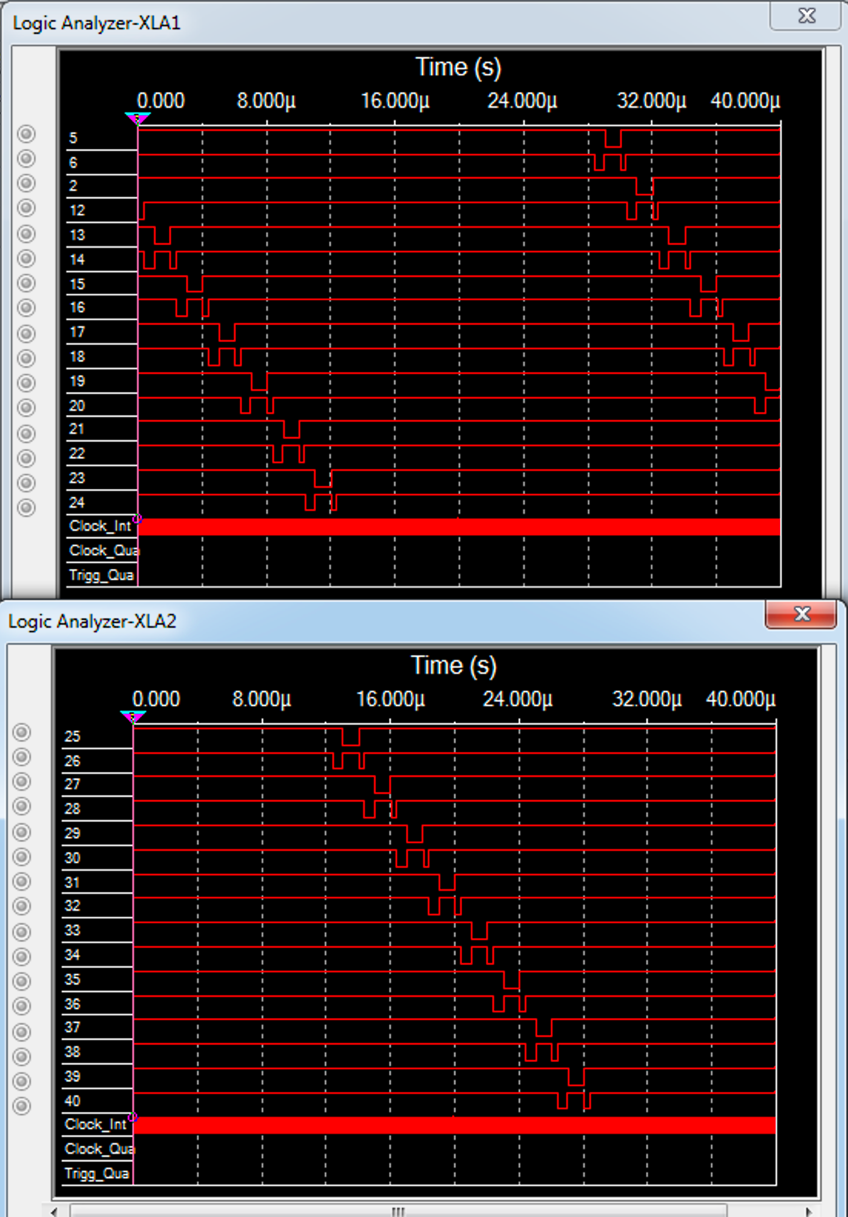


Рисунок 17 Временные диаграммы дешифратора 5-32

**Вывод**: были изучены принципы построения и методы синтеза дешифраторов, а также были экспериментально исследованы разные дешифраторы.