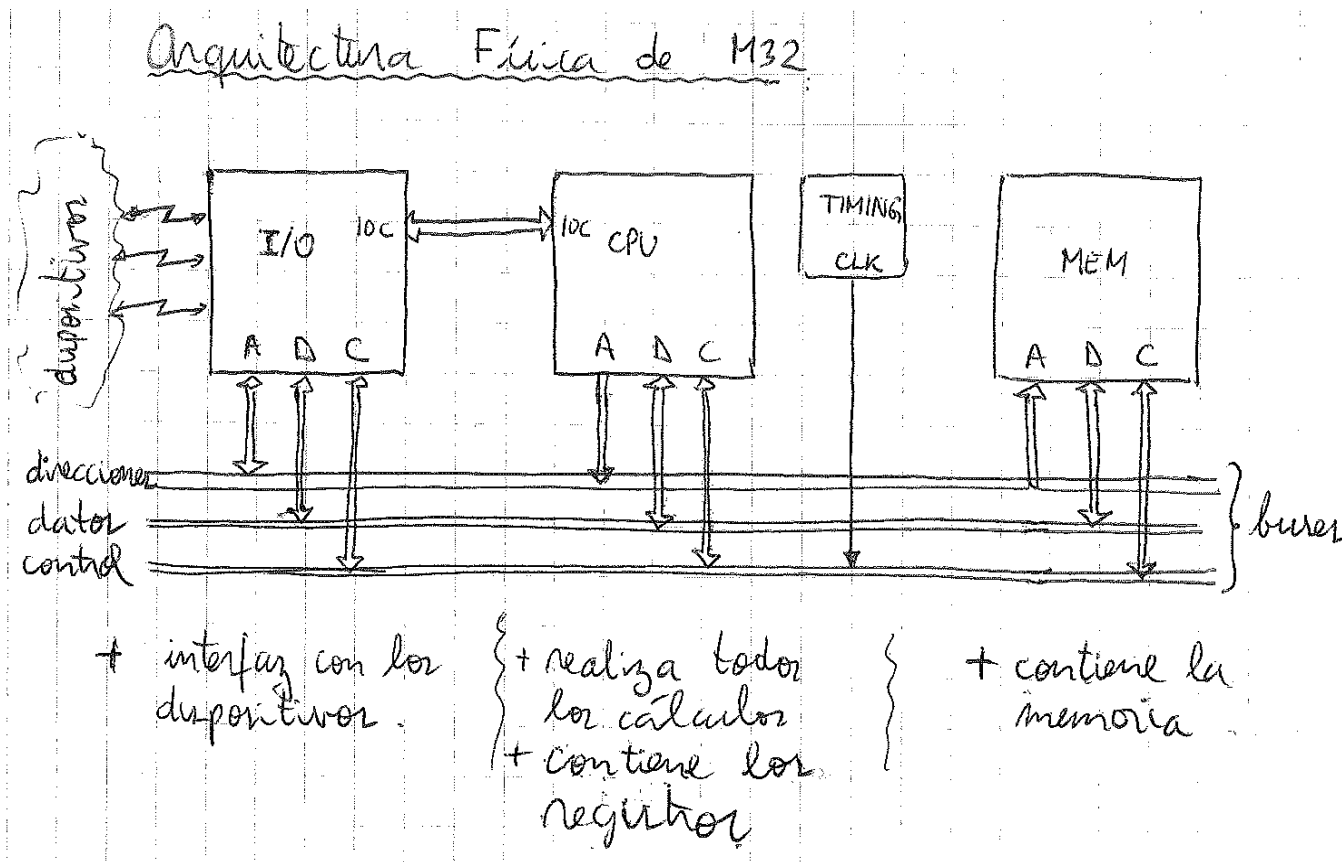


Recuerdo: Arquitectura Física de M32

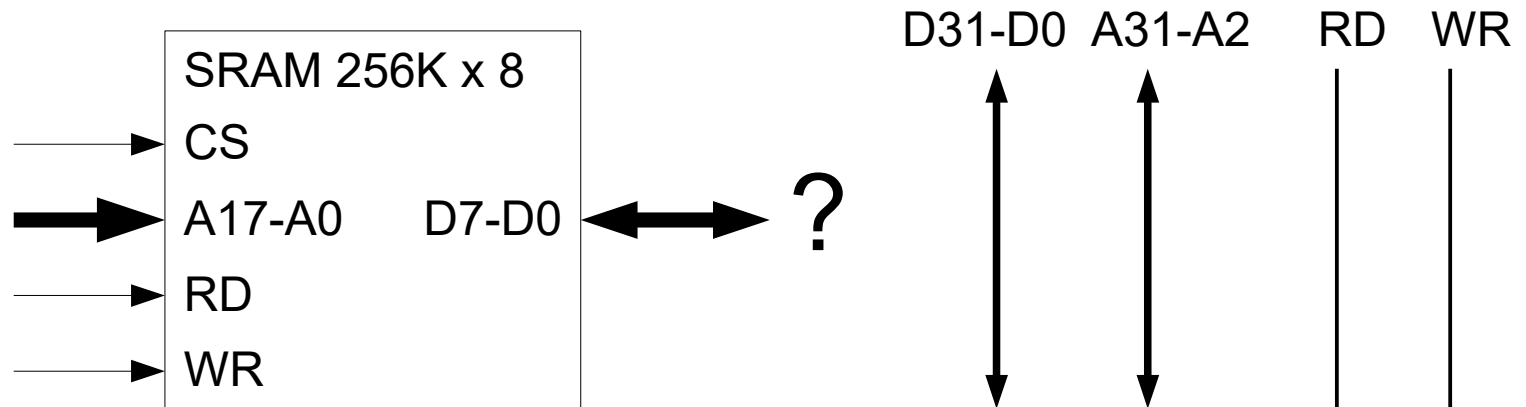
- La figura muestra la descomposición en bloques:



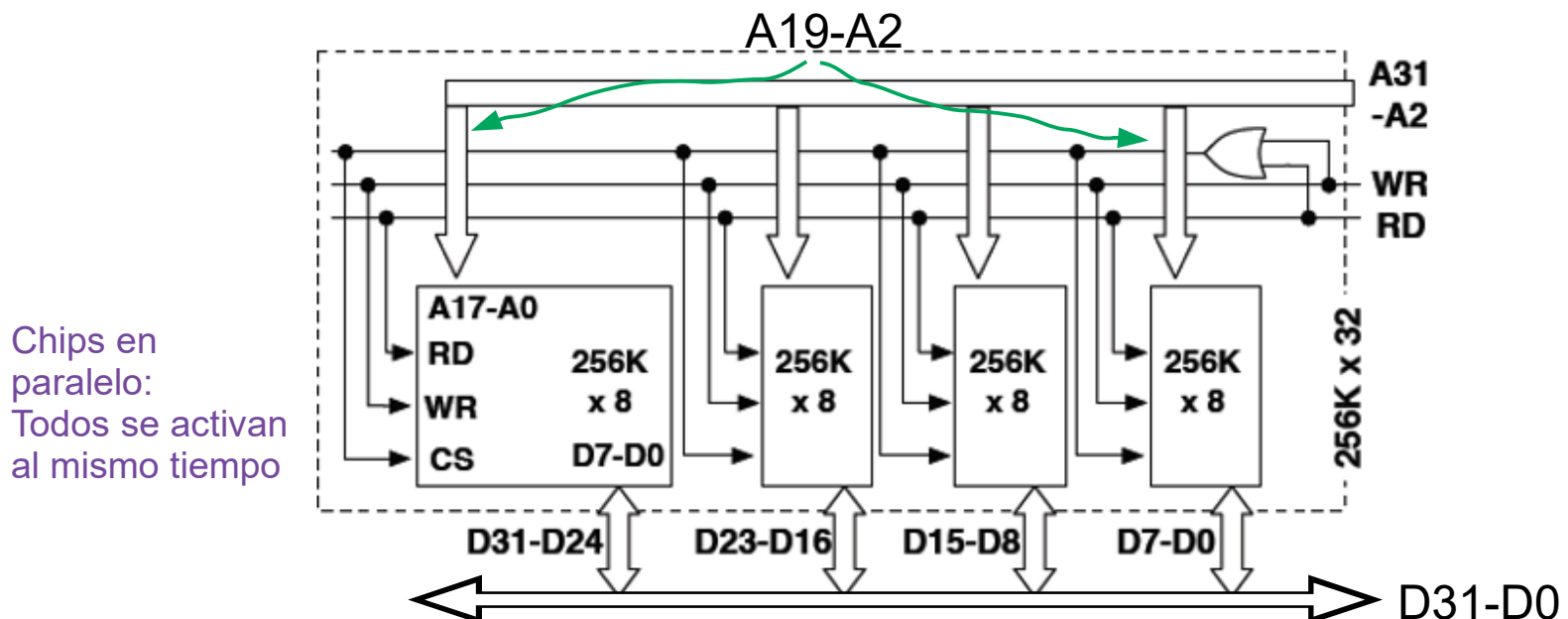
- Bus de datos: D31-D0
- Bus de direcciones: A31-A2, BE3-BE0
- Bus de control: RD, WR, CLK, WAIT

Interfaz de memorias estáticas

- Se dispone de 4 chips de memoria estática de 256 K x 8
- ¿Cómo se conectan al bus de la CPU?

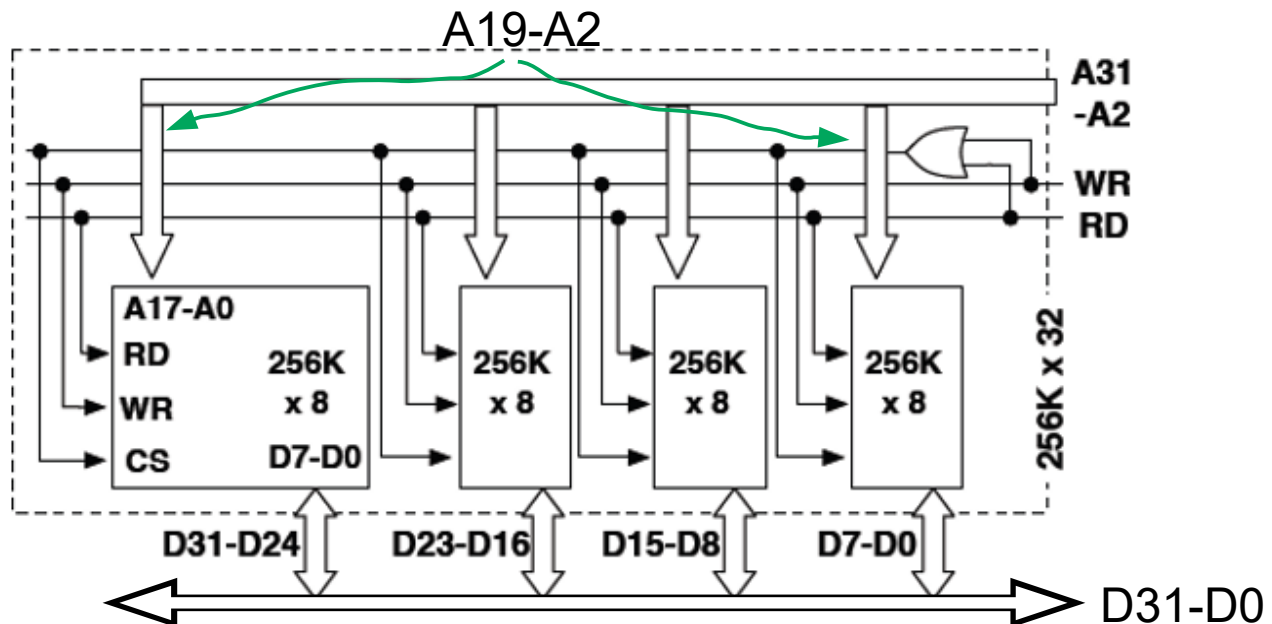


- Problemas: tamaño del bus de datos (32) del bus de la CPU no coincide con el de la SRAM (8)
- Solución: hay que chips de memoria en paralelo



Características

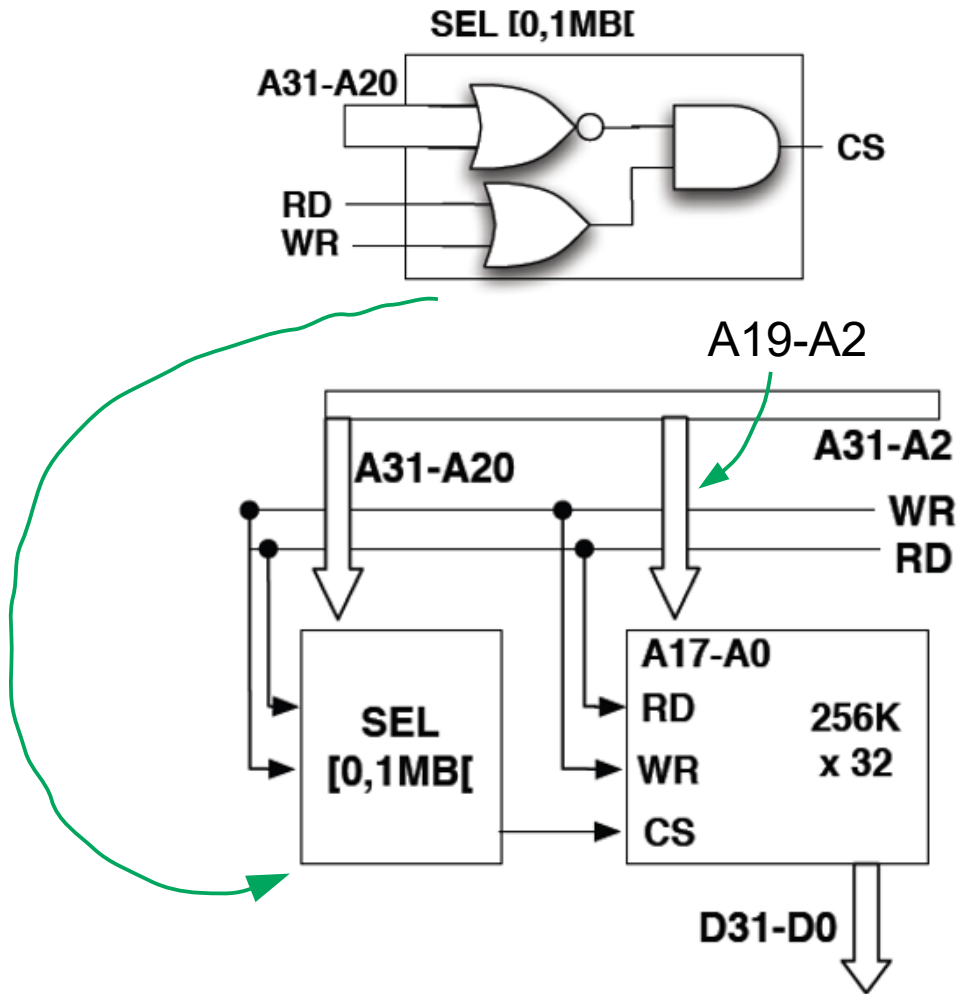
- La memoria es de 1 MB porque cada chip aporta 256 KB
- Se lee/escribe en el rango de direcciones [0, 1 MB[
- Si se lee la dirección 0 todos los chips SRAM leerán su dirección 0
- Si se lee la dirección 4, ¿cuál será la dirección que leerá cada SRAM?
- En binario: $4 = 0 \dots 0100 = A_{31} \dots A_3 A_2 A_1 A_0$
- Pero el bus de direcciones no posee líneas $A_1 A_0$
- Solo están presentes $A_{31} \dots A_3 A_2 = 0 \dots 01$
- Los 4 chips leen en paralelo la dirección 1, aportando cada uno con 1 byte para completar los 4 bytes



- Problema: ¿Qué pasa si se lee la dirección $1M + 4$?
- $A_{20} A_{19} \dots A_2 A_1 A_0 = 1 0 \dots 1 0 0$
- También se lee lo mismo que en la dirección 4 porque A_{20} se ignora

Selección

- Si la entrada chip select (CS) se mantiene en 0, el chip no reacciona
- Se agrega un circuito de selección que activa CS solo si la dirección está en el rango [0, 1 MB[

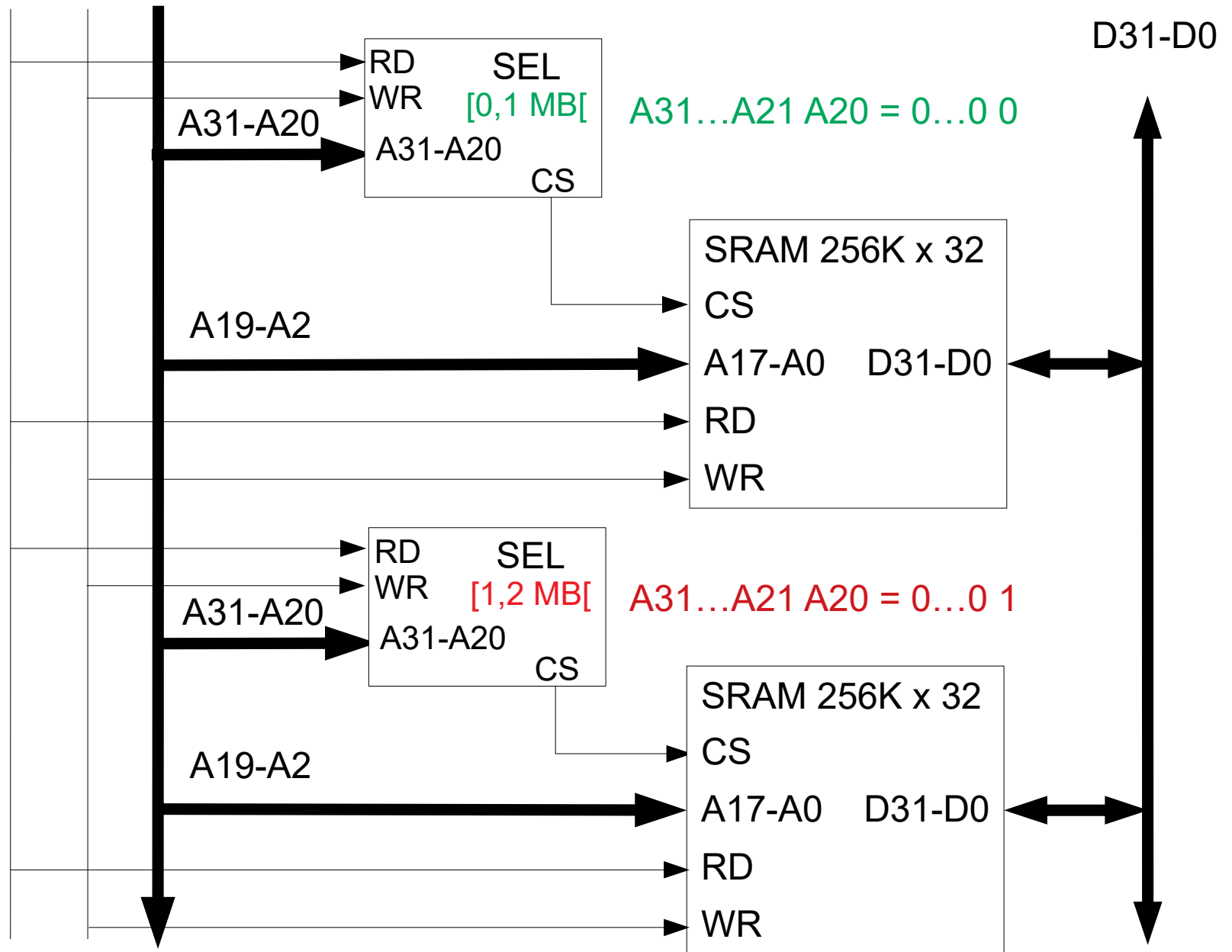


- Si se lee la dirección $1\text{M} + 4$ $\text{CS} = 0$
- Se lee basura, típicamente 0

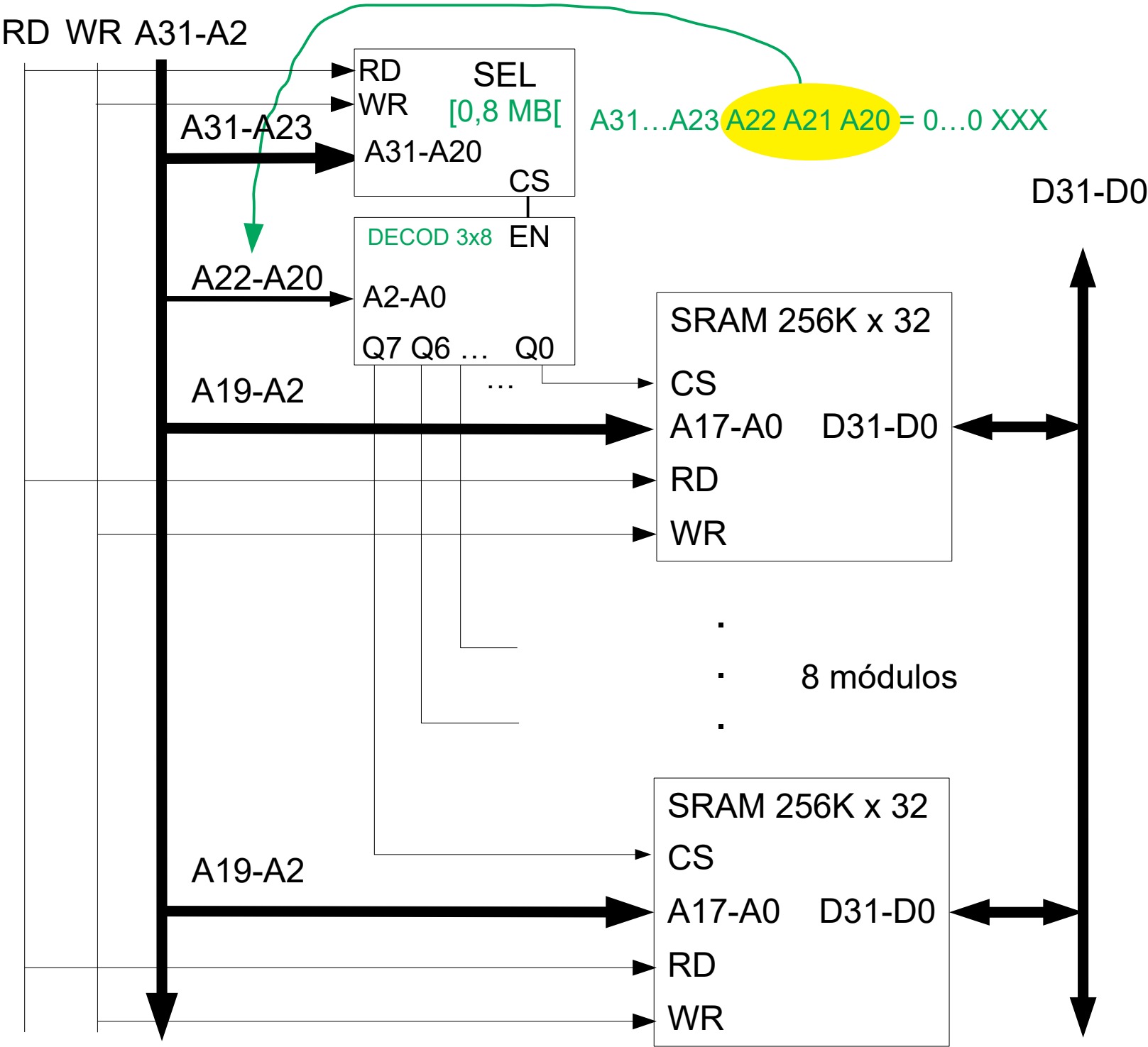
Agregar más memoria: módulos en serie

- Problema: se desea agregar 1 MB adicional de memoria
- Se dispone de otros 4 chips de 256 K x 8

RD WR A31-A2



Memoria de 8 MB con 8 módulos 256K x 32



Pregunta: ¿Qué pasaría?

