

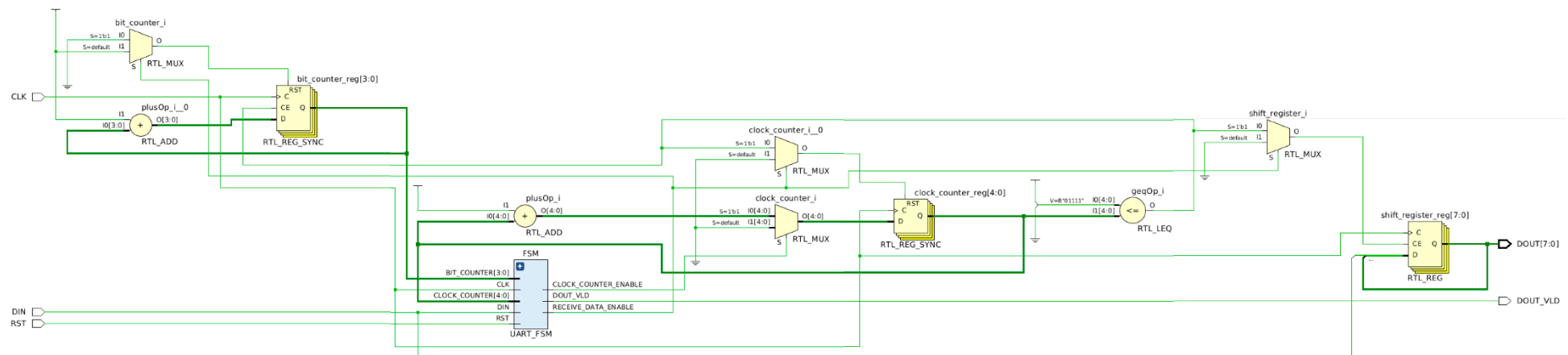
Výstupní zpráva

Jméno: Vladyslav Kovalets

Login: xkoval21

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

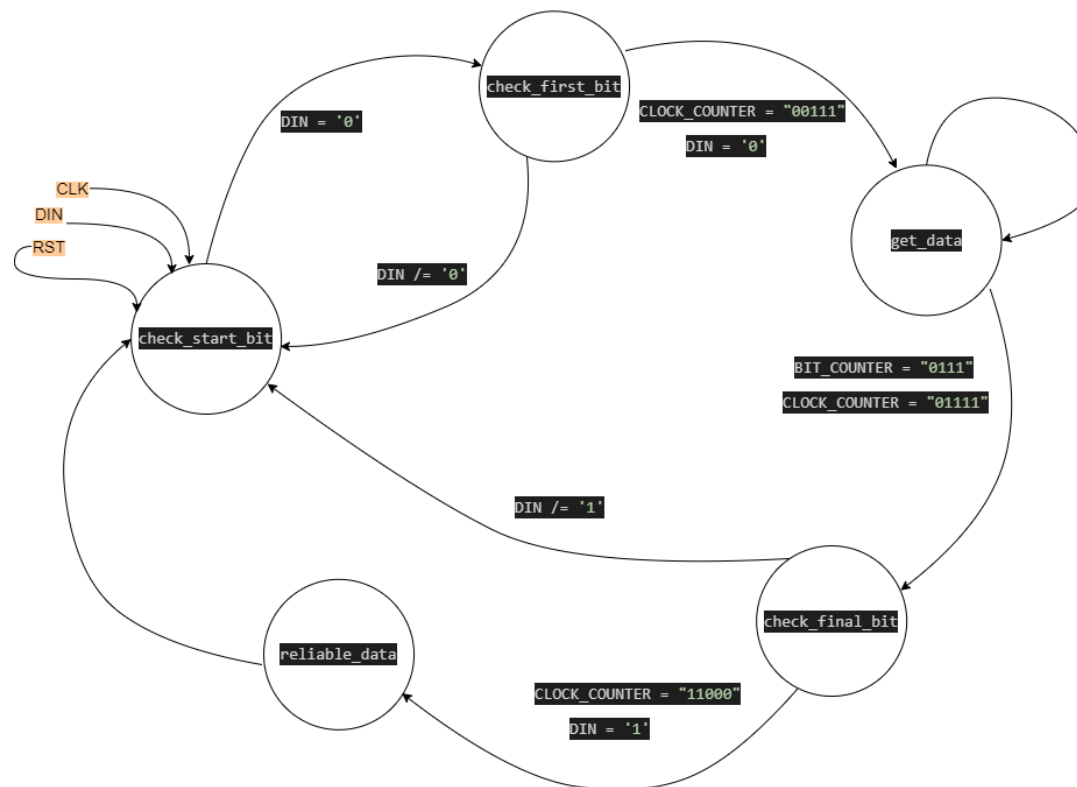


Popis funkce

Přijímač sleduje datovou linku a resetuje čítače. Pokud se na řádce objeví log 0, přestane resetovat čítače a začne hledat startovací bit. Pokud přišel log 1, znamená to, že počáteční bit byl špatný a nejpravděpodobněji došlo k rušení. Pokud přišla log 0, znamená to, že byl přijat startovací bit, a když skončí startovací bit, přijímač začne přijímat datové bity. Přijímač poté zkontroluje, kolik bitů přijal. Pokud ne všechny, pak se počítadlo bitů zvýší o 1 a zahájí nový cyklus přijímání datového bitu. Když jsou přijata všechna data, přijímač analyzuje stop bit. Pokud stop bit je 0, došlo k chybě a přijímač nastaví chybový příznak. A přejde do stavu čekání na nový počáteční bit. Pokud stop bit je 1 - vše v pořádku. Přijímač nastaví příznak, že data v registru jsou správná, a také přejde do stavu čekání na nový počáteční bit.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Na začátku(check_start_bit) stroj poslouchá linku a čeká, až se na ní objeví log 0. Poté přejde do stavu kontroly bitů(check_first_bit). Pokud je uprostřed bitu nula, přepne se stroj po dokončení startovacího bitu do stavu přijímání dat(get_data). Ale pokud to byla falešná nula, přejde přejde na začátek(check_start_bit). Ve stavu přijímání dat stroj pokaždé, když máme střed bitového intervalu, zapisuje data do posuvného registru a počítá přijaté bity. Když přijme všech 8 bitů, přejde do stavu stop bit(check_final_bit). Ve stavu stop bitu čeká automat uprostřed bitového intervalu, a pokud se jedná skutečně o stop bit, přejděte na platná data(reliable_data). A pokud to není stop bit, jedná se o chybu a přejde na začátek(check_start_bit). Když jsou data správná, jde na začátek(check_start_bit).

Snímek obrazovky ze simulací

Přenos jednoho slova dat (01000111).

