

王道考研——计算机组成原理

WWW.CSKAOYAN.COM

计组：考题风格、考察重点探究

自我介绍一哈子



咸鱼学长

王道数据结构、操作系统、计组主讲

本科：BIT软件工程

读研：PKU大数据技术

考研成绩：总分386，专业课143

工作经历：两年多游戏服务器开发



408真题构成



一、单项选择题：第 1~40 小题，每小题 2 分，共 80 分。下列每题给出的四个选项中，只有一个选项最符合试题要求。

1~11 —— 数据结构 (22)
12~22 —— 计组 (22)
23~32 —— 操作系统 (20)
33~40 —— 计网 (16)

19
年

18
年

1~11 —— 数据结构 (22)
12~22 —— 计组 (22)
23~32 —— 操作系统 (20)
33~40 —— 计网 (16)

二、综合应用题：第 41~47 小题，共 70 分。

41~42 —— 数据结构 (13+10分)
43~44 —— 操作系统 (8+7分)
45~46 —— 计组 (16+7分)
47 —— 计网 (9分)

41~42 —— 数据结构 (13+12分)
43~44 —— 计组 (8+15分)
45~46 —— 操作系统 (8+7分)
47 —— 计网 (7分)

408真题构成

一、单项选择题：第 1~40 小题，每小题 2 分，共 80 分。下列每题给出的四个选项中，只有一个选项最符合试题要求。

1~11	——数据结构 (22)	17 年
12~22	——计组 (22)	
23~32	——操作系统 (20)	
33~40	——计网 (16)	

二、综合应用题：第 41~47 小题，共 70 分。

41~42	——数据结构 (15+8分)
43~44	——计组 (13+10分)
45~46	——操作系统 (7+8分)
47	——计网 (9分)

计组： $(22+23)/150=30\%$

小题：基础知识，简单计算

大题：战略性放弃？

2009	2010	2011	2012	2013	2014
中断控制方式的处理过程；DMA控制方式的处理过程。	指令格式；寻址范围；指令执行的微操作过程	C语言中常见变量的表示；强制类型转换；补码加法的应用；溢出判断。	CPU性能指标的计算；引入Cache后的访存原理；虚拟内存的工作原理；DMA控制方式的工作原理；低位交叉存储的流水线	CPU性能指标、总线性能指标的计算；低位交叉存储方式；总线的突发传送过程；引入Cache后的访存原理；	结合C语言，读懂各条指令的作用；条件转移指令的工作原理；五段式指令流水线
指令执行的详细过程；说明每一步的微操作、微命令。并安排合理的时序	Cache和主存的映射；C语言汇总二维数组的存储原理；Cache命中率的计算	虚拟存储系统的地址结构；Cache的工作原理；TLB的工作原理；	数据的移位运算；五段式指令流水线；流水线的“冲突”原因；	条件转移指令的工作原理；CPU内部常见的硬件部件（根据处理逻辑推测）	Cache的工作原理；指令的溢出判断；虚拟存储，缺页异常的产生原因；TLB的工作原理；
2015	2016	2017	2018	2019	2020
指令执行的数据通路；数据通路上各种常见的硬件部件及作用；控制信号连线；	中断控制方式的处理过程；	C语言强制类型转换；各种数的精度问题、溢出问题	程序定时查询方式的工作过程；中断查询方式的工作过程；DMA方式的工作过程；	C语言对应的指令序列；条件转移指令、无条件转移指令、函数调用 call 指令的原理；数据的精度、溢出问题	数据的运算：二进制乘法；溢出问题
指令格式；各步微操作对应的微命令；微操作的时序安排；	TLB的工作原理；Cache的工作原理；虚拟存储，缺页异常；Cache淘汰策略、页面淘汰处理；	C语言对应的指令序列；比较指令cmp、条件转移指令的工作原理；数据的运算，算数左移	虚拟存储，地址结构；TLB的工作原理；Cache的工作原理；有TLB、Cache的地址变换过程	虚拟分页存储；Cache的工作原理；	Cache的工作原理；结合C语言分析Cache命中情况；

数据的运算；强制类型转换；精度、溢出问题	3+3
Cache、TLB、虚拟分页	7
一条指令的执行过程	5
指令序列的工作过程	4
三种中断控制方式	3
杂七杂八	2

43. (8分) 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

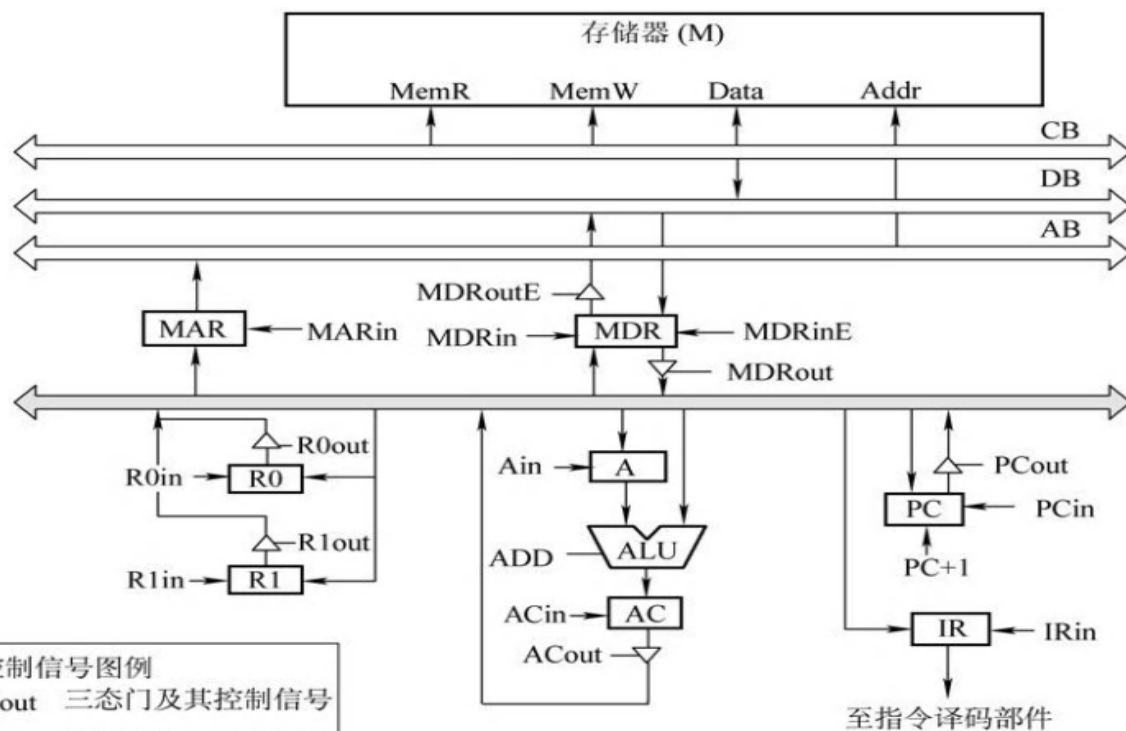
1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

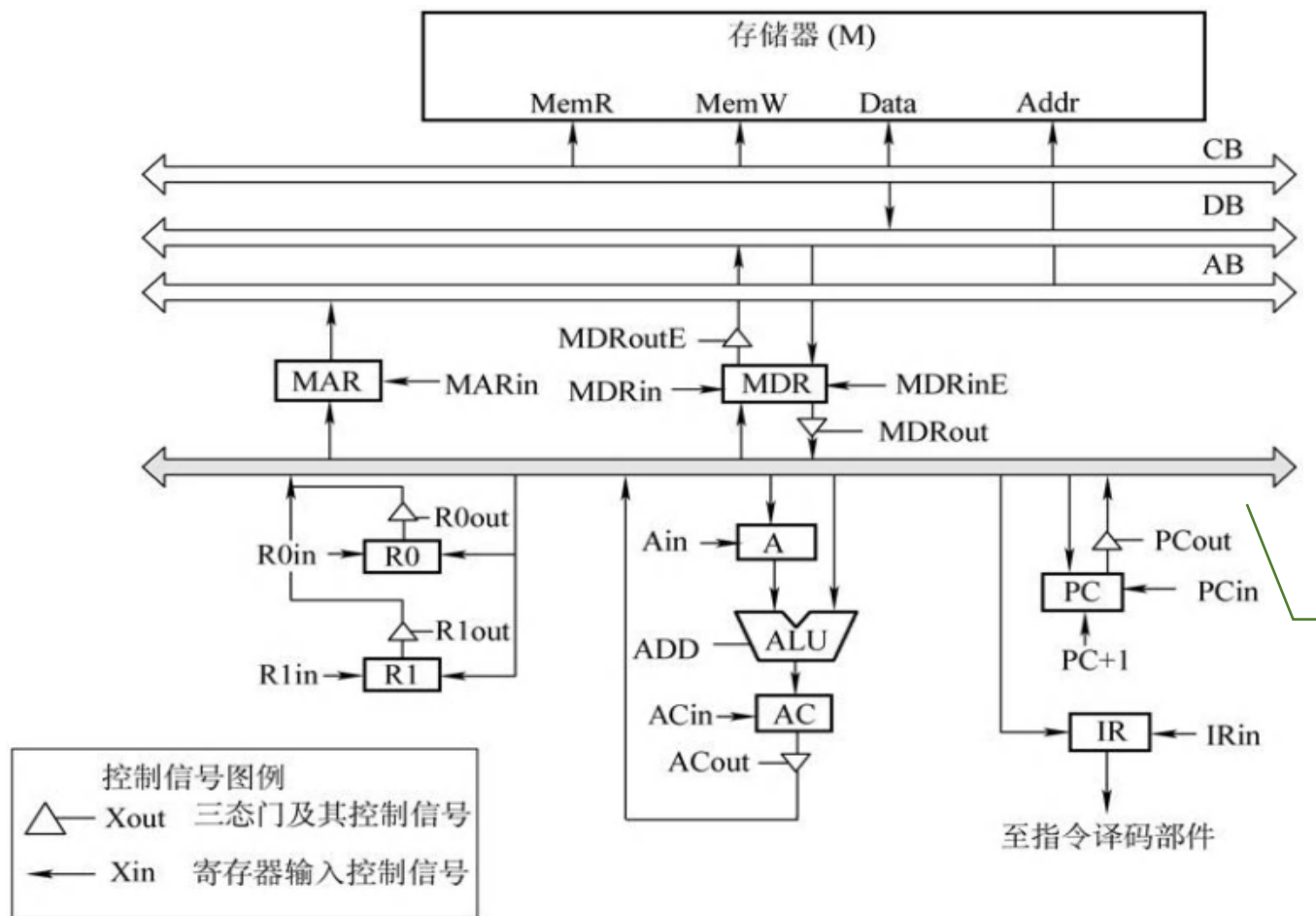
2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少 (假设 DMA 与 CPU 之间没有访存冲突)?

中断控制方式的
处理过程;
DMA控制方式的
处理过程。

44. (13 分) 某计算机字长为 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如图 A-2 所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如, 控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为 $(R0) + ((R1)) \rightarrow (R1)$, 即将 R0 中的数据与 R1 的内容所指主存单元的数据相加, 并将结果送入 R1 的内容所指主存单元中保存。

表 A-1 给出了上述指令取指和译码阶段每个节拍 (时钟周期) 的功能和有效控制信号, 请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。





指令执行的详细过程；说明每一步的微操作、微命令。并安排合理的时序

表 A-1←

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC) + 1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

43. (11 分) 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如图 B-4 所示。

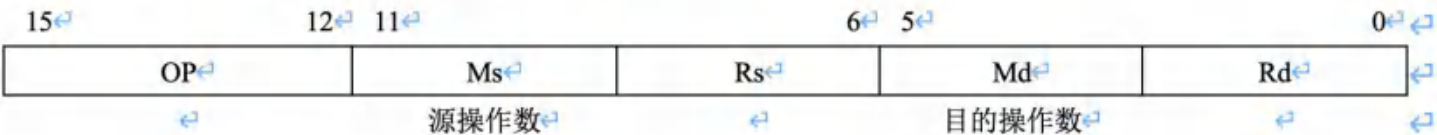


图 B-4

转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义见表 B-1。

表 B-1

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数=(Rn)
001B	寄存器间接	(Rn)	操作数=((Rn))
010B	寄存器间接、自增	(Rn)+	操作数=((Rn)), (Rn)+1→Rn
011B	相对	D(Rn)	转移目标地址=(PC)+(Rn)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

- 1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？
- 2) 转移指令的目标地址范围是多少？
- 3) 若操作码 0010B 表示加法操作 (助记符为 add)，寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add(R4), (R5)+” (逗号前为源操作数，逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

指令格式；
寻址范围；
指令执行的
详细过程。

44. (12 分) 某计算机的主存地址空间大小为 256MB, 按字节编址。指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64B, 数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B, 其伪代码如下:

```

程序 A:
int a[256][256]
.....
int sum_array1()
{
    int i, j, sum=0;
    for(i=0; i<256; i++)
        for(j=0; j<256; j++)
            sum+=a[i][j];
    return sum;
}

```

```

程序 B:
int a[256][256]
.....
int sum_array2()
{
    int i, j, sum=0;
    for(j=0; j<256; j++)
        for(i=0; i<256; i++)
            sum+=a[i][j];
    return sum;
}

```

Cache和主存的映射;
C语言汇总二维数组的存储原理;
Cache命中率的计算

假定 int 类型数据用 32 位补码表示, 程序编译时 i、j、sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320 (十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- 1) 若不考虑用于 Cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多少?
- 2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?
- 3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

43. (11 分) 假定在一个 8 位字长的计算机中运行如下 C 程序段: ↵

```
unsigned int  x=134;↵  
unsigned int  y=246;↵  
int  m=x;↵  
int  n=y;↵  
unsigned int  z1=x-y;↵  
unsigned int  z2=x+y;↵  
int  k1=m-n;↵  
int  k2=m+n;↵
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。(提示: 带符号整数用补码表示。) ↵

(1) 执行上述程序段后, 寄存器 R1、R5 和 R6 的内容分别是什么(用十六进制表示)? ↵

(2) 执行上述程序段后, 变量 m 和 k1 的值分别是多少(用十进制表示)? ↵

(3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算, 这四种运算能否利用同一个加法器辅助电路实现? 简述理由。↵

(4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出? 上述程序段中, 哪些带符号整数运算语句的执行结果会发生溢出? ↵

C语言中常见变量的表示;
强制类型转换;
补码加法的应用;
溢出判断。

44. (12 分) 某计算机存储器按字节编址, 虚拟 (逻辑) 地址空间大小为 16MB, 主存 (物理) 地址空间大小为 1MB, 页面大小为 4KB; Cache 采用直接映射方式, 共 8 行; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 的部分内容分别如题 44(a)图、题 44(b)图所示, 图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	...
0	1	06	...
1	1	04	...
2	1	15	...
3	1	02	...
4	0	—	...
5	1	2B	...
6	0	—	...
7	1	32	...

题 44(a)图 页表的部分内容

行号	有效位	标记	...
0	1	020	...
1	0	—	...
2	1	01D	...
3	1	105	...
4	1	064	...
5	1	14D	...
6	0	—	...
7	1	27A	...

题 44(b)图 Cache 的部分内容

请回答下列问题。

(1) 虚拟地址共有几位, 哪几位表示虚页号? 物理地址共有几位, 哪几位表示页框号 (物理页号)?

(2) 使用物理地址访问 Cache 时, 物理地址应划分成哪几个字段? 要求说明每个字段的位数及在物理地址中的位置。

(3) 虚拟地址 001C60H 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 访问该地址时是否 Cache 命中? 要求说明理由。

(4) 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项, 若其当前内容(十六进制)如题 44(c)图所示, 则此时虚拟地址 024BACH 所在的页面是否存在主存中? 要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	—	—	1	001	15	0	—	—	1	012	1F
1	1	013	2D	0	—	—	1	008	7E	0	—	—

题 44(c)图 TLB 的部分内容

虚拟存储系统的地址结构;
Cache的工作原理;
TLB的工作原理;

43. 假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访存 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线宽度为 32 位。请回答下列问题。

1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?

2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?

3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?

4) 为了提高性能, 主存采用 4 体低位交叉存储模式, 工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

CPU性能指标的计算;
引入Cache后的访存原理;
虚拟内存的工作原理;
DMA控制方式的工作原理;
低位交叉存储的流水线

44. 某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。题 44 表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x) 表示寄存器 x 或存储单元 x 的内容。

指令系统中部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	$(Rs) + (Rd) \rightarrow Rd$
算术/逻辑左移	SHL Rd	$2 * (Rd) \rightarrow Rd$
算术右移	SHR Rd	$(Rd) / 2 \rightarrow Rd$
取数指令	LOAD Rd, mem	$(mem) \rightarrow Rd$
存数指令	STORE Rs, mem	$(Rs) \rightarrow mem$

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB)，流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行指令“SHR R1”后，R1 的内容是多少？（用十六进制表示）

数据的移位运算

2) 若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？

3) 若高级语言程序中某赋值语句为 $x=a+b$ ， x 、 a 和 b 均为 `int` 型变量，它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ 和 $[b]$ 。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

I_1 `LOAD` $R1, [a]$
 I_2 `LOAD` $R2, [b]$
 I_3 `ADD` $R1, R2$
 I_4 `STORE` $R2, [x]$

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I_1	IF	ID	EX	M	WB									
I_2		IF	ID	EX	M	WB								
I_3			IF				ID	EX	M	WB				
I_4							IF				ID	EX	M	WB

图 指令序列及其执行过程示意图

则这 4 条指令执行过程中， I_3 的 ID 段和 I_4 的 IF 段被阻塞的原因各是什么？

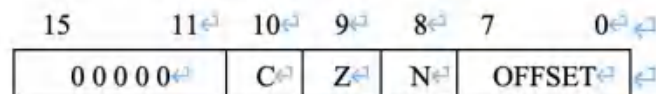
4) 若高级语言程序中某赋值语句为 $x=x*2+a$ ， x 和 a 均为 `unsigned int` 类型变量，它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ ，则执行这条语句至少需要多少个时钟周期？要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

43. (9分) 某 32 位计算机, CPU 主频为 800MHz, Cache 命中时的 CPI 为 4, Cache 块大小为 32 字节; 主存采用 8 体交叉存储方式, 每个体的存储字长为 32 位、存储周期为 40ns; 存储器总线宽度为 32 位, 总线时钟频率为 200MHz, 支持突发传送总线事务。每次读突发传送总线事务的过程包括: 送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节, 传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题, 要求给出理由或计算过程。

- (1) CPU 和总线的时钟周期各为多少? 总线的带宽 (即最大数据传输率) 为多少?
- (2) Cache 缺失时, 需要用几个读突发传送总线事务来完成一个主存块的读取?
- (3) 存储器总线完成一次读突发传送总线事务所需的时间是多少?
- (4) 若程序 BP 执行过程中, 共执行了 100 条指令, 平均每条指令需进行 1.2 次访存, Cache 缺失率为 5%, 不考虑替换等开销, 则 BP 的 CPU 执行时间是多少?

CPU性能指标、总线性能指标的计算;
低位交叉存储方式 + 总线的突发传送过程;
引入Cache后的访存原理;

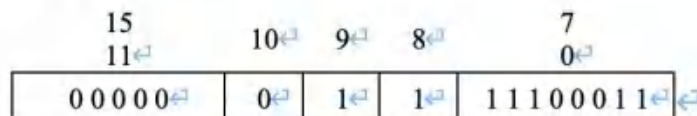
44. (14 分) 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：



其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志位，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为(PC)+2+2×OFFSET；顺序执行时，下条指令地址为(PC)+2。请回答下列问题。

(1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？

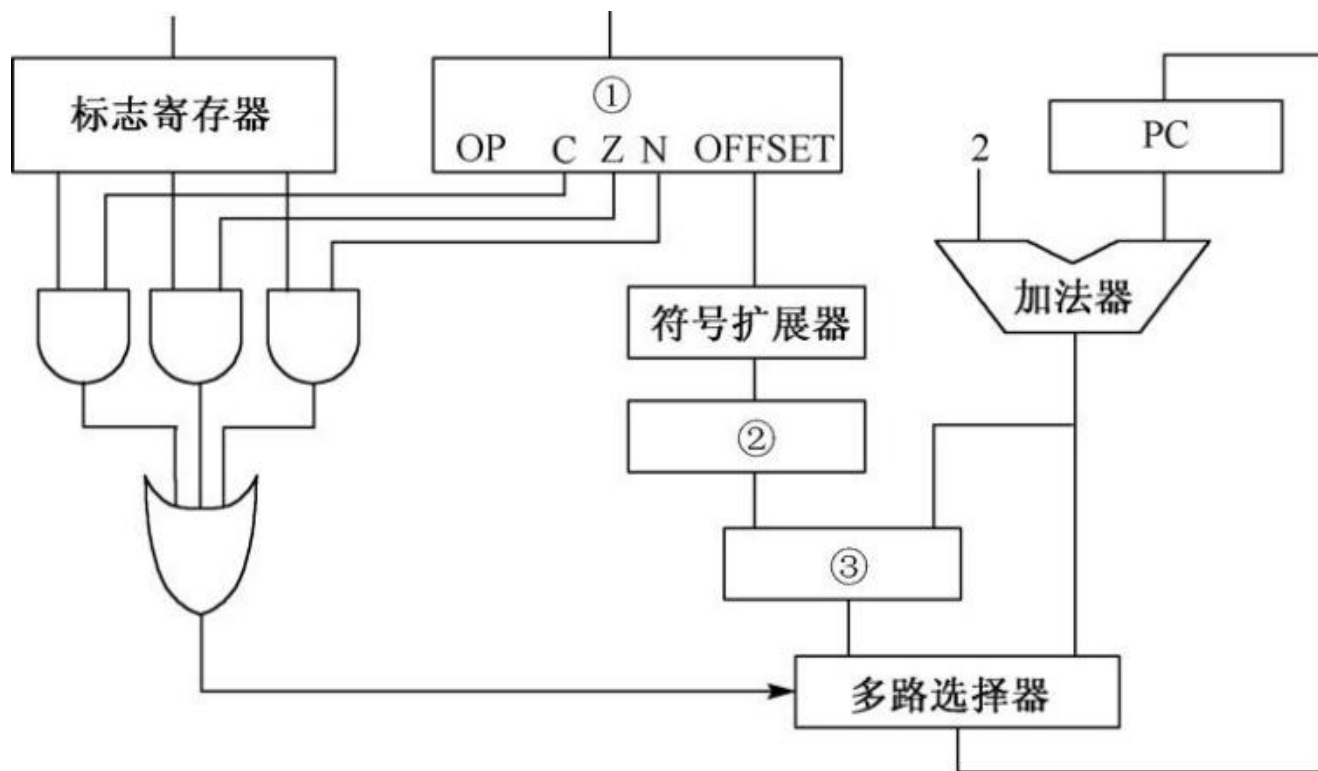
(2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。



(3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？

(4) 以下是该指令对应的数据通路示意图，要求给出图中部件①～③的名称或功能说明。

(4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能说明。



CPU内部常见的硬件部件
(根据处理逻辑推测)

44. (12 分) 某程序中有如下循环代码段 p “for(int i = 0; i < N; i++) sum += A[i];”。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中, 数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 0804 8100H, 对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4,R2,2	(R2)<<2 → R4
2	08048104H	00083020H	add R4,R4,R3	(R4)+(R3) → R4
3	08048108H	8C850000H	load R5,0(R4)	((R4)+0) → R5
4	0804810CH	00250820H	add R1,R1,R5	(R1)+(R5) → R1
5	08048110H	20420001H	add R2,R2,1	(R2)+1 → R2
6	08048114H	1446FFFAH	bne R2,R6,loop	if(R2)≠(R6) goto loop

执行上述代码的计算机 M 采用 32 位定长指令字, 其中分支指令 bne 采用如下格式:

31	26	25	21	20	16	15	0
OP		Rs		Rd		OFFSET	

OP 为操作码; Rs 和 Rd 为寄存器编号; OFFSET 为偏移量, 用补码表示。请回答下列问题, 并说明理由。

1) M 的存储器编址单位是什么?

按字编制? 按字节编址?

2) 已知 sll 指令实现左移功能, 数组 A 中每个元素占多少位?

3) 题 44 表中 bne 指令的 OFFSET 字段的值是多少? 已知 bne 指令采用相对寻址方式, 当前 PC 内容为 bne 指令地址, 通过分析题 44 表中指令地址和 bne 指令内容, 推断出 bne 指令的转移目标地址计算公式。

4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线: IF (取值)、ID (译码及取数)、EXE (执行)、MEM (访存)、WB (写回寄存器), 且硬件不采取任何转发措施, 分支指令的执行均引起 3 个时钟周期的阻塞, 则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞? 哪条指令的执行会发生控制冒险? 为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞?

结合 C 语言,
读懂各条指令的作用

条件转移指令
的工作原理

五段式指令流水线
的“冒险”

45. 假设对于 44 题中的计算机 M 和程序 P 的机器代码, M 采用页式虚拟存储管理; P 开始执行时, $(R1)=(R2)=0$, $(R6)=1000$, 其机器代码已调入主存但不在 Cache 中; 数组 A 未调入主存, 且所有数组元素在同一页, 并存储在磁盘同一个扇区。请回答下列问题并说明理由。

1) P 执行结束时, R2 的内容是多少?

2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行, Cache 和主存交换的块大小为 32 字节, 则其数据区的容量是多少? 若仅考虑程序段 P 的执行, 则指令 Cache 的命中率为多少?

3) P 在执行过程中, 哪条指令的执行可能发生溢出异常? 哪条指令的执行可能产生缺页异常? 对于数组 A 的访问, 需要读磁盘和 TLB 至少各多少次?

Cache的工作原理;
指令的溢出判断;
虚拟存储, 缺页异常的产生原因;
TLB的工作原理;

43. (13 分) 某 16 位计算机的主存按字节编码, 存取单位为 16 位; 采用 16 位定长指令字格式; CPU 采用单总线结构, 主要部分如下图所示。图中 R0~R3 为通用寄存器; T 为暂存器; SR 为移位寄存器, 可实现直送 (mov)、左移一位 (left) 和右移一位 (right) 3 种操作, 控制信号为 SRop, SR 的输出由信号 SRout 控制; ALU 可实现直送 A (mova)、A 加 B (add)、A 减 B (sub)、A 与 B (and)、A 或 B (or)、非 A (not)、A 加 1 (inc) 7 种操作, 控制信号为 ALUop。

请回答下列问题。

1) 图中哪些寄存器是程序员可见的? 为何要设置暂存器 T?

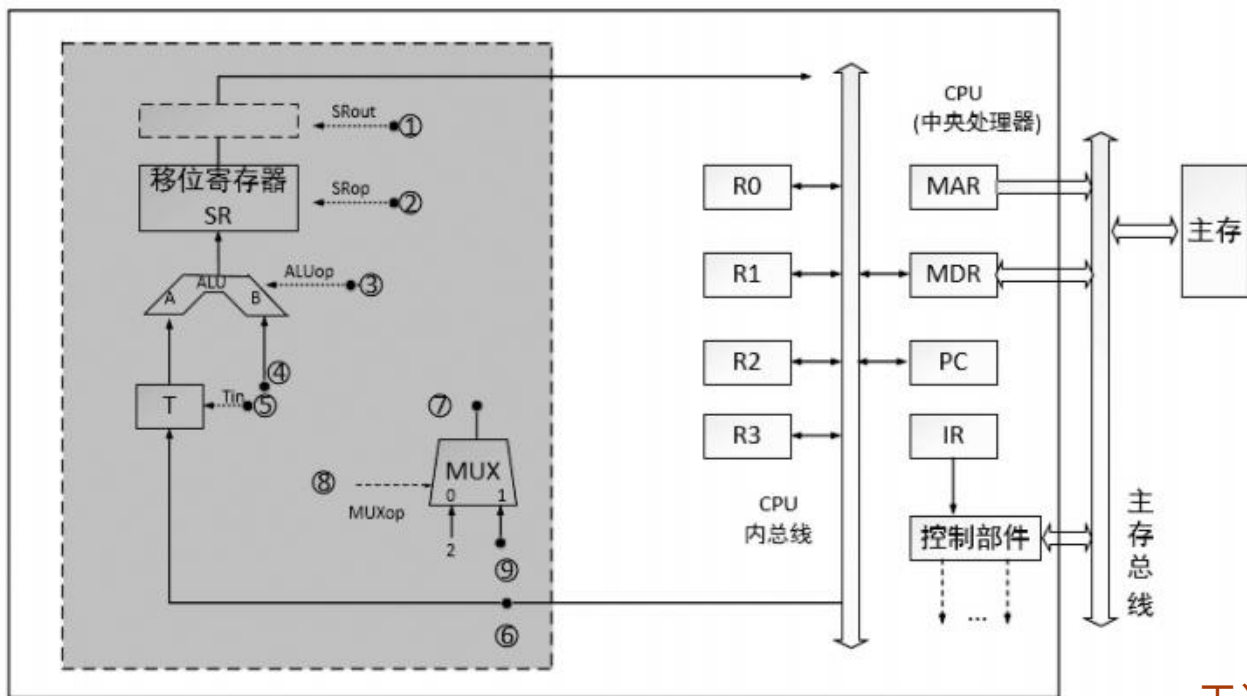
2) 控制信号 ALUop 和 SRop 的位数至少各是多少?

3) 控制信号 SRout 所控制部件的名称或作用是什么?

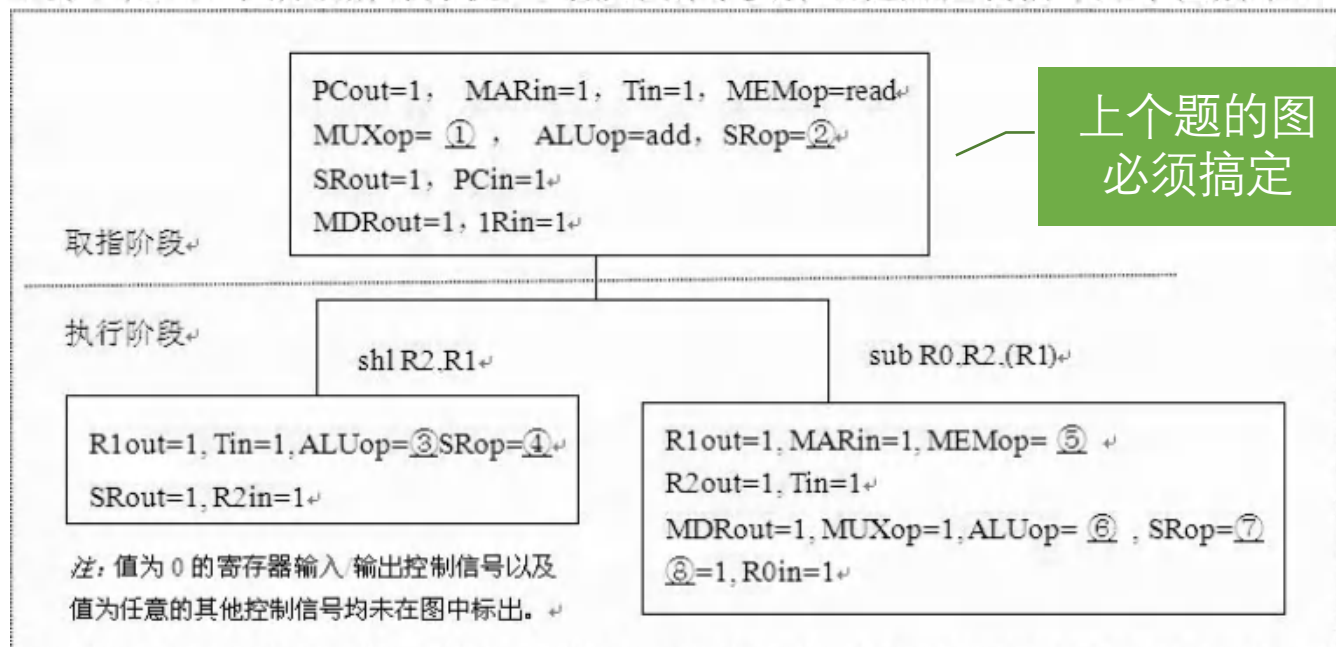
4) 端点①~⑨中, 哪些端点须连接到控制部件的输出端?

5) 为完善单总线数据通路, 需要在端点①~⑨中相应的端点之间添加适当的连线, 以正确表示数据的流动方向。

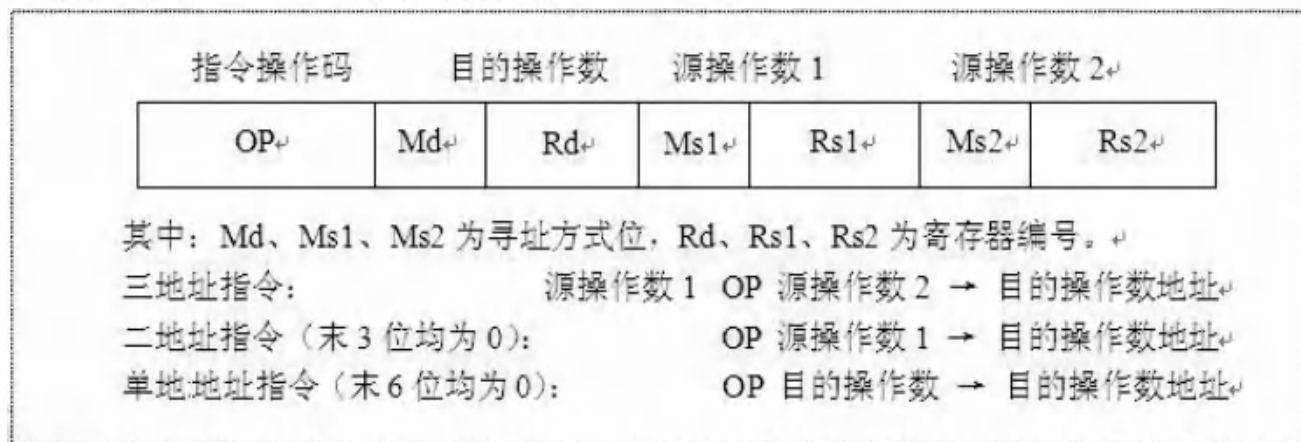
指令执行的数据通路;
数据通路上各种常见的
硬件部件及作用;
控制信号连线;



44. (10分) 题 43 中描述的计算机, 其部分指令执行过程的控制信号如下图所示。



该机指令格式如下图所示, 支持寄存器直接和寄存器间接两种寻址方式, 寻址方式位分别为 0 和 1, 通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。



请回答下列问题。

1) 该机的指令系统最多可定义多少条指令？

2) 假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

```
inc  R1          ; R1 + 1 → R1
shl  R2, R1       ; (R1) << 1 → R2
sub  R3, (R1), R2 ; ((R1)) - (R2) → R3
```

3) 假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout，其值为 1 表示有效，为 0 表示无效（例如，PCout=1 表示 PC 内容送总线）；存储器控制信号为 MEMop，用于控制存储器的读(read)和写(write)操作。写出题图 a 中标号①～⑧处的控制信号或控制信号的取值。

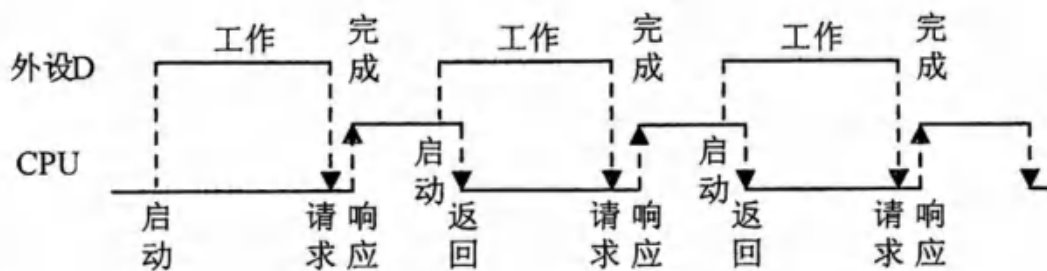
4) 指令“sub R1,R3,(R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期？

指令格式；
各步微操作对应的微命令；
微操作的时序安排；

44. 假定 CPU 主频为 50MHz, CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符, 通信规程中有 1 位奇校验位和 1 位停止位, 从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。请回答下列问题, 要求说明理由。↵

(1) 每传送一个字符, 在异步串行通信线上共需传输多少位? 在设备 D 持续工作过程中, 每秒钟最多可向 I/O 端口送入多少个字符? ↵

(2) 设备 D 采用中断方式进行输入/输出, 示意图如下: ↵

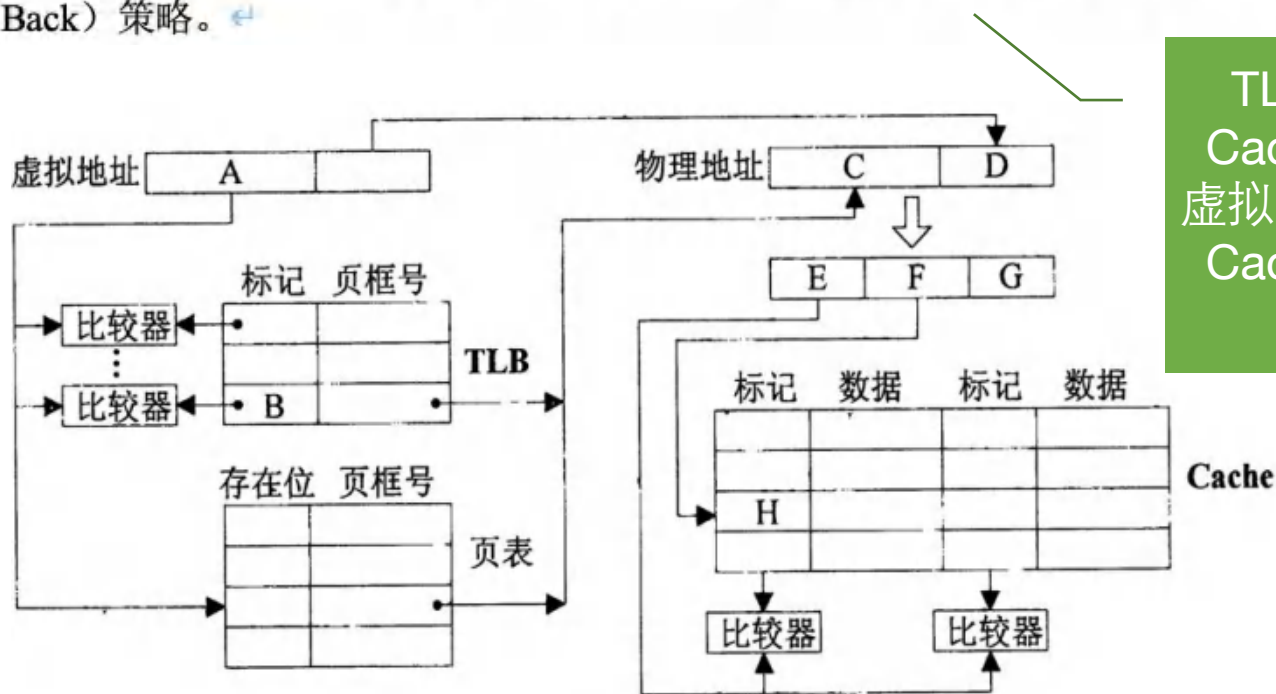


I/O 端口每收到一个字符申请一次中断, 中断响应需 10 个时钟周期, 中断服务程序共有 20 条指令, 其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符, 则完成这一任务所需时间大约是多少个时钟周期? CPU 用于完成这一任务的时间大约是多少个时钟周期? 在中断响应阶段 CPU 进行了哪些操作? ↵

中断控制方式的处理过程;

45. 某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8KB；TLB 采用全相联映射；Cache 数据区大小为 64KB，按 2 路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如下。请回答下列问题。

- (1) 图中字段 A~G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
- (2) 将块号为 4099 的主存块装入到 Cache 中时，所映射的 Cache 组号是多少？对应的 H 字段内容是什么？
- (3) Cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- (4) 为什么 Cache 可以采用直写 (Write Through) 策略，而修改页面内容时总是采用回写 (Write Back) 策略？



TLB的工作原理；
Cache的工作原理；
虚拟存储，缺页异常；
Cache淘汰策略、页面淘汰处理；

43. (13 分) 已知 $f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = \overbrace{11 \cdots 1}^{n+1 \text{位}} \text{B}$, 计算 $f(n)$ 的 C 语言函数 f1 如下。将 f1 中

的 int 都改为 float, 可得到计算 $f(n)$ 的另一个函数 f2。假设 unsigned 和 int 型数据都占 32 位, float 采用 IEEE 754 单精度标准。请回答下列问题。

(1) 当 $n=0$ 时, f1 会出现死循环, 为什么? 若将 f1 中的变量 i 和 n 都定义为 int 型, 则 f1 是否还会出现死循环? 为什么?

(2) f1(23)和 f2(23)的返回值是否相等? 机器数各是什么(用十六进制表示)?

(3) f1(24)和 f2(24)的返回值分别为 33 554 431 和 33 554 432.0, 为什么不相等?

(4) $f(31)=2^{32}-1$, 而 f1(31)的返回值却为-1, 为什么? 若使 f1(n)的返回值与 $f(n)$ 相等, 则最大的 n 是多少?

(5) f2(127)的机器数为 7F80 0000H, 对应的值是什么? 若使 f2(n)的结果不溢出, 则最大的 n 是多少? 若使 f2(n)的结果精确(无舍入), 则最大的 n 是多少?

```
int f1(unsigned n){
    int sum=1, power=1;
    for(unsigned i=0;i<=n-1;i++){
        power *= 2;
        sum += power;
    }
    return sum;
}
```

C语言强制类型转换;
各种数的精度问题、
溢出问题

44. (10 分) 在按字节编址的计算机 M 上, 题 43 中 f1 的部分源程序 (阴影部分) 与对应的机器级代码 (包括指令的虚拟地址) 如下:

其中, 机器级代码行包括行号、虚拟地址、机器指令和汇编指令。请回答下列问题。

(1) 计算机 M 是 RISC 还是 CISC? 为什么?

(2) f1 的机器指令代码共占多少字节? 要求给出计算过程。

(3) 第 20 条指令 `cmp` 通过 `i` 减 `n-1` 实现对 `i` 和 `n-1` 的比较。执行 `f1(0)` 过程中, 当 `i=0` 时, `cmp` 指令执行后, 进/借位标志 `CF` 的内容是什么? 要求给出计算过程。

(4) 第 23 条指令 `shl` 通过左移操作实现了 `power * 2` 运算, 在 `f2` 中能否也用 `shl` 指令实现 `power * 2`? 为什么?

		<code>int f1(unsigned n)</code>	
1	00401020	55	<code>push ebp</code>

		<code>for(unsigned i=0; i<= n -1; i++)</code>	

20	0040105E	39 4D F4	<code>cmp dword ptr [ebp-0Ch],ecx</code>

		<code>{ power * = 2;</code>	

23	00401066	D1 E2	<code>shl edx,1</code>

		<code>return sum;</code>	

35	0040107F	C3	<code>ret</code>

高级语言程序→指令、数据
比较指令`cmp`、条件转移指令的工作原理;
二进制的运算, 算数左移

43. (8 分)假定计算机的主频为 500MHz, CPI 为 4。现有设备 A 和 B, 其数据传输率分别为 2MB/s 和 40MB/s, 对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题, 要求给出计算过程。

(1) 若设备 A 采用定时查询 I/O 方式, 每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据? CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少?

(2) 在中断 I/O 方式下, 若每次中断响应和中断处理的总时钟周期数至少为 400, 则设备 B 能否采用中断 I/O 方式? 为什么?

(3) 若设备 B 采用 DMA 方式, 每次 DMA 传送的数据块大小 1000B, CPU 用于 DMA 预处理和后处理的总时钟周期数为 500, 则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少?

程序定时查询方式的工作过程;
中断查询方式的工作过程;
DMA方式的工作过程;

44. (15 分)某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如题 44 图所示。

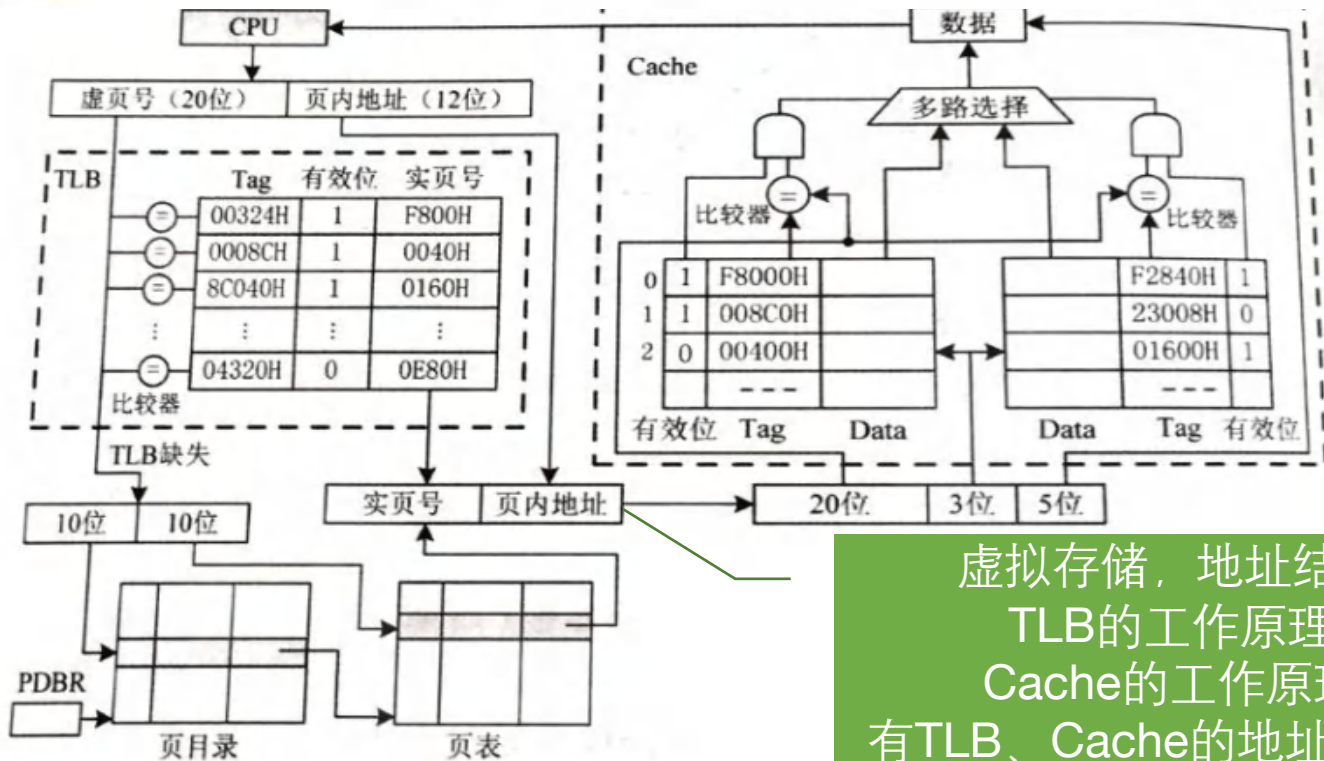
根据题 44 图回答下列问题。

(1) 主存物理地址占多少位？

(2) TLB 采用什么映射方式？TLB 用 SRAM 还是 DRAM 实现？

(3) Cache 采用什么映射方式？若 Cache 采用 LRU 替换算法和回写 (Write Back) 策略，则 Cache 每行中除数据(Data)、Tag 和有效位外，还应有哪些附加位？Cache 总容量是多少？Cache 中有效位的作用是什么？

(4) 若 CPU 给出的虚拟地址为 0008 C040H，则对应的物理地址是多少？是否在 Cache 中命中？说明理由，若 CPU 给出的虚拟地址为 0007 C260H，则该地址所在主存块映射到的 Cache 组号是多少？



虚拟存储，地址结构；
TLB的工作原理；
Cache的工作原理；
有TLB、Cache的地址变换过程

45. (16分) 已知 $f(n) = n! = n \times (n-1) \times (n-2) \times \cdots \times 2 \times 1$, 计算 $f(n)$ 的 C 语言函数 f1 的源程序 (阴影部分) 及其在 32 位计算机 M 上的部分机器级代码如下: ↵

```

int f1(int n) {↵
    1 00401000    55                                push ebp↵
    ...          ...                                ...↵
    if(n>1)↵
    1100401018    83 7D 08 01    cmp dword ptr [ebp+8],1↵
    120040101C    7E 17          jle f1+35h (00401035)↵
    return n*f1(n-1);↵
    130040101E    8B 45 08      mov eax, dword ptr [ebp+8]↵
    1400401021    83 E8 01      sub eax, 1↵
    1500401024    50          push eax↵
    1600401025    E8 D6 FF FF FF    call f1 ( 00401000)↵
    ...          ...                                ...↵
    1900401030    0F AF C1      imul eax, ecx↵
    2000401033    EB 05      jmp f1+3Ah (0040103a)↵
    else return 1;↵
    2100401035    B8 01 00 00 00    mov eax,1↵
    }↵
    ...          ...                                ...↵
    2600401040    3B EC          cmp ebp, esp↵
    ...          ...                                ...↵
    300040104A    C3          ret↵

```

其中, 机器级代码行包括行号、虚拟地址、机器指令和汇编指令, 计算机 M 按字节编址, int 型数据占 32 位。请回答下列问题: ↵

结合C语言，读懂各条指令的作用；
条件转移指令、无条件转移指令、函数调用 call 指令的原理（修改PC）

- (1) 计算 $f(10)$ 需要调用函数 $f1$ 多少次？执行哪条指令会递归调用 $f1$ ？
- (2) 上述代码中，哪条指令是条件转移指令？哪几条指令一定会使程序跳转执行？
- (3) 根据第 16 行的 call 指令，第 17 行指令的虚拟地址应是多少？已知第 16 行的 call 指令采用相对寻址方式，该指令中的偏移量应是多少（给出计算过程）？已知第 16 行的 call 指令的后 4 字节为偏移量，M 是采用大端方式还是采用小端方式？
- (4) $f(13) = 6227020800$ ，但 $f1(13)$ 的返回值为 1932053504，为什么两者不相等？要使 $f1(13)$ 能返回正确的结果，应如何修改 $f1$ 的源程序？
- (5) 第 19 行的 imul 指令（带符号整数乘）的功能是 $R[ecx] \leftarrow R[ecx] \times R[ecx]$ ，当乘法器输出的高、低 32 位乘积之间满足什么条件时，溢出标志 $OF = 1$ ？要使 CPU 在发生溢出时转异常处理，编译器应在 imul 指令后应加一条什么指令？

数据的精度、溢出问题

略微超纲

46. (7 分) 对于题 45，若计算机 M 的主存地址为 32 位，采用分页存储管理方式，页大小为 4KB，则第 1 行的 push 指令和第 30 行的 ret 指令是否在同一页中（说明理由）？若指令 Cache 有 64 行，采用 4 路组相联映射方式，主存块大小为 64B，则 32 位主存地址中，哪几位表示块内地址？哪几位表示 Cache 组号？哪几位表示标记（tag）信息？读取第 16 行的 call 指令时，只可能在指令 Cache 的哪一组中命中（说明理由）？

虚拟分页存储；
Cache 的工作原理；

43、有实现 $x*y$ 的两个 C 语言函数如下：

```
Unsigned umul (unsigned x, unsigned y)
{return x*y;}
```

```
Int imul(int x, int y)
{return x*y;}
```

数据的运算：二进制乘法；
溢出问题

假定某计算机 M 中 ALU 只能进行加减运算和逻辑运算。请回答：

(1) 若 M 的指令系统中没有乘法指令，但有加法、减法和位移等指令，则在 M 上也能实现上述两个函数中的乘法运算，为什么？

(2) 若 M 的指令系统中有乘法指令，则基于 ALU、位移器、寄存器以及相应控制逻辑实现乘法指令时，控制逻辑的作用是什么？

(3) 针对以下 3 种情况：(a) 没有乘法指令；(b) 有使用 ALU 和位移器实现的乘法指令；(c) 有使用阵列乘法器实现的乘法指令，函数 `umul()` 在哪种情况下执行时间最长？哪种情况下执行的时间最短？说明理由

(4) n 位整数乘法指令可保存 $2n$ 位乘积，当仅取低 n 位作为乘积时，其结果可能会发生溢出。当 $n=32$ ， $x=2^{31}-1$ ， $y=2$ 时，带符号整数乘法指令和无符号整数乘法指令得到的 $x*y$ 的 $2n$ 位乘积分别是什么（用十六进制表示）？此时函数 `umul()` 和 `imul()` 的返回结果是否溢出？对于无符号整数乘法运算，当仅取乘积的低 n 位作为乘法结果时，如何用 $2n$ 位乘积进行溢出判断？

44、假定主存地址为 32 位，按字节编址，指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式，直写 (Write Through) 写策略和 LRU 替换算法，主存块大小为 64B，数据区容量各为 32KB。开始时 Cache 均为空，请回答下列问题：

(1) Cache 每一行中标记 (Tag)、LRU 位各占几位？是否有修改位？

(2) 有如下 C 语言程序段：

```
for (k=0; k<1024; k++)
```

```
    S[k]=2*s[k];
```

若数组 S 及其变量 k 均为 int 型，int 型数据占 4B，变量 k 分配在寄存器中，数组 s 在主存中的起始地址为 0080 00C0H，则该程序段执行过程中，访问数组 S 的数据 Cache 缺失次数为多少？

(3) 若 CPU 最先开始的访问操作是读取主存单元 0001 003H (或者 0001 0003H？好像记错了) 中的指令，简要说明从 Cache 中访问该指令的过程，包括 Cache 缺失处理过程。

Cache的工作原理；
结合C语言分析Cache命中情况；

2009	2010	2011	2012	2013	2014
中断控制方式的处理过程；DMA控制方式的处理过程。	指令格式；寻址范围；指令执行的微操作过程	C语言中常见变量的表示；强制类型转换；补码加法的应用；溢出判断。	CPU性能指标的计算；引入Cache后的访存原理；虚拟内存的工作原理；DMA控制方式的工作原理；低位交叉存储的流水线	CPU性能指标、总线性能指标的计算；低位交叉存储方式；总线的突发传送过程；引入Cache后的访存原理；	结合C语言，读懂各条指令的作用；条件转移指令的工作原理；五段式指令流水线
指令执行的详细过程；说明每一步的微操作、微命令。并安排合理的时序	Cache和主存的映射；C语言汇总二维数组的存储原理；Cache命中率的计算	虚拟存储系统的地址结构；Cache的工作原理；TLB的工作原理；	数据的移位运算；五段式指令流水线；流水线的“冲突”原因；	条件转移指令的工作原理；CPU内部常见的硬件部件（根据处理逻辑推测）	Cache的工作原理；指令的溢出判断；虚拟存储，缺页异常的产生原因；TLB的工作原理；
2015	2016	2017	2018	2019	2020
指令执行的数据通路；数据通路上各种常见的硬件部件及作用；控制信号连线；	中断控制方式的处理过程；	C语言强制类型转换；各种数的精度问题、溢出问题	程序定时查询方式的工作过程；中断查询方式的工作过程；DMA方式的工作过程；	C语言对应的指令序列；条件转移指令、无条件转移指令、函数调用 call 指令的原理；数据的精度、溢出问题	数据的运算：二进制乘法；溢出问题
指令格式；各步微操作对应的微命令；微操作的时序安排；	TLB的工作原理；Cache的工作原理；虚拟存储，缺页异常；Cache淘汰策略、页面淘汰处理；	C语言对应的指令序列；比较指令cmp、条件转移指令的工作原理；数据的运算，算数左移	虚拟存储，地址结构；TLB的工作原理；Cache的工作原理；有TLB、Cache的地址变换过程	虚拟分页存储；Cache的工作原理；	Cache的工作原理；结合C语言分析Cache命中情况；

数据的运算；强制类型转换；精度、溢出问题	3+3
Cache、TLB、虚拟分页	7
一条指令的执行过程	5
指令序列的工作过程	4
三种中断控制方式	3
杂七杂八	2

12. 下列关于冯·诺依曼结构计算机基本思想的叙述中,错误的是
- A. 程序的功能都通过中央处理器执行指令实现
 - B. 指令和数据都用二进制表示,形式上无差别
 - C. 指令按地址访问,数据都在指令中直接给出
 - D. 程序执行前,指令和数据需预先存放在存储器中
13. 考虑以下 C 语言代码:
- ```
unsigned short usi = 65535;
short si = usi;
```
- 执行上述程序段后,si 的值是
- A. -1
  - B. -32767
  - C. -32768
  - D. -65535
14. 下列关于缺页处理的叙述中,错误的是
- A. 缺页是在地址转换时 CPU 检测到的一种异常
  - B. 缺页处理由操作系统提供的缺页处理程序来完成
  - C. 缺页处理程序根据页故障地址从外存读入所缺失的页
  - D. 缺页处理完成后回到发生缺页的指令的下一条指令执行
15. 某计算机采用大端方式,按字节编址。某指令中操作数的机器数为 1234 FF00H,该操作数采用基址寻址方式,形式地址(用补码表示)为 FF12H,基址寄存器内容为 F000 0000H,则该操作数的 LSB(最低有效字节)所在的地址是
- A. F000 FF12H
  - B. F000 FF15H
  - C. EFFF FF12H
  - D. EFFF FF15H



16. 下列有关处理器时钟脉冲信号的叙述中,错误的是
- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
  - B. 时钟脉冲信号的宽度称为时钟周期,时钟周期的倒数为机器主频
  - C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
  - D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令
17. 某指令功能为  $R[r2] \leftarrow R[r1] + M[R[r0]]$ , 其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件,该指令在取数及执行过程中需要用到的是
- I. 通用寄存器组(GPRs)
  - II. 算术逻辑单元(ALU)
  - III. 存储器(Memory)
  - IV. 指令译码器(ID)
- A. 仅 I、II
  - B. 仅 I、II、III
  - C. 仅 II、III、IV
  - D. 仅 I、III、IV
18. 在采用“取指、译码/取数、执行、访存、写回”5段流水线的处理器中,执行如下指令序列,其中  $s0$ 、 $s1$ 、 $s2$ 、 $s3$  和  $t2$  表示寄存器编号。
- |                       |                                     |
|-----------------------|-------------------------------------|
| I1: add $s2, s1, s0$  | // $R[s2] \leftarrow R[s1] + R[s0]$ |
| I2: load $s3, 0(t2)$  | // $R[s3] \leftarrow M[R[t2] + 0]$  |
| I3: add $s2, s2, s3$  | // $R[s2] \leftarrow R[s2] + R[s3]$ |
| I4: store $s2, 0(t2)$ | // $M[R[t2] + 0] \leftarrow R[s2]$  |
- 下列指令对中,不存在数据冒险的是
- A. I1 和 I3
  - B. I2 和 I3
  - C. I2 和 I4
  - D. I3 和 I4

19. 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接插的存储器总线的工作频率为 1333 MHz、总线宽度为 64 位, 则存储器总线的总带宽大约是
- A. 10.66 GB/s      B. 32 GB/s      C. 64 GB/s      D. 96 GB/s
20. 下列关于磁盘存储器的叙述中, 错误的是
- A. 磁盘的格式化容量比非格式化容量小
- B. 扇区中包含数据、地址和校验等信息
- C. 磁盘存储器的最小读写单位为一个字节
- D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成
21. 某设备以中断方式与 CPU 进行数据交换, CPU 主频为 1 GHz, 设备接口中的数据缓冲寄存器为 32 位, 设备的数据传输率为 50 kB/s。若每次中断开销(包括中断响应和中断处理)为 1 000 个时钟周期, 则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是
- A. 1.25%      B. 2.5%      C. 5%      D. 12.5%
22. 下列关于 DMA 方式的叙述中, 正确的是
- I. DMA 传送前由设备驱动程序设置传送参数
- II. 数据传送前由 DMA 控制器请求总线使用权
- III. 数据传送由 DMA 控制器直接控制总线完成
- IV. DMA 传送结束后的处理由中断服务程序完成
- A. 仅 I、II      B. 仅 I、III、IV
- C. 仅 II、III、IV      D. I、II、III、IV

4门课

## 21考研计算机408全程班

进群领券 券后999

限时 15天06:27:10 限量 162

### 21考研·408计算机统考全程提分

券后999

王道计算机讲师团

人 4514

**¥1199** ¥2116

2021考研  
计算机网络

进群领券,券后299

限时 46天06:31:10 限量 277

21考研·计算机网络全程班  
任何基础适用  
王道论坛

人 5508

**¥499** ¥629

2021考研  
操作系统

进群领券,券后299

限时 46天06:31:10 限量 271

21考研·操作系统全程班  
任何基础适用  
王道论坛

人 5554

**¥499** ¥629

2021考研  
组成原理

进群领券,券后299

限时 46天06:30:58 限量 281

21考研·计算机组成原理全程班  
任何基础适用  
王道论坛

人 5586

**¥499** ¥629

2021考研  
数据结构

进群领券,券后299

限时 46天06:30:42 限量 492

21考研·数据结构全程班  
任何基础适用  
王道论坛

人 8552

**¥499** ¥629



21慕课408全程班咨询群

扫一扫二维码, 加入群聊。

扫码进群咨询领优惠券



扫码咨询客服定向班



## Q&A



扫码进群咨询领优惠券



扫码咨询客服定向班