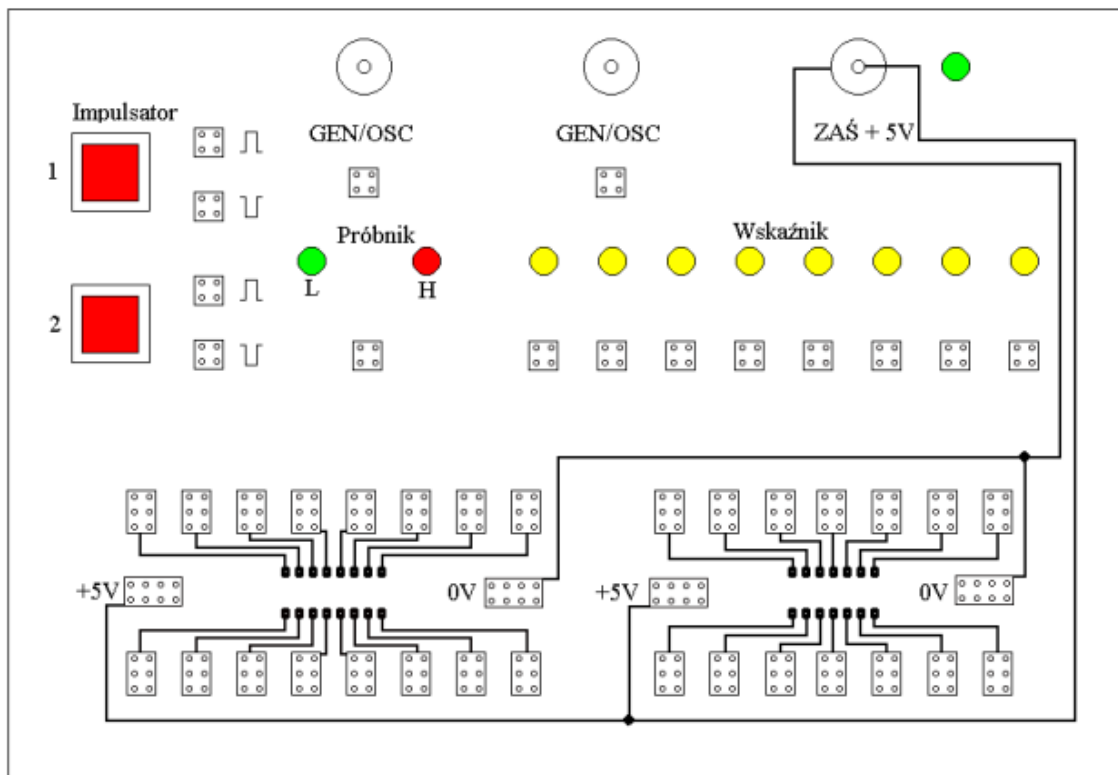


Sprawozdanie ćwiczenia 4

Autor: Krzysztof Buczek

1. Zapoznać się z płytką UC-1 do badania układów scalonych TTL.

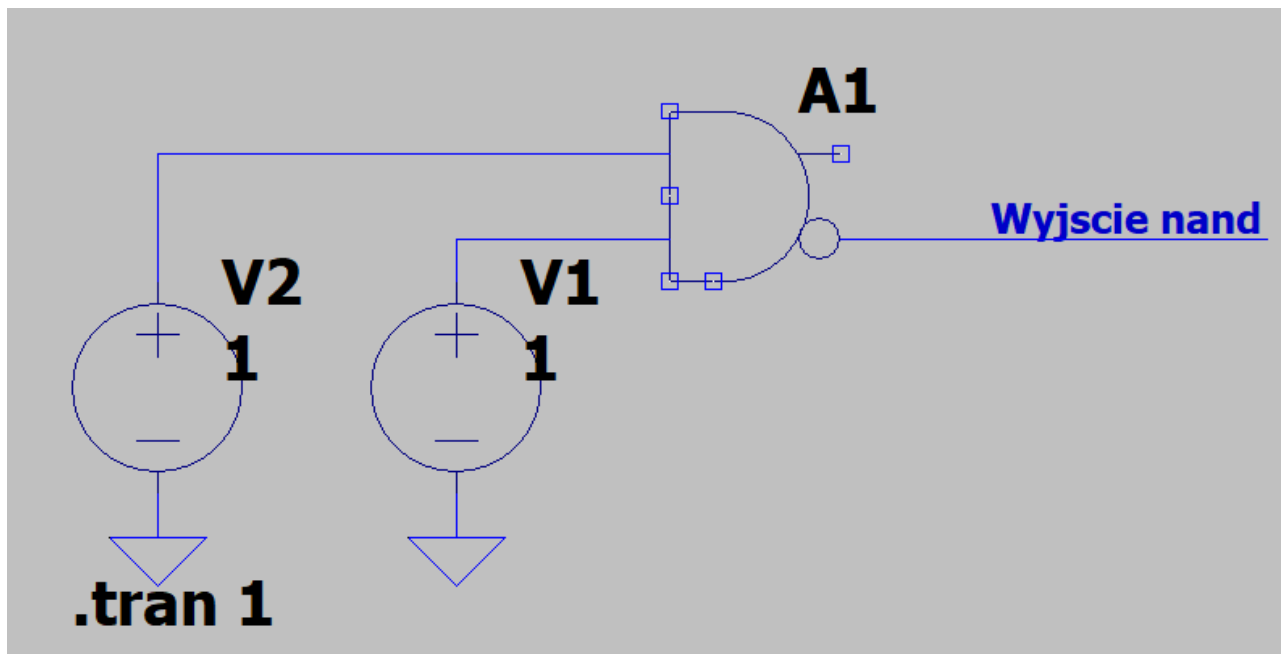


2. Zbadać tablicę logiczną dla następujących bramek logicznych NAND (7400), NOR (7402), Ex-OR (7486) mierząc poziomo odpowiednich napięć, a następnie sprawdzając je próbnikiem stanów logicznych.

Tablica logiczna NAND:

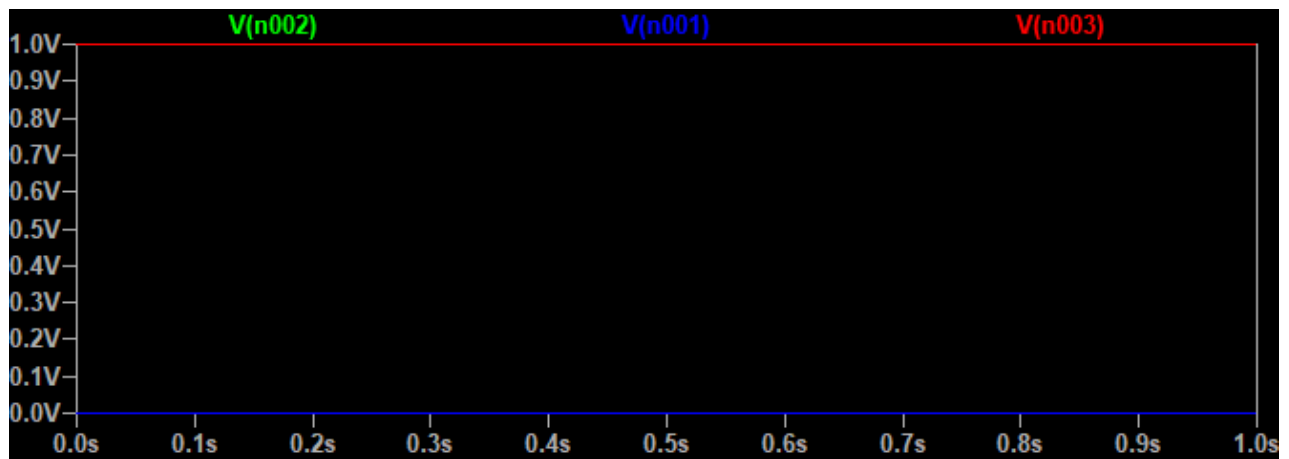
$$f = \overline{a \cdot b}$$

a	b	f
0	0	1
0	1	1
1	0	1
1	1	0

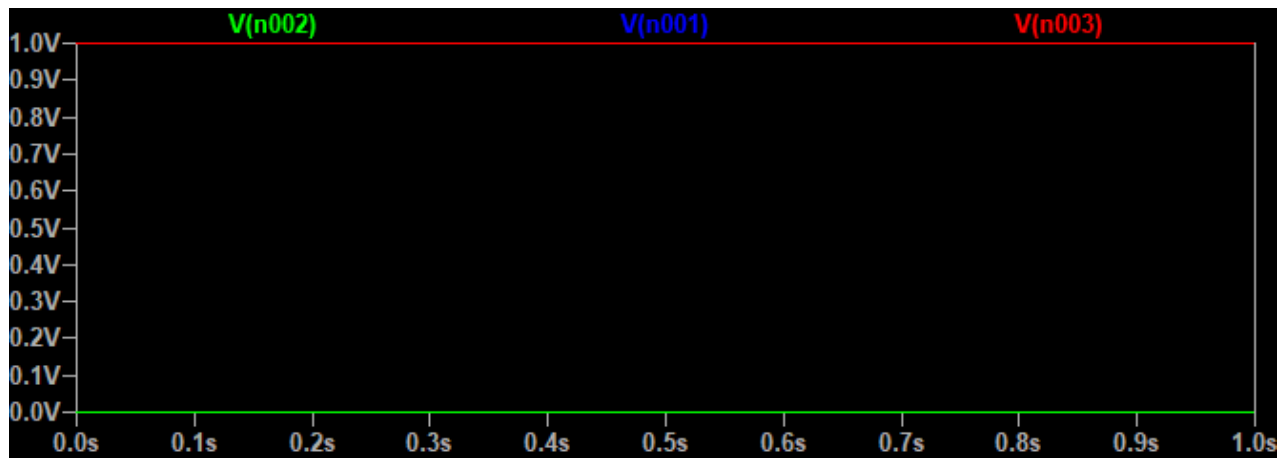


Na wszystkich wykresach V1 ma kolor **zielony**, V2 kolor **niebieski**, a wyjście jest oznaczone kolorem **czerwonym**.

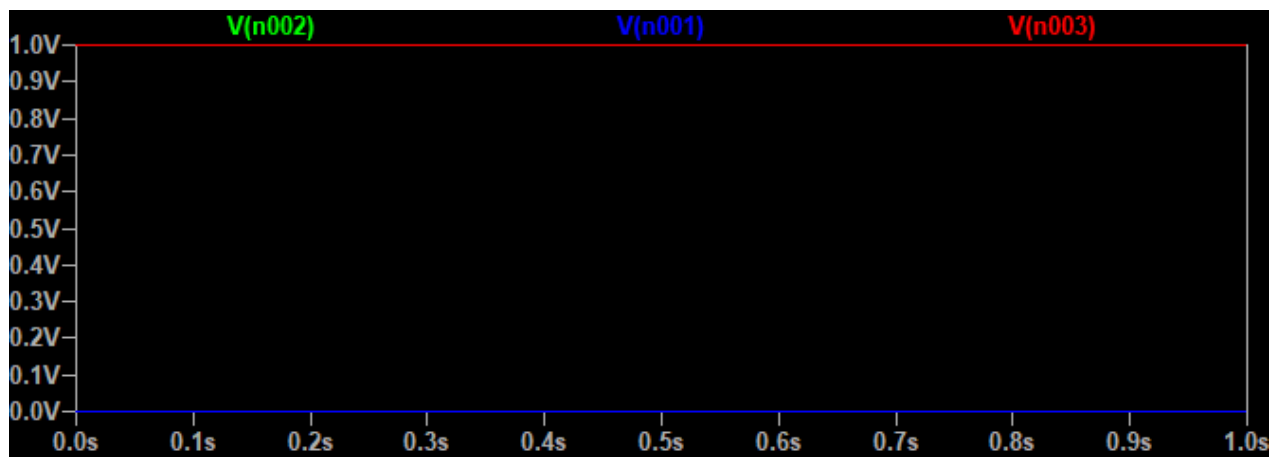
V1 = 0 V, V2 = 0 V, wyjście = 1 V:



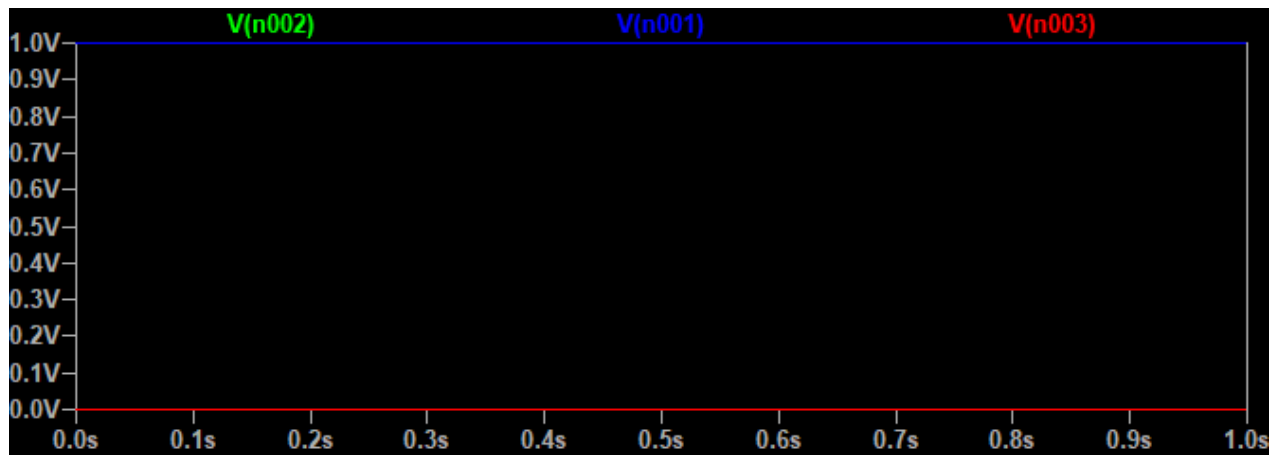
$V_1 = 0\text{ V}$, $V_2 = 1\text{ V}$, wyjście = 1 V:



$V_1 = 1\text{ V}$, $V_2 = 0\text{ V}$, wyjście = 1 V:



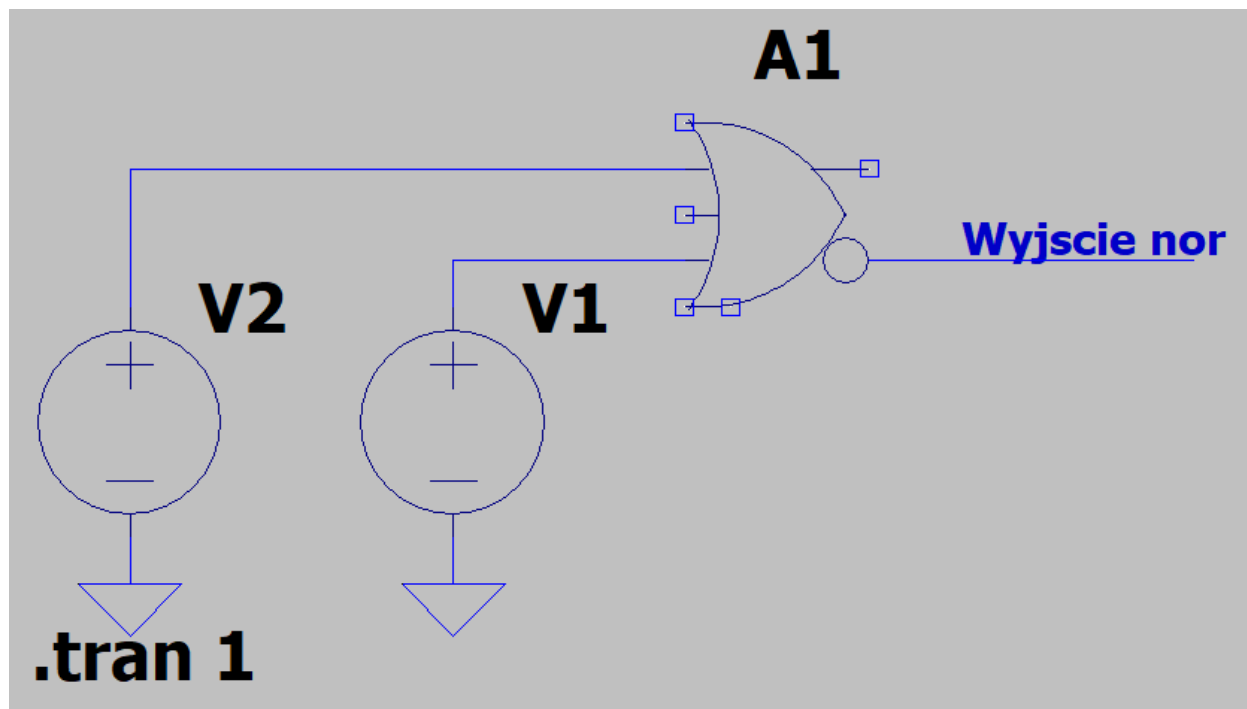
$V_1 = 1\text{ V}$, $V_2 = 1\text{ V}$, wyjście = 0 V:



Tablica logiczna NOR:

$$f = \overline{a+b}$$

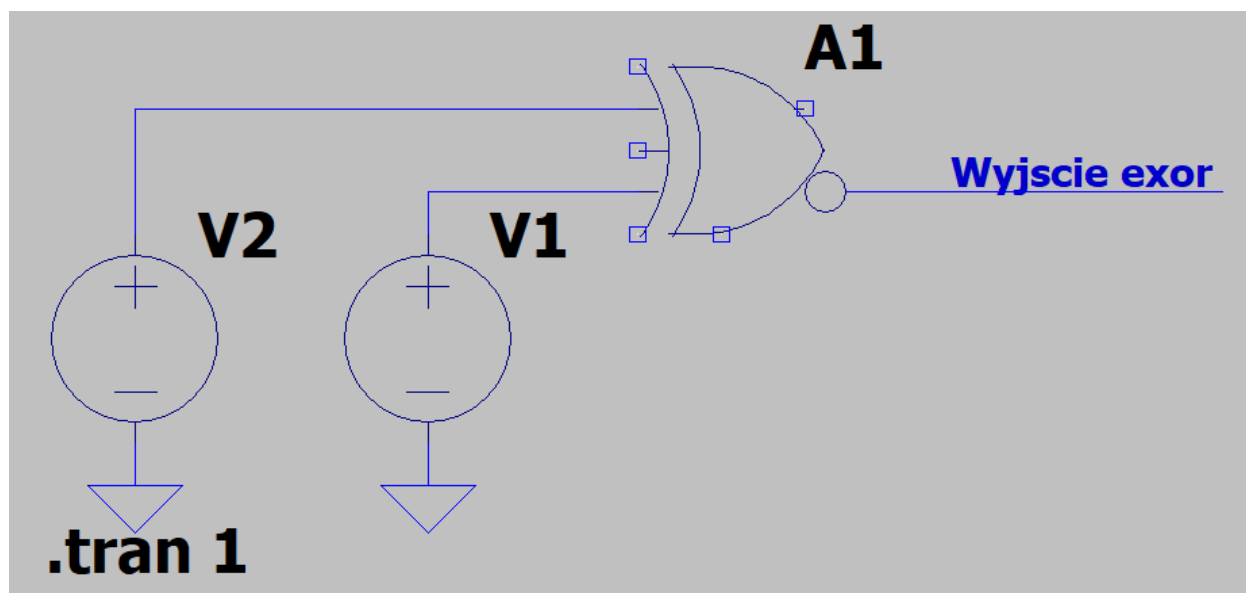
a	b	f
0	0	1
0	1	0
1	0	0
1	1	0



Tablica logiczna Ex-OR:

$$f = a \oplus b$$

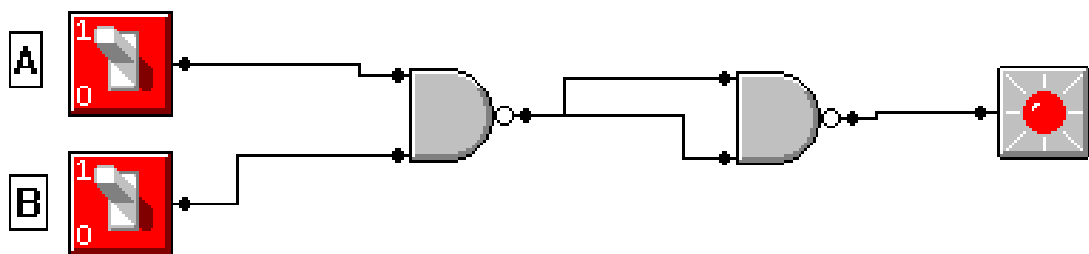
a	b	f
0	0	0
0	1	1
1	0	1
1	1	0



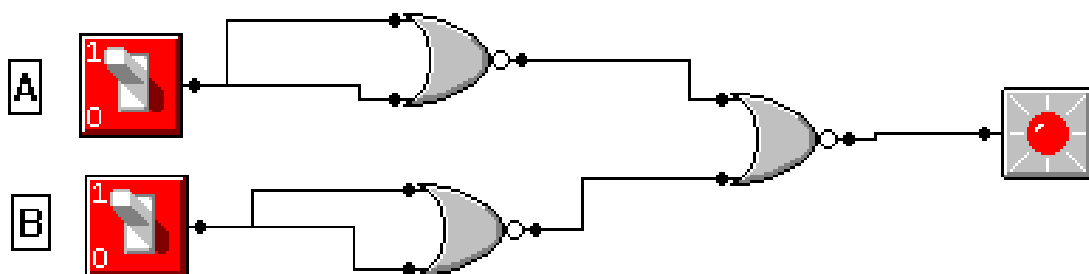
3. Używając funktorów NAND (7400), NOR (7402) zbudować układ realizujący iloczyn logiczny, sumę logiczną, funkcję negacji. Sprawdzić tablicę logiczną funktorów używając próbnika stanów logicznych.

Iloczyn logiczny:

funktory NAND:



funktory NOR:

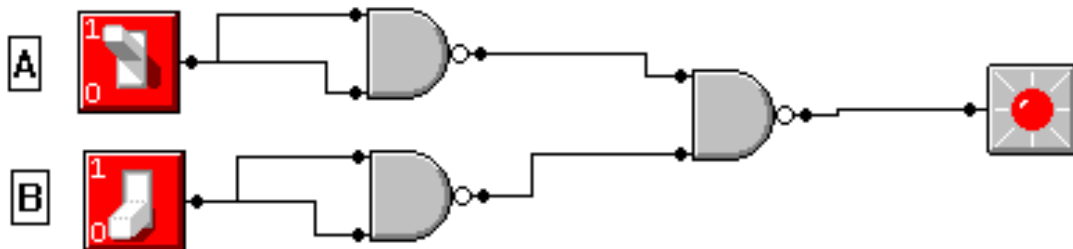


Tablica logiczna:

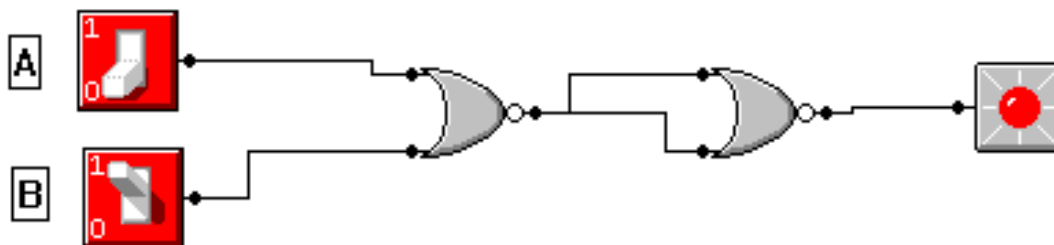
Wejście A	Wejście B	Wyjście
1	1	1
0	1	0
1	0	0
0	0	0

Suma logiczna:

funktory NAND:



funktory NOR:



Tablica logiczna:

Wejście A	Wejście B	Wyjście
1	1	1
0	1	1
1	0	1
0	0	0

Funkcja negacji:

funktory NAND:



funktory NOR:



Tablica logiczna:

Wejście A	Wyjście
1	0
0	1

4. Wyznaczyć średni czas propagacji impulsu przez bramkę mierząc okres drgań generatora zbudowanego z trzech bramek. Użyć do budowy generatora bramek serii podstawowej 7400. a potem bramek serii szybkiej 74S00. Porównaj wyniki.

5. Zbudować funkcję logiczną dla jednego wybranego segmentu (a, b, c, d, e, f, g) wskaźnika 7- segmentowego, którego zadaniem będzie wyświetlanie liczb w systemie ósemkowym. Z funkcyj NAND (7400) zaprojektować i zmontować przerzutnik asynchroniczny R-S. Sprawdzić tabelę przejść.

Przedstawię układ realizujący funkcję logiczną dla segmentu c wskaźnika 7-segmentowego. Trzy kolejne bity tworzące liczbę od 0 do 7: A (pierwszy), B (drugi), C (trzeci).

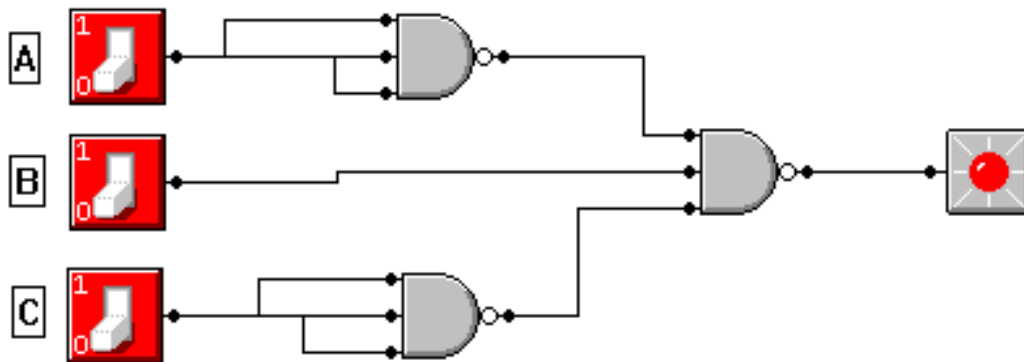
Tablica

	C	B	A	Segment c
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Funkcja logiczna reprezentująca powyższą tabelę:

$$\begin{aligned}
 F &= \bar{B} * \bar{C} + \bar{B} * C + B * \bar{C} + A * B = \bar{B} (\bar{C} + C) + BC + AB \\
 &= \bar{B} + B(A + C) = (\bar{B} + B)\bar{B} + A + C = \bar{B} + A + C = \\
 &= \overline{AB} + C = \overline{ABC}
 \end{aligned}$$

Powyższą funkcję logiczną możemy zrealizować za pomocą układu:



6. Z funktorów NAND (7400) zaprojektować i zmontować przerzutnik asynchroniczny R-S. Sprawdzić tabelę przejść.

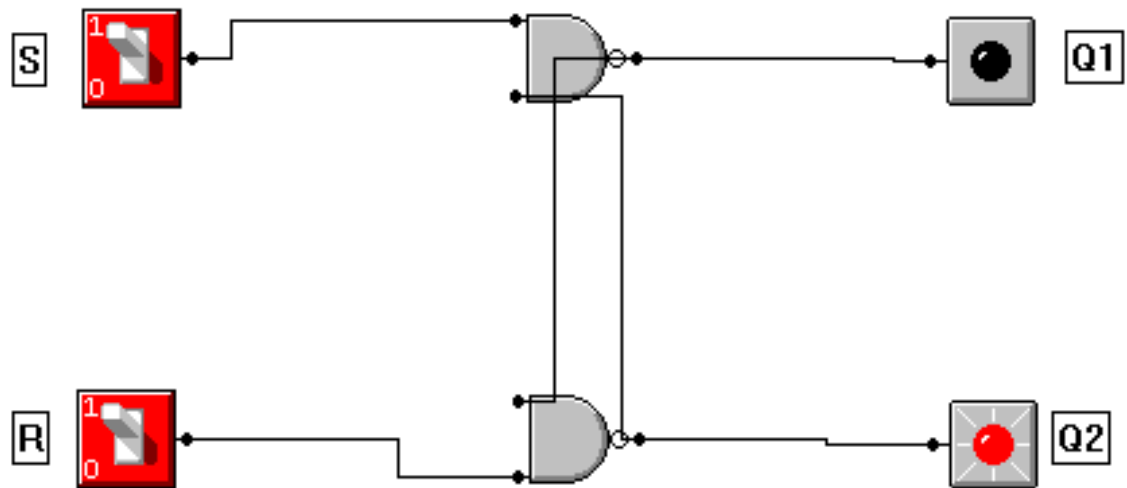
Układ zbudowany z funktorów NAND zapamiętuje stan na wyjściu, nawet jak stan na wejściu przestanie być podawany – stan pamiętania. Dzięki temu z przerzutników można budować pamięci. Przerzutnik działa od razu po otrzymaniu sygnału. Gdy na obu wejściach przerzutnika R-S mamy 1, to nazywamy ten stan niedozwolonym. Jest to niezgodne z logiką, gdyż wyjście Q jest wyjściem prostym, a drugie jest wyjściem zanegowanym. Wyjścia zawsze muszą być w przeciwnych stanach. Na wyjściu może być tylko albo 1 albo 0. Wejścia R i S są niezależne od stanu zegara, stąd bierze się określenie asynchroniczny.

Tabela przejść:

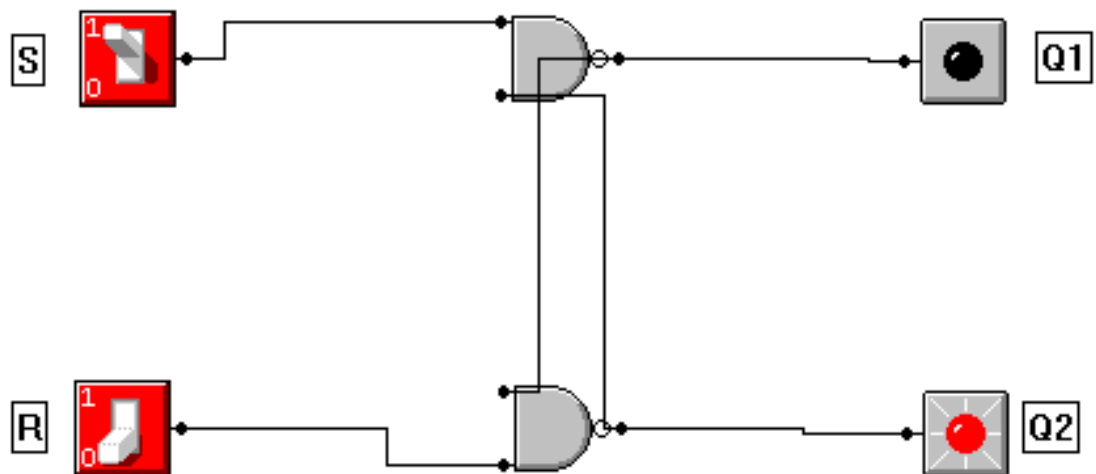
R	S	Q
0	0	stan pamiętania
1	0	0
0	1	1
1	1	stan niedozwolony

W moim przypadku przerzutnik działa w odwrotnej logice, gdyż sygnał powinien być odwrócony na wejściu. Wyjście Q1 powinno być zawsze sygnałem odwróconym wyjścia Q2.

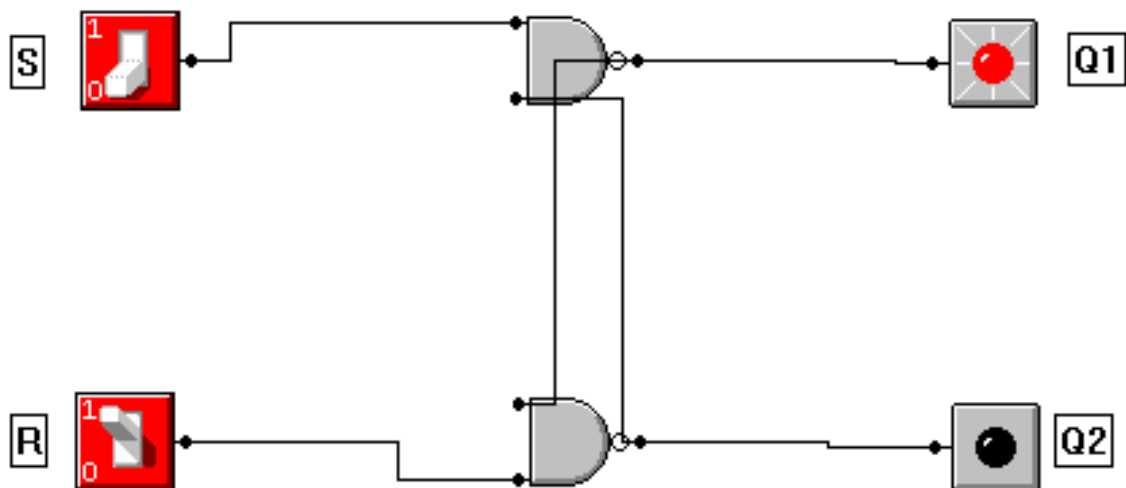
Stan pamiętania, R = 1, S = 1:



$R = 0, S = 1, Q2 = 1$:



$R = 1, S = 0, Q2 = 0$:



Stan zabroniony R = 0, S = 0, Q1 = Q2 = 1;

