

실험 5. ALU와 JK 플립플롭

2022. 04. 29.

디지털 시스템 설계 (CSED273)

1. 개요

컴퓨터의 기초가 되는 산술 논리 장치(Arithmetic Logic Unit: ALU)와 정보를 저장할 수 있는 JK 플립플롭(Flip-flop)을 구현한다.

2. 이론적 배경

1) ALU (Arithmetic Logic Unit)

ALU는 입력에 대해 여러 산술(Arithmetic) 및 논리(Logic) 연산을 수행한다. 연산의 종류에 따라 산술 장치와 논리 장치 두 부분으로 나눌 수 있는데, 산술 장치는 사칙 연산 등을, 그리고 논리 장치는 Bitwise 논리 연산 등을 맡는다.

2) 비동기 회로 / 동기 회로

모든 조합 회로와 클록을 따르지 않는 순차 회로는 비동기 회로다. 한편 동기 회로는 동기화 되어, 즉 다른 회로와 같은 순간에 맞춰 작동하기 위해 클록 신호를 따른다.

3) JK 래치 / JK 플립플롭

JK 래치는 SR 래치에 추가적인 회로를 더해 S와 R이 동시에 1인 상황에서도 정상적으로 작동하도록 수정한 것이다. JK 래치에서 J와 K가 동시에 1일 경우 현재 상태에 상관없이 값을 반전시킨다.

래치가 입력이 바뀔 때 출력도 바로 바뀌는 비동기 회로라면 플립플롭은 입력이 바뀌더라도 출력이 클록에 맞추어 반영되는 동기 회로이다. 즉 JK 플립플롭은 클록 신호를 추가로 받아 이에 맞추어 작동한다.

4) Master-slave JK 플립플롭

Master-slave JK 플립플롭은 SR 래치 두 개를 연결하여 만든 플립플롭이다. 이 플립플롭은 클록이 1인 동안 Master 래치를 활성화해 입력을 임시로 저장한 뒤 클록이 0이 되는 순간 Slave 래치로 전달한다.

따라서 Master 래치가 활성화되어있는 동안 글리치로 잠깐 입력값이 생기면 이 값이 Master 래치에 저장되어있다가 다음 클록이 0이 되는 순간에 Slave 래치로 전파되는 문제가 있다. 이는 클록이 1인 동안 계속 입력을 받기 때문에 생기는 문제로 클록이 0에서 1로, 혹은 1에서 0으로 바뀌는 순간에만 입력을 받는 Edge-trigger 회로를 사용하여 해결할 수 있다.

3. 실험 준비

1) ALU

- ㄱ. 표 1의 ALU를 S_3 의 값에 따라 산술 장치와 논리 장치 두 부분으로 나누어 단순화하고 회로도를 그린다.
 - 산술 장치를 구현할 때 Adder는 하나만 사용한다.
 - 논리 장치를 작성할 때 4:1 MUX를 사용한다.
- ㄴ. 두 모듈을 2:1 MUX로 묶어 ALU의 회로도를 그린다.

산술 장치	Select				동작	Adder 입력		
	S_3	S_2	S_1	S_0	$out = A + B + C_{in}$	A	B	C_{in}
	0	0	0	0	x	0000	x	0
	0	0	0	1	$x + 1$	0000	x	1
	0	0	1	0	$x + y$	y	x	0
	0	0	1	1	$x + y + 1$	y	x	1
	0	1	0	0	$x + \bar{y}$	\bar{y}	x	0
	0	1	0	1	$x + \bar{y} + 1$	\bar{y}	x	1
	0	1	1	0	$x - 1$	1111	x	0
	0	1	1	1	x	1111	x	1
논리 장치	Select				동작			
	S_3	S_2	S_1	S_0	out_i			
	1	0	0	0	$x_i \text{ AND } y_i$			
	1	0	0	1	$x_i \text{ OR } y_i$			
	1	0	1	0	$x_i \text{ XOR } y_i$			
	1	0	1	1	\bar{x}_i			

표 1) ALU

2) Master-slave JK 플립플롭

- ㄱ. SR 래치의 회로도를 그린다.
- ㄴ. SR 래치를 사용해 Negative reset Master-slave JK 플립플롭의 회로도를 그린다.
- ㄷ. SR 래치와 비교해 Master-slave JK 플립플롭이 해결 가능한 글리치와 해결할 수 없는 글리치를 예상하고 분석한다.

* 보고서 필수 내용

- 실험 준비 과정

4. 실험

0) 공통 유의사항

- 주어진 코드에서 */* Add your code here */* 로 주석 처리된 부분만 수정하여 구현한다.
- 모든 입출력은 Little-endian 형식으로 표현한다.

* 보고서 필수 내용

- Schematic 기능으로 생성한 회로도 캡처
- 시뮬레이션 파형 캡처

1) ALU - lab5_1.v, lab5_1_tb.v

- ㄱ. 산술 장치와 논리 장치 모듈을 구현하고 이를 사용해 ALU를 완성한다.
- ㄴ. Schematic 기능으로 회로를 확인한다.
- ㄷ. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인한다.

2) Master-slave JK 플립플롭 - lab5_2.v, lab5_2_tb.v

- ㄱ. SR 래치 모듈을 구현하고 이를 사용해 Negative reset Master-slave JK 플립플롭을 완성한다.
- ㄴ. Schematic 기능으로 회로를 확인한다.
- ㄷ. 테스트 벤치를 완성하고 시뮬레이션을 실행해 주어진 조건에서 정상 작동을 확인한다.
- ㄹ. 테스트 벤치를 수정해 SR 래치 대비 해결된 글리치와 해결되지 못한 글리치를 모두 보인다.

5. 제출

{학번}_lab5.zip으로 다음 파일을 압축하여 PLMS로 제출한다.

- lab5_1.v *// 코드*
- lab5_1_tb.v
- lab5_2.v
- lab5_2_tb.v
- lab5_report.pdf *// 보고서*