

Lab4. 이진수 연산

20200437 김채현

1. 개요

본 실험은 이진수 덧셈에 사용되는 반가산기와 전가산기를 구현함으로써 그 기능을 이해하고, 이를 이용하여 5-bit 리플 가산기/감산기, 그리고 만들어진 가산기를 이용하여 5x3 이진 곱셈기를 구현하는 것을 목적으로 한다.

2. 이론적 배경 및 실험 준비

1) 반가산기 (Half adder)

반가산기는 1-bit input 2개를 받아 sum과 carry를 output으로 출력하는 간단한 adder이다. 진리표와 식, 그리고 회로는 다음과 같다.

A	B	C(carry)	S(sum)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

표 1. 반가산기 진리표

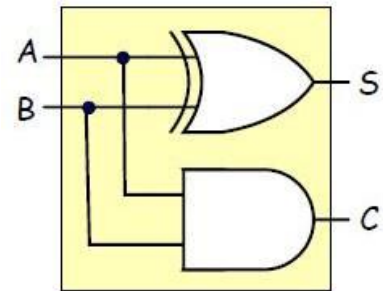


그림 1. 반가산기 회로도

반가산기의 식은 $C = AB$, $S = A \oplus B$ 이다.

2) 전가산기 (Full adder)

전가산기는 1-bit input 3개를 받아 sum과 carry-out을 output으로 출력하는 adder이다. 일반적으로 올림으로 들어오는 input(carry-in)을 포함한 덧셈에서 주로 사용된다. 진리표와 식, 그리고 회로는 다음과 같다.

A	B	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1

1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

표 2. 전가산기 진리표

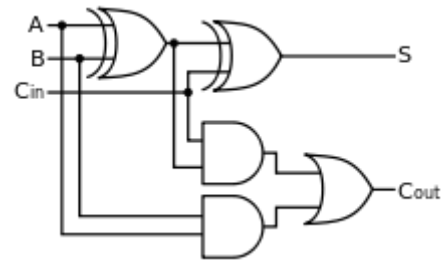


그림 2. 전가산기 회로도

전가산기의 식은 $C_{out} = AB + C_{in}(A \oplus B)$, $S = A \oplus B \oplus C_{in}$ 이다.

따라서 반가산기를 이용한 전가산기 회로도 는 다음과 같다.

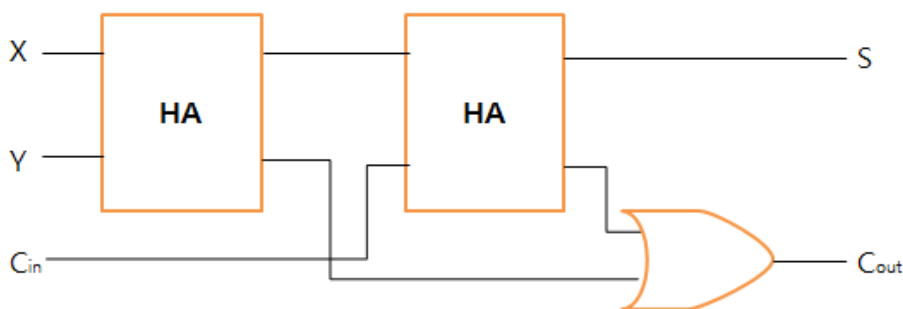


그림 3. 반가산기를 전가산기 회로도

3) N-bit 리플 가산기 / 감산기 (N-bit Ripple Adder / Subtractor)

N-bit 가산기는 N-bit의 input 2개를 더하여 output으로 N-bit의 결과를 출력하는 가산기이다. N-bit 가산기를 구현하는 방법이 N-bit 리플 가산기이다. 리플 가산기는 틀이 간단하여 빠르게 디자인할 수 있는 장점이 있다. 하지만 전가산기의 자리 올림수 입력이 이전 가산기의 자리 올림수 출력이므로 하나의 전가산기가 계산되기 위해 이전 가산기의 연산을 기다려야한다.

전가산기를 이용해 5-bit 리플 가산기의 회로를 나타내면 다음과 같다.

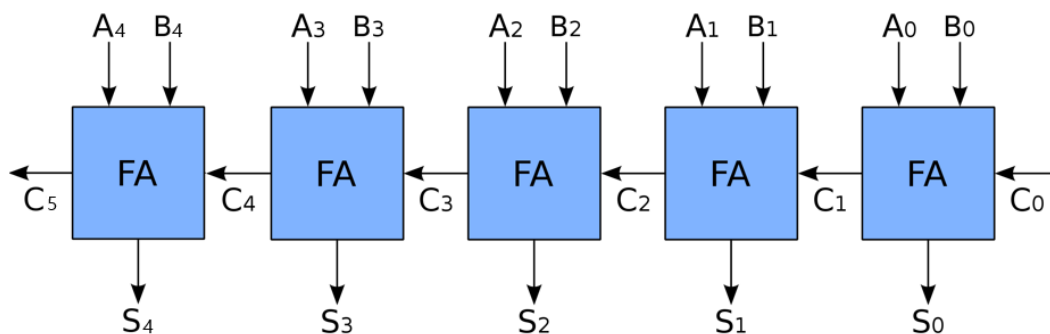


그림 4. 5-bit 리플 가산기

위의 회로는 가산기로만 작동할 수 있는데 반해 아래의 회로는 가산기와 감산기 모두로 작동할 수 있다. K 값이 0이면 가산기, 1이면 감산기로 작동한다.

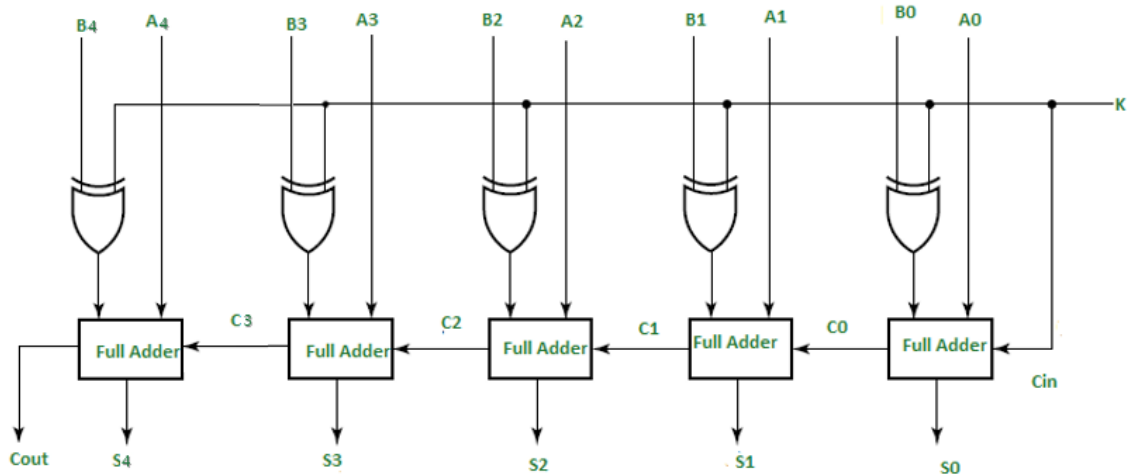


그림 5. 5-bit 리플 가산기 / 감산기

4) MxN 이진 곱셈기 (MxN Binary Multiplier)

MxN 이진 곱셈기는 M-bit Multiplicand와 N-bit Multiplier를 곱하는 Multiplier이다. 예컨대, 5x3 이진 곱셈은 다음과 같이 이루어지는데, 이를 회로도로 나타내면 아래와 같다.

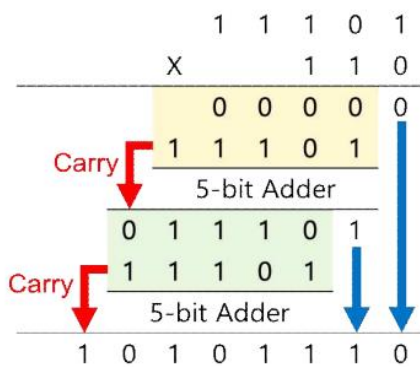


그림 6. 5x3 이진 곱셈 예시

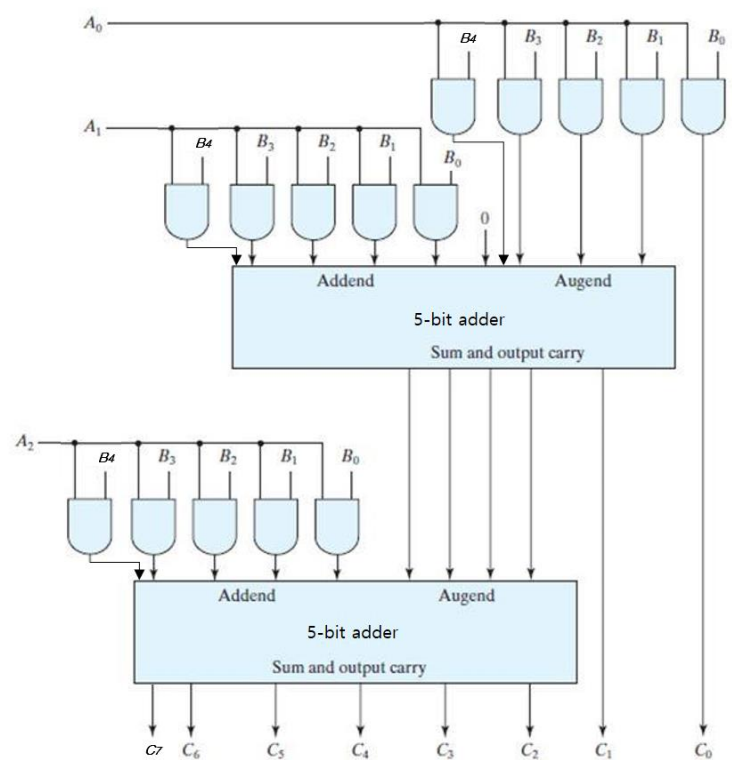


그림 7. 5x3 이진 곱셈기 회로

3. 결과

1) 반가산기, 전가산기

반가산기(Half Adder)와 전가산기(Full Adder)의 Schematic은 다음과 같다.

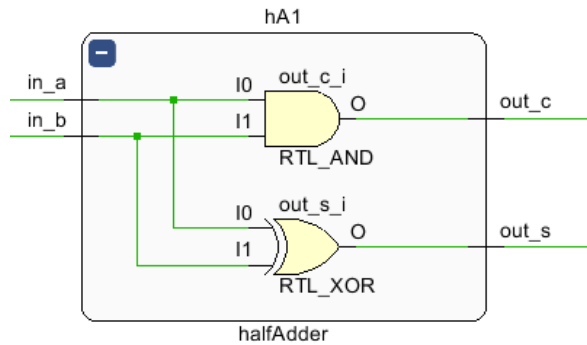


그림 8. 반가산기 Schematic

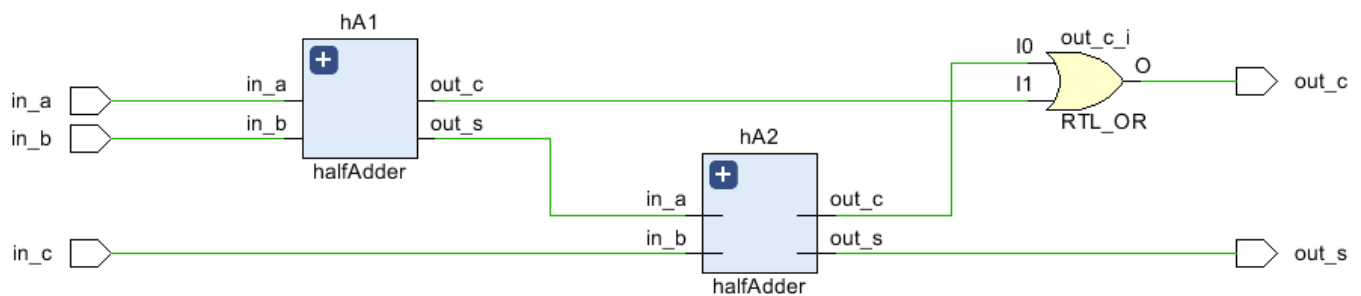


그림 9. 반가산기를 이용한 전가산기 Schematic

2) 5비트 리플 가산기

5비트 리플 가산기의 Testbench와 Schematic은 다음과 같다.

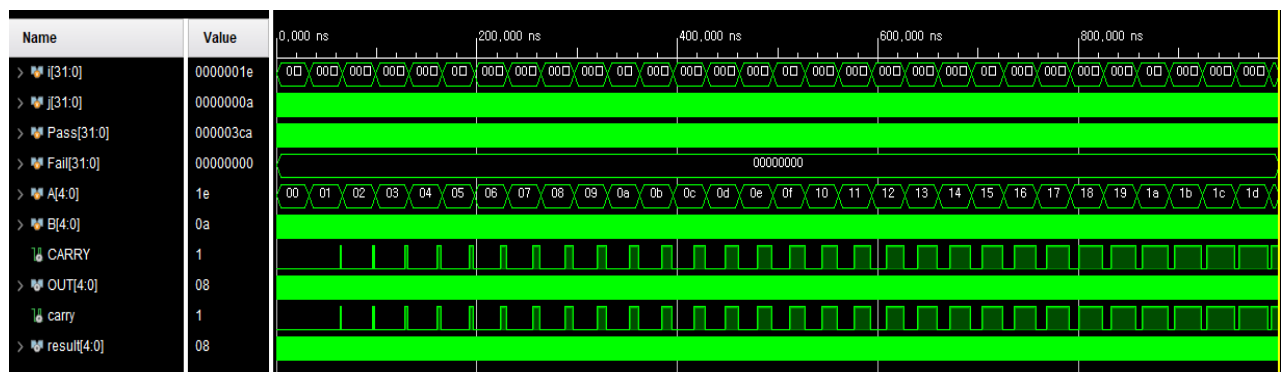


그림 10. 5비트 리플 가산기 Testbench

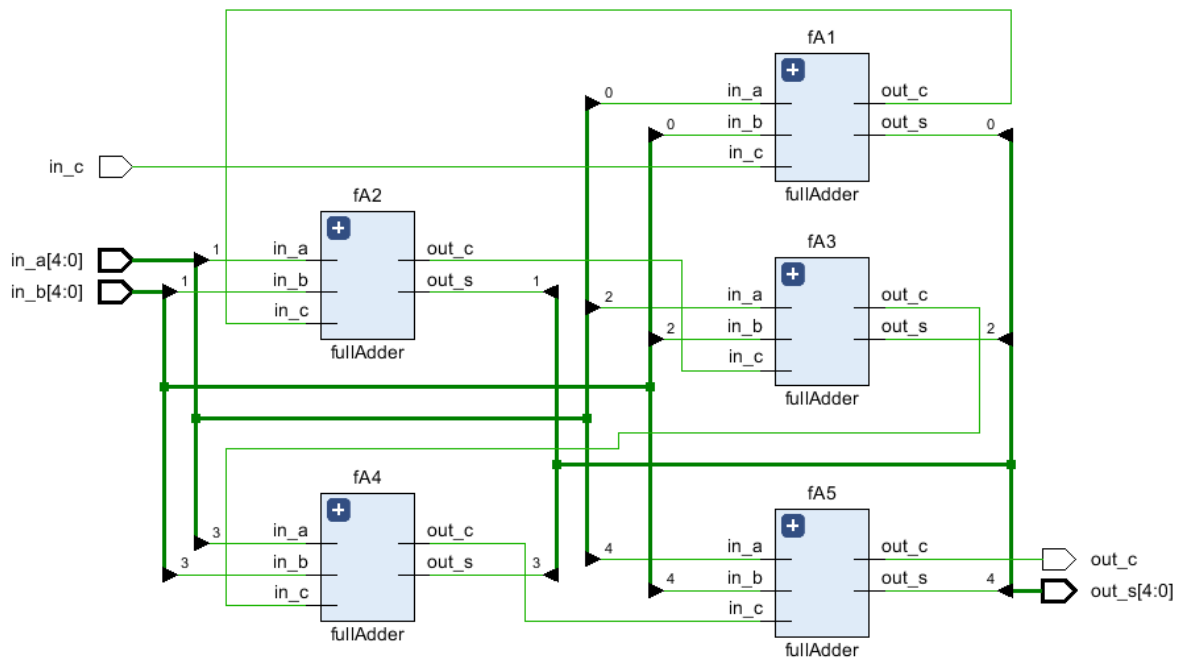


그림 11. 5비트 리플 가산기 Schematic

3) 5비트 리플 감산기

5비트 리플 감산기의 Testbench와 Schematic은 다음과 같다.

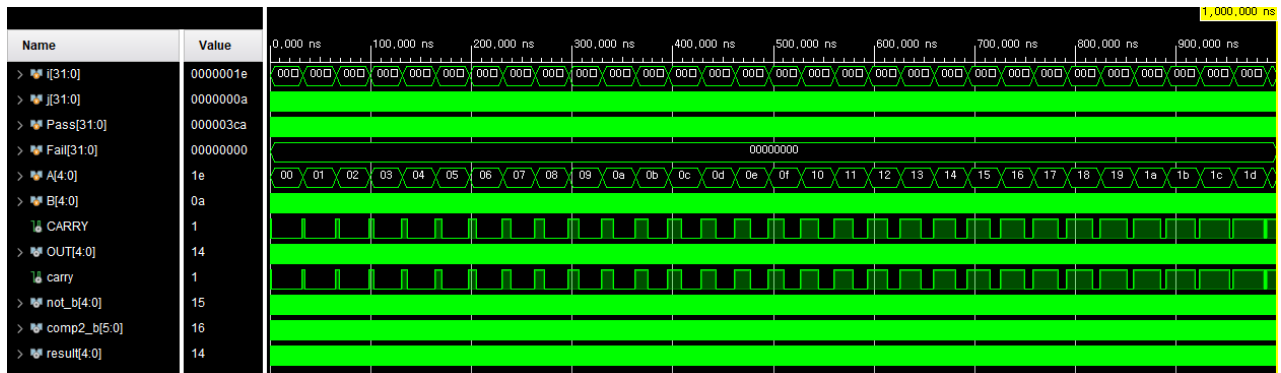


그림 12. 5비트 리플 감산기 Testbench

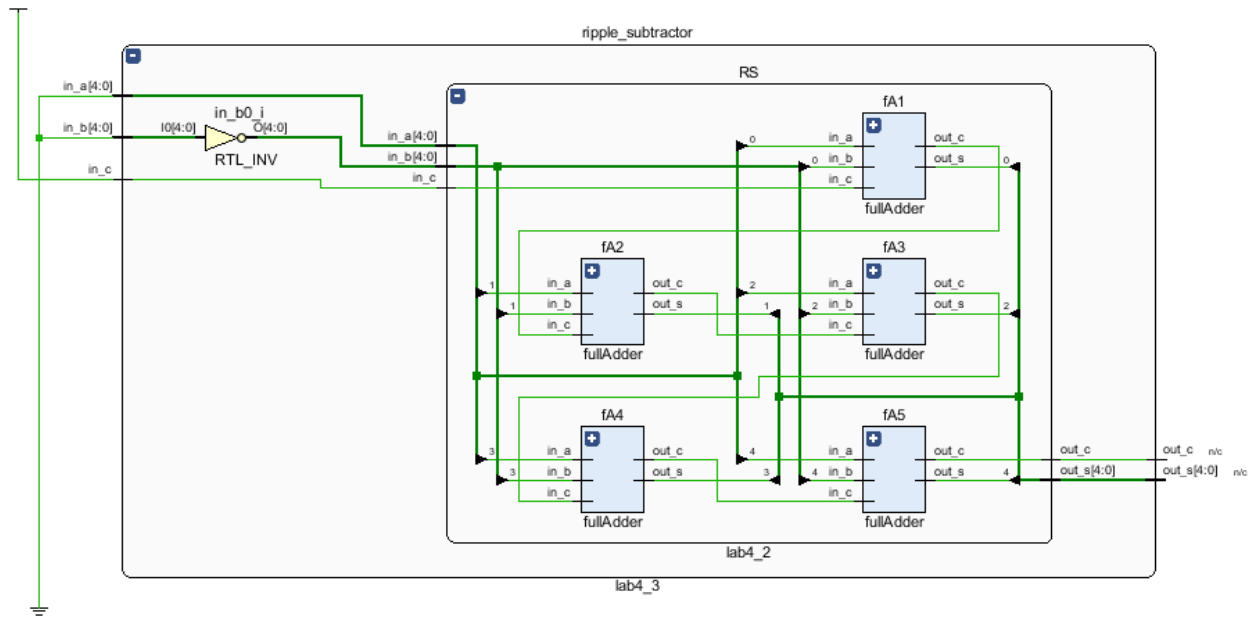


그림 13. 5비트 리플 감산기 SchematicW

4) 5x3 이진 곱셈기

5x3 이진 곱셈기의 Testbench와 Schematic은 다음과 같다.

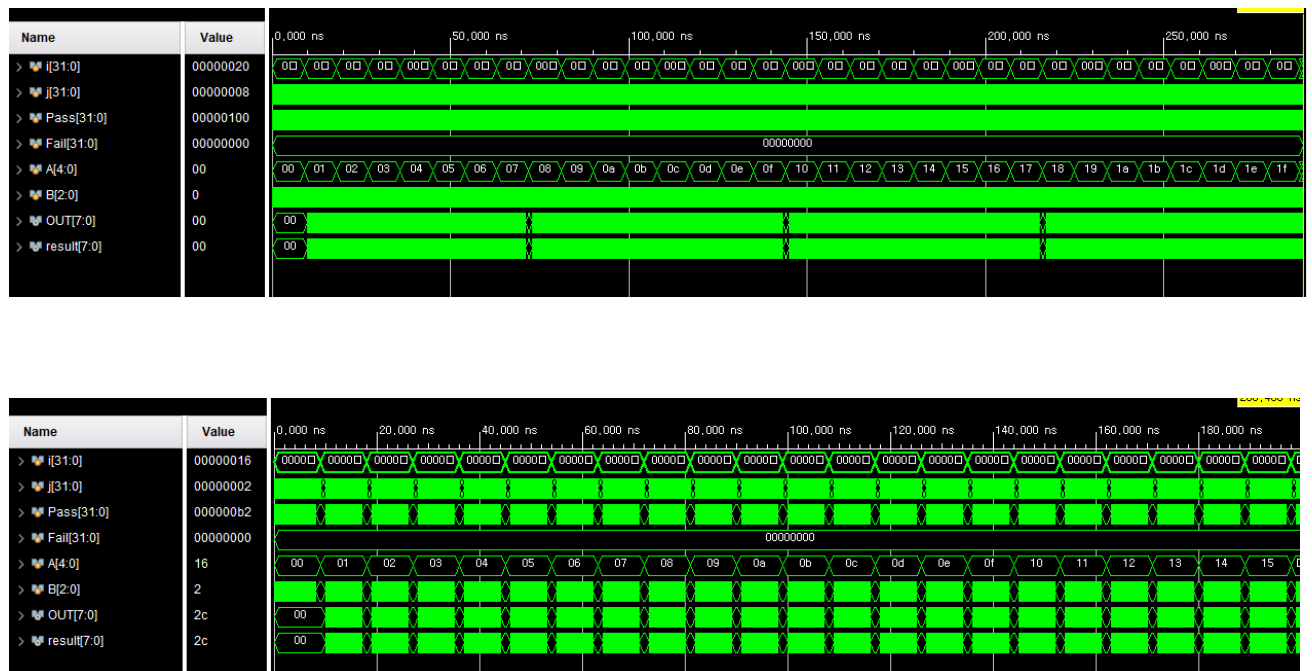


그림 14. 5x3 이진 곱셈기 Testbench

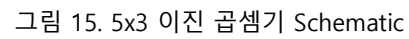


그림 15. 5x3 이진 곱셈기 Schematic

4. 논의

결과가 잘 나와서 매우 만족하며 FA, HA의 원리와 그 회로를 이해하고 직접 구현해볼 수 있는 좋은 기회였다. 각 회로도를 그리는 과정에서 기존에 나와있는 회로도가 없어서 기존에 인터넷에 존재하는 4-bit 리플 가산기/감산기 혹은 4x3 Binary Multiplier의 회로도를 이용하여 ppt를 통해 추가적인 부분을 삽입해주었다. 표시가 나지 않아 매우 만족스럽다. 5-bit 리플 가산기를 구현하는 과정에서 잠깐의 혼란이 있었지만 그 개념을 바로 잡을 수 있는 좋은 기회였다.