

Lab6. 순차회로 – 계수기

20200437 김채현

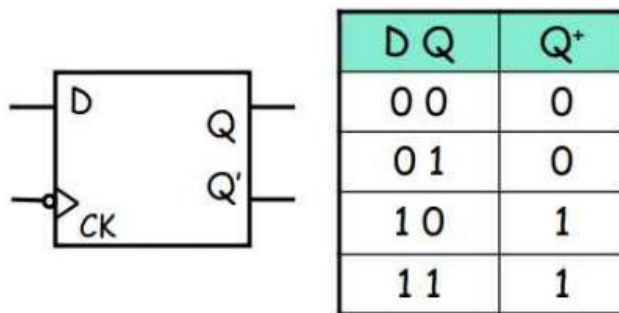
1. 개요

본 실험은 순차회로의 대표적인 예시인 계수기(Counter)를 구현하는 것이다. 본 실험에서 구현한 계수기는 Synchronous decade BCD counter, 두 자릿수 Decade Counter, 3, 6, 9 Counter이다. 각각의 동작 방식을 이해하고, testbench를 이용하여 확인한다.

2. 이론적 배경

1) D 플립플롭

D 플립플롭은 클럭 신호에 맞춰 입력인 D가 Q에 반영되는 회로이다. D 플립플롭의 회로와 Excitation table은 다음과 같다.



2) 계수기

계수기는 순차회로의 일종으로, 클럭에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 출력 패턴을 조정하여 목적에 따라 원하는 종류의 계수기를 만들 수 있다.

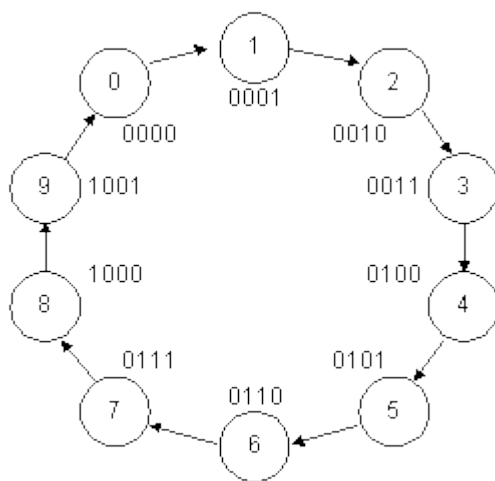
3) 동기 계수기 (Synchronous Counter)

동기 계수기(Synchronous Counter)는 모든 bit의 flip-flop의 클럭에 클럭펄스를

입력하여 동시에 작동시킬 수 있으며, 모든 bit의 값을 동시에 변경할 수 있다. 비동기 계수기보다 회로가 복잡하지만, 클락 지연이 없어서 작동 속도가 더 빠르다는 장점이 있다.

4) 십진 계수기 (Decade Counter)

말그대로 십진수를 순차적으로 세는 계수기이다. 0부터 9가지 센 후 다시 0으로 돌아가 동작을 반복한다. 상태 전이도는 다음과 같다.



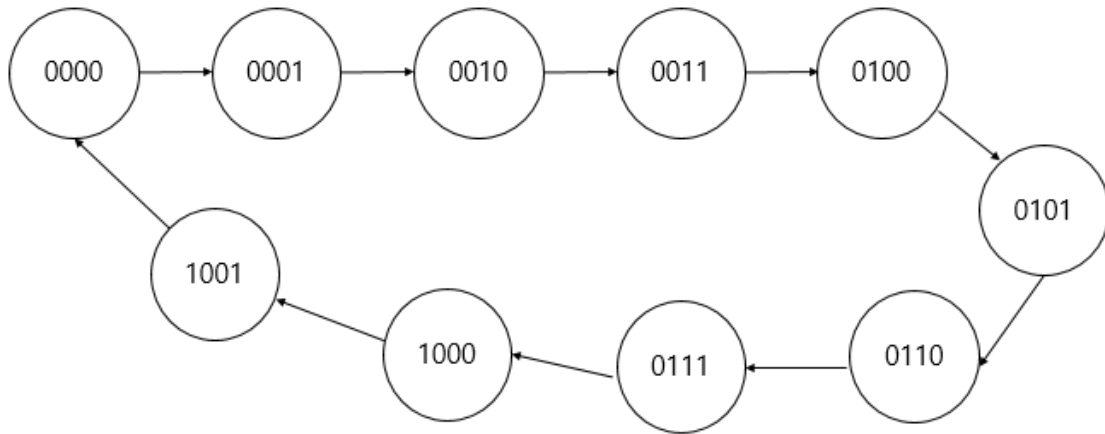
5) 상태 전이도 및 전이표

상태 전이도는 순차회로에서 각 state가 클락펄스에 의해 변화하는 순서를 다이어그램으로 나타낸 것이다. 전이표란 state의 변화를 prev state와 next state로 구분하여 table로 나타낸 것이다.

3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

계수기의 상태 전이도는 다음과 같다.



계수기의 상태 전이표는 다음과 같다.

Present State ABCD	Next State $A+B+C+D^+$	J_A	K_A	J_B	K_B	J_C	K_C	J_D	K_D
0000	0001	0	-	0	-	0	-	1	-
0001	0010	0	-	0	-	1	-	-	1
0010	0011	0	-	0	-	-	0	1	-
0011	0100	0	-	1	-	-	1	-	1
0100	0101	0	-	-	0	0	-	1	-
0101	0110	0	-	-	0	1	-	-	1
0110	0111	0	-	-	0	-	0	1	-
0111	1000	1	-	-	1	-	1	-	1
1000	1001	-	0	0	-	0	-	1	-
1001	0000	-	1	0	-	0	-	-	1

1010, 1011, 1100, 1101, 1110, 1111은 모두 don't care이다.

각 상태 전환에 필요한 JK 플립플롭의 입력을 K-Map으로 구하면 다음과 같다.

CD \ AB	00	01	11	10
00	0	0	0	0
01	0	0	1	0

11	-	-	-	-
10	-	-	-	-

J_A 의 K-map

CD \ AB	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	-	-	-	-
10	0	1	-	-

K_A 의 K-map

CD \ AB	00	01	11	10
00	0	0	1	0
01	-	-	-	-
11	-	-	-	-
10	0	0	-	-

J_B 의 K-map

CD \ AB	00	01	11	10
00	-	-	-	-
01	0	0	1	0

11	-	-	-	-
10	-	-	-	-

K_B 의 K-map

CD \ AB	00	01	11	10
00	0	1	-	-
01	0	1	-	-
11	-	-	-	-
10	0	0	-	-

J_C 의 K-map

CD \ AB	00	01	11	10
00	-	-	1	0
01	-	-	1	0
11	-	-	-	-
10	-	-	-	-

K_C 의 K-map

CD \ AB	00	01	11	10
00	1	-	-	1
01	1	-	-	1

11	-	-	-	-
10	1	-	-	-

J_D 의 K-map

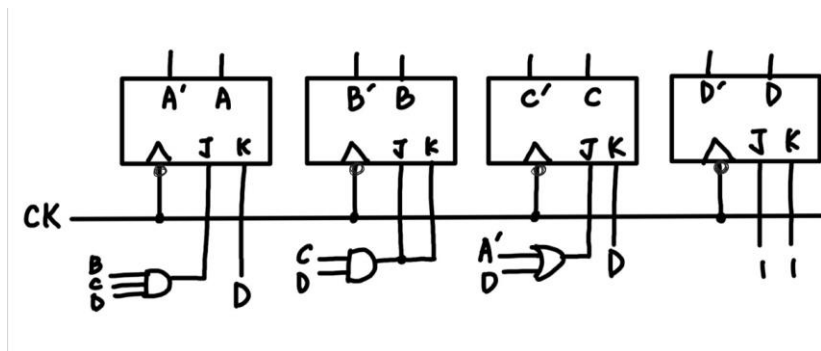
CD \ AB	00	01	11	10
00	-	1	1	-
01	-	1	1	-
11	-	-	-	-
10	-	1	-	-

K_D 의 K-map

JK 플립플롭의 입력을 단순화하여 나타내면 다음과 같다.

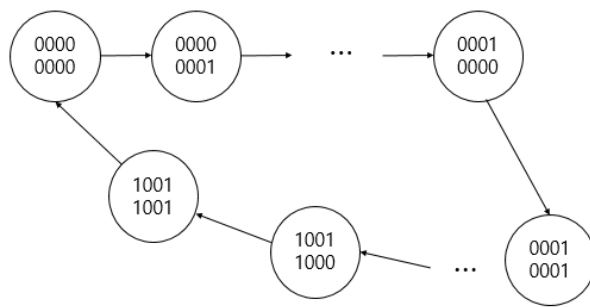
$$J_A = BCD, K_A = D, J_B = CD, K_B = CD, J_C = A' + D, K_C = D, J_D = 1, K_D = 1$$

회로도를 그리면 다음과 같다.

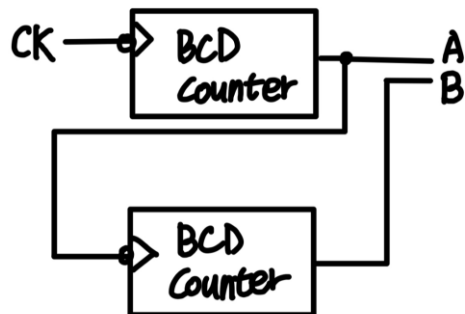


2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

계수기의 개략적인 상태 전이도는 다음과 같다.

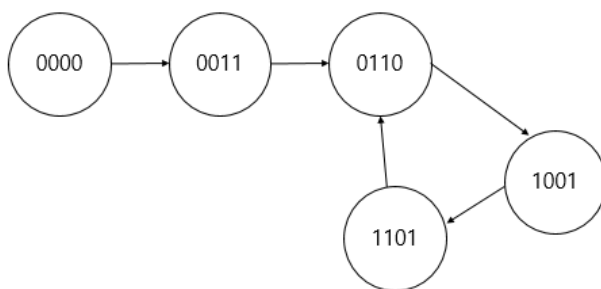


1)의 BCE counter를 이용하여 회로도를 그리면 다음과 같다.



3) D 플립플롭을 이용한 3, 6, 9 계수기

계수기의 개략적인 상태 전이도는 다음과 같다.



계수기의 상태 전이표는 다음과 같다.

Present State ABCD	Next State $A^+B^+C^+D^+$	D_A	D_B	D_C	D_D
0000	0011	0	0	1	1

0011	0110	0	1	1	0
0110	1001	1	0	0	1
1001	1101	1	1	0	1
1101	0110	0	1	1	0

각 상태 전환에 필요한 D 플립플롭의 입력을 K-Map으로 구하면 다음과 같다.

CD \ AB	00	01	11	10
00	0	-	0	-
01	-	-	-	1
11	-	0	-	-
10	-	1	-	-

D_A 의 K-map

CD \ AB	00	01	11	10
00	0	-	1	-
01	-	-	-	0
11	-	1	-	-
10	-	1	-	-

D_B 의 K-map

CD \ AB	00	01	11	10
00	1	-	1	-

01	-	-	-	0
11	-	1	-	-
10	-	0	-	-

D_C 의 K-map

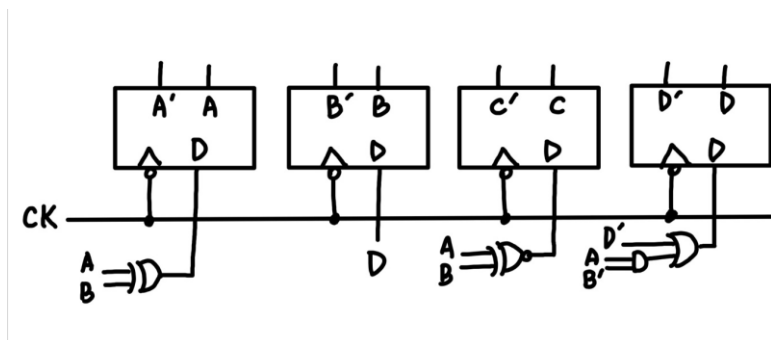
CD \ AB	00	01	11	10
00	1	-	0	-
01	-	-	-	1
11	-	0	-	-
10	-	1	-	-

D_D 의 K-map

D 플립플롭의 입력을 단순화하여 나타내면 다음과 같다.

$$D_A = A \oplus B, D_B = D, D_C = A \odot B, D_D = D' + AB'$$

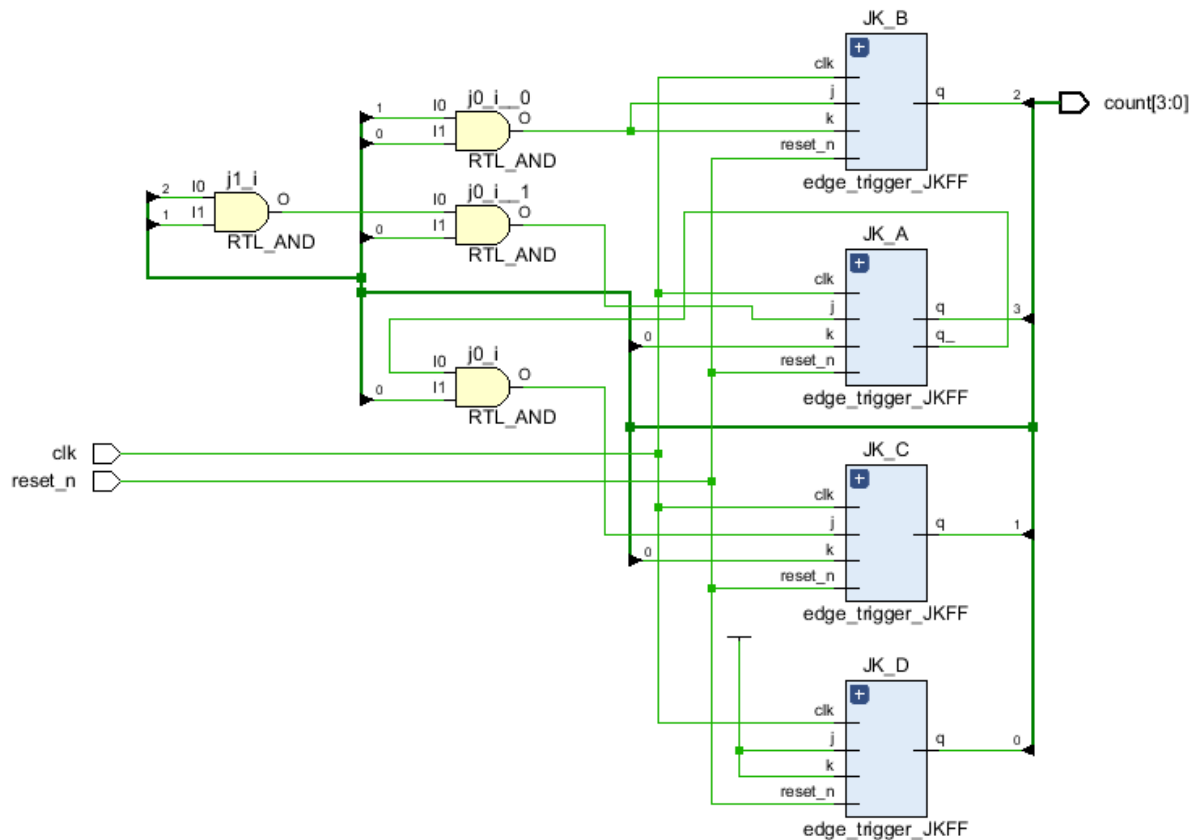
회로도를 그리면 다음과 같다.



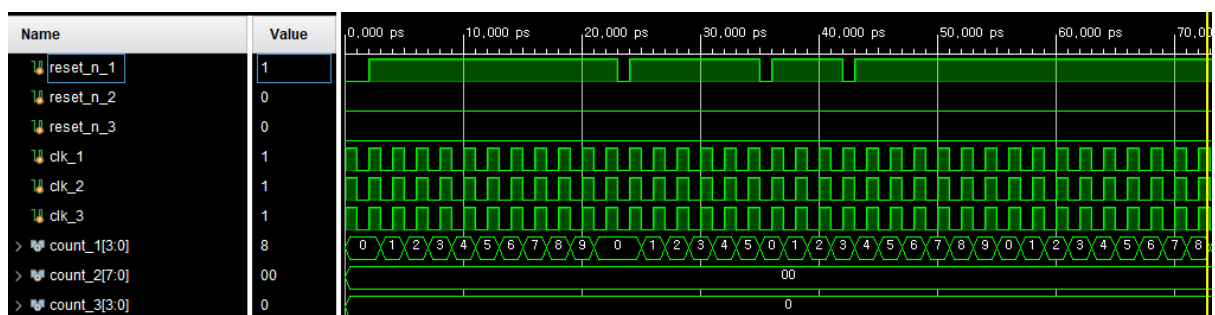
4. 실험 결과

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

Schematic은 다음과 같다.

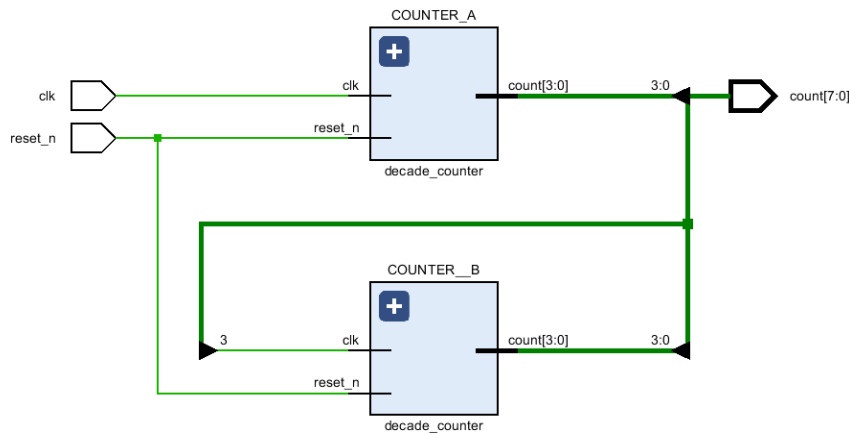


test-bench 결과는 다음과 같다. `reset_n_1`이 1일 때 0부터 9까지 센 후 다시 0으로 돌아가는 동작을 볼 수 있었다. `reset_n_1`에 대해서도 0일 때 잘 반응하여 동작하는 것을 확인하였다.

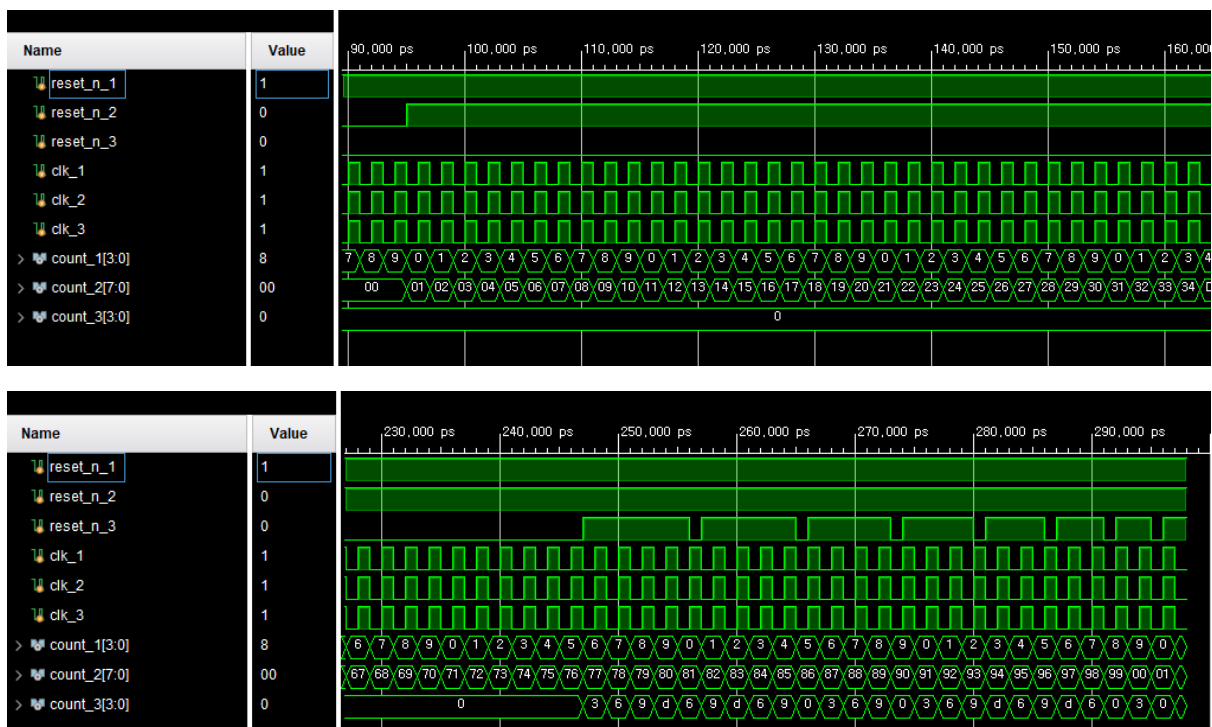


2) JK 플립플롭을 이용한 두 자릿수 Decade Counter

schematic은 다음과 같다.

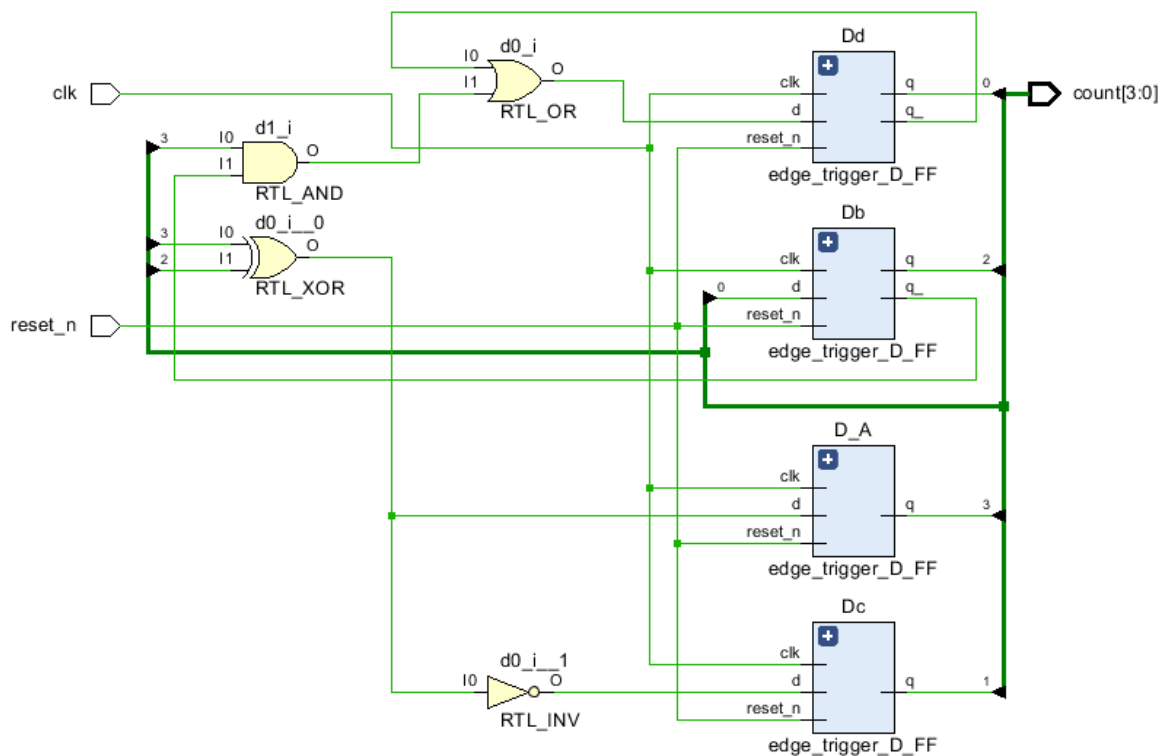


test bench 결과는 다음과 같다. reset_n_2이 1일 때 0부터 99까지 센 후 다시 0으로 돌아가는 동작을 볼 수 있었다.

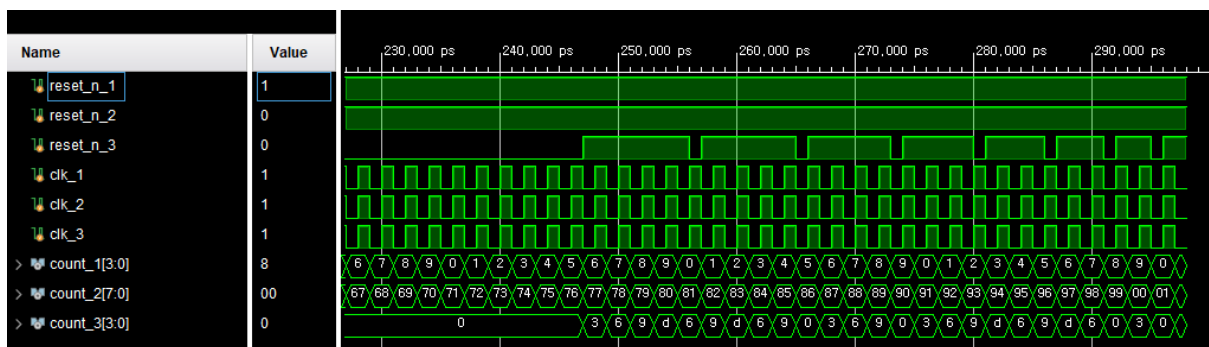


3) D 플립플롭을 이용한 3, 6, 9 계수기

schematic은 다음과 같다.



test bench 결과는 다음과 같다. reset_n_3이 1일 때 3, 6, 9, d(13), 6, 9, d(13), 6, 9, d(13), ... 으로 잘 작동하는 것을 알 수 있었다. reset_n_3에 대해서도 0일 때 잘 동작하는 것을 확인하였다.



5. 논의

직접 계수기를 설계하고 testbench를 짜봄으로써 많은 흥미도를 느낄 수 있었다.