

실험 6. 순차회로 - 계수기

2022. 05. 13.

디지털 시스템 설계 (CSED273)

1. 개요

순차회로의 대표적인 예시 중 하나인 계수기(Counter)의 특성을 알아보고 다양한 계수기를 구현해본다.

2. 이론적 배경

1) D 플립플롭

D 플립플롭은 클록 신호에 맞춰 입력 D가 Q에 반영되는 회로이다.

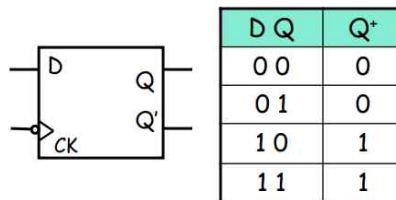


그림 1. D 플립플롭의 회로와 Excitation table

2) 계수기

계수기는 순차회로의 일종으로, 클록(Clock)에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 사용 목적에 따라 출력 패턴을 달리하여 다양한 종류의 계수기를 만들 수 있다.

3) 동기 계수기 (Synchronous Counter)

동기 계수기는 조합회로를 통해 클록 신호를 카운터의 모든 플립플롭에 동시에 인가하는 계수기이다. 비동기 계수기에 비해 회로가 복잡하지만 클록이 지연되지 않기 때문에 작동 속도는 더 빠르다.

3) 십진 계수기 (Decade Counter)

십진 계수기는 십진수를 순차적으로 세는 회로이다. 그림 2와 같이 0부터 9까지 반복하여 헤아린다.

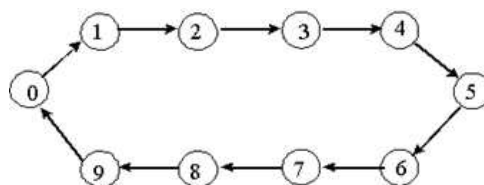


그림 2. 십진 계수기의 상태 전이도

4) 상태 전이도 및 전이표

상태 전이도와 전이표는 순차회로의 상태 변화를 그림 혹은 표로 나타낸 것이다. 예를 들어 3비트 이진 계수기는 아래 그림 3과 같이 나타낼 수 있다.

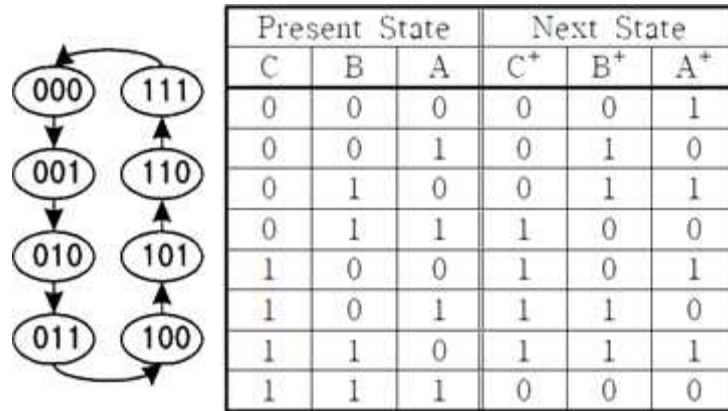


그림 3. 3비트 이진 계수기의 상태 전이도와 전이표

3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

- ㄱ. 계수기의 상태 전이도를 그린다.
- ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 JK 플립플롭의 입력을 구한다.
- ㄷ. JK 플립플롭의 입력을 단순화하여 나타낸다.
- ㄹ. 전체 회로도를 그린다.

2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

- ㄱ. 계수기의 개략적인 상태 전이도를 그린다.
- ㄴ. 1)의 계수기를 활용하여 회로도를 그린다.

3) D 플립플롭을 이용한 3, 6, 9 계수기(0→3→6→9→13→6→9→13→...)

- ㄱ. 계수기의 상태 전이도를 그린다.
- ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 D 플립플롭의 입력을 구한다.
- ㄷ. 플립플롭의 입력을 단순화하여 나타낸다.
- ㄹ. 전체 회로도를 그린다.

* 보고서 필수 내용

- 실험 준비 과정

4. 실험

0) 공통 유의사항

- 주어진 코드에서 */* Add your code here */* 로 주석 처리된 부분만 수정하여 구현한다.
- 모든 입출력은 Little-endian 형식으로 표현한다.
- * 보고서 필수 내용
 - Schematic 기능으로 생성한 회로도 캡처
 - 시뮬레이션 파형 캡처

1) JK 플립플롭을 이용한 Synchronous decade BCD counter - lab6_1.v, lab6_tb.v

- ㄱ. 제공된 negative edge triggered JK 플립플롭을 사용해 Synchronous decade BCD counter를 완성한다.
- ㄴ. Schematic 기능으로 회로를 확인한다.
- ㄷ. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인한다.

2) JK 플립플롭을 이용한 두 자릿수 Decade Counter - lab6_2.v, lab6_tb.v

- ㄱ. 1)에서 구현한 Synchronous decade BCD counter를 활용하여 두 자릿수 Decade counter를 완성한다.
- ㄴ. Schematic 기능으로 회로를 확인한다.
- ㄷ. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인한다.

3) D 플립플롭을 이용한 3, 6, 9 계수기 - lab6_3.v, lab6_ff.v, lab6_tb.v

- ㄱ. 제공된 Negative edge triggered JK 플립플롭을 사용해 Negative edge triggered D 플립플롭을 완성한다.
- ㄴ. 완성한 D 플립플롭을 활용하여 3,6,9 계수기를 완성한다.
- ㄷ. Schematic 기능으로 회로를 확인한다.
- ㄷ. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인한다.

5. 제출

{학번}_lab6.zip으로 다음 파일을 압축하여 PLMS로 제출한다.

- lab6_1.v *// 코드*
- lab6_2.v
- lab6_3.v
- lab6_ff.v
- lab6_tb.v
- lab6_report.pdf *// 보고서*