

组合电路测试生成的 PODEM 算法及实现^[20]

颜学龙 刘棕南

(计算机分院)

摘 要 详细讨论了在已知组合电路结构, 对多输入器件, 根据组合电路的等效性, 附加虚拟器件, 将电路的树形数据结构化为二叉树结构, 采用 PODEM 算法, 按最难/最易原则回溯, 在计算机上实现电路中的单一恒定故障($S-a-0$ 和 $S-a-1$) 的测试矢量生成。

关 键 词 测试矢量; 恒定故障; PODEM 算法

中图分类号 TN 710.9

在大规模集成电路的设计、制造及使用过程中, 测试是一个十分重要的环节。由于电路复杂性和集成度的提高, 使电路内部节点的可控性和可观测性变得更加困难, 给电路的测试提出严重的挑战。国内外专家花大量精力来解决测试问题。近年来出现的 LSSD 和 SCAN 等可测性技术, 使一般的逻辑电路测试问题转化为组合逻辑的测试产生, 研究高速有效的组合逻辑的测试产生具有重要意义。

PODEM 算法^[1]由 Goel 于 1981 年提出, 它是经典算法的发展, 是一个完全算法, 它面向故障, 适用于任何组合电路, 该算法把测试码自动生成问题归结为一个状态, 空间搜索问题。文献[2]证明这是一个 NP 完全问题。本文考虑电路中的单一恒定故障($S-a-0$ 和 $S-a-1$), 在计算机上实现 PODEM 算法, 并对故障集进行优化。

1 电路模型、故障模型

描述电路基本单元的电路模型设为: 与门(AND)、非门(NOT)、与非门(ANDN)、或门(OR)、或非门(ORN)。

故障模型为单一恒定故障(Single-stuck-at Fault) $S-a-0$ (Stuck at 0) 和 $S-a-1$ (Stuck at 1)。该故障模型虽简单, 但覆盖了 90% 以上的故障。

对多输入器件, 根据组合电路的等效性, 附加虚拟器件, 将电路的树形数据结构化为二叉树数据结构, 以加速搜索, 附加的虚拟器件在故障测试时考虑为无故障器件。

2 PODEM 算法

PODEM(Path Oriented DEcision Making) 算法是 D 算法的发展, 它的基本原理是沿着敏化通路传递故障效应。

由文献[3]设电路 N 中有节点 g , 其原始输入和输出分别为 n 个和 m 个, 则有

$$f_j = F_j(g, x_1, x_2, \dots, x_n) \quad (1 \leq j \leq m)$$

$$g = G(x_1, x_2, \dots, x_n)$$

要诊断故障 $g(s-a-\alpha)$, 则要解方程

$$g = G(x_1, x_2, \dots, x_n) = \alpha,$$

但至少存在一个 j ($1 \leq j \leq m$) 使

$$F(1, x_1, x_2, \dots, x_n) \oplus F(0, x_1, x_2, \dots, x_n) = 1$$

[20] 1998-05-20 收稿, 1998-08-29 修改定稿

第一作者: 男, 35 岁, 硕士, 副教授, 桂林 541004

PODEM 算法将解方程的 n 维空间搜索问题化为分支判决树问题。

为便于程序实现,节点用逻辑门序号标记。采用 5 值逻辑,1,0,x,D, \bar{D} 。根据节点的可控性进行目标传递。在 CAMELOT 法^[4]中,可控性 CY 定义在 0~1 范围内。可置为“0”,“1”的 CY 具有最大值 1,无法置为“0”,“1”的 CY 值最小为 0。对于其它节点,采用下式计算:

$$CY = CTF \times f(CY)$$

CTF 是针对某输出端的“器件可控性传递因子”。函数 f 计及了对该输出端有控制作用的所有输入端的 CY 值。

CTF 只取决于器件的逻辑功能,而与器件在电路中的位置无关。

$$CTF = 1 - |N(0) - N(1)| / (N(0) + N(1))$$

$N(0)$ 和 $N(1)$ 为器件输入端加所有不同的输入图形时在输出端出现“0”和“1”的总数。

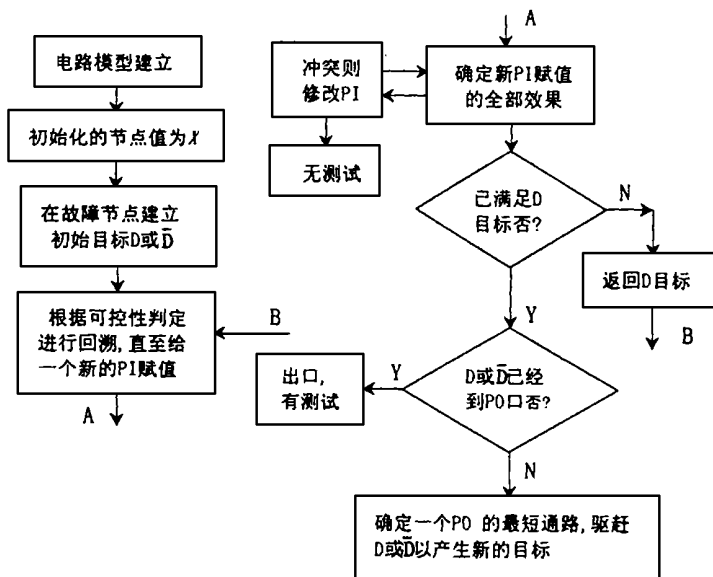


图1 PODEM 算法流程

退出。当满足 D 目标、但未把 D 目标驱赶至初级输出($P0$)时,选择一条从 D 目标到初级输出的最短通路,沿着该通路,进行目标前驱,重复此过程,直到把目标驱赶到输出或证明测试不存在为止。

3 优化

对于有 N 个输入端的组合电路,电路的全部可能测试矢量有 2^n 个。然而,一般只需要其中一部分就足以检测电路中的全部可测的单固定故障。

设故障 a 的测试为 $(T_{a1}, T_{a2}, \dots, T_{ai})$, 故障 b 的测试为 $(T_{b1}, T_{b2}, \dots, T_{bj})$, 求故障 a, b 的测试集,则为求 $(T_{a1}, T_{a2}, \dots, T_{ai})$ 与 $(T_{b1}, T_{b2}, \dots, T_{bj})$ 的并,某故障的测试为 $11 \times 0 \times 0$, 此测试实际上对应于一个四个测试矢量 110 000, 110 010, 111 000, 111 010 的集合。PODEM 算法得到的先是对应故障测试的一个集合,优化就是从中找出最小完备测试集。

优化算法按下述步骤进行。首先寻找单故障的本征测试矢量或最接近本征测试的测试矢量。某故障它的测试为 $11 \times 0 \times 0$, 优化的目的就是确定不定值 x 值,该测试矢量是该故障的本征测试矢量或最接近本征测试矢量的测试矢量。经过第一阶段的处理,则对于 n 个输入的器件测试矢量的最小完备集便为 2_n 个矢量中的子集。第二阶段从这 2_n 个矢量中获取最小完备集之一。

优化算法归纳为:

(1) 计算某一个故障的本征测试矢量的权,一个测试矢量权的定义为该测试矢量的能测试的故障数。

(2) 选择本征测试集中有最大权的测试矢量,如有最大权的测试矢量不至一个,则任选其一,并将它保存于一个 TABLE 表中。

- (3) 从本征测试集中删去所选测试矢量及其所覆盖的全部故障所对应的本征测试。
- (4) 重复(2) 至(4) 直到本征测试集为空,表 TABLE 中的所含全部测试矢量便构成电路的最小完备测试集之一。

4 实例

施奈特电路,如图 2,该电路是算法中的一个反例,当 G5 结点为恒“0”时,L 算法失败,使用 PODEM 算法,该故障是可测的,其结果为:00001.

最小测试集为:T 1,T 2,T 3,T 4.

T 1:A:0 B:0 C:0 D:0 OUT1:1/0

对应的故障有:(1/0, 3/1, 4/1, 5/0, 6/1, 7/1, 8/1, 10/1, 12/1, 14/0, 17/1, 18/0)

T 2:A:0 B:0 C:0 D:1 OUT1:0/1

对应的故障有:(1/1, 7/1, 10/0, 17/0, 18/0)

T 3:1:1 B:1 C:1 D:1 OUT1:1/0

对应的故障有:(1/0, 3/1, 4/0, 6/0, 7/0, 8/1, 10/0, 12/1, 17/1)

T 4:A:1 B:0 C:1 D:1 OUT1:0/1

对应的故障有:(1/1, 6/1, 12/0, 14/1)

3/0 5/1 8/0 故障无测试

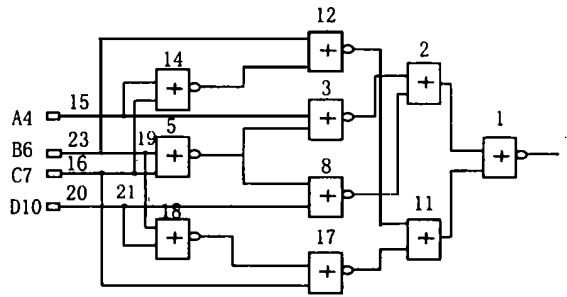


图 2 施奈特电路

5 结论

对组合电路,根据组合电路的等效性,附加虚拟器件,将树形数据结构化为二叉树数据结构,加速了搜索,算法实现简单.采用优化方法,使 n 个输入器件的测试矢量中求子集问题变成为 $2 * N$ 个矢量求子集问题.通过具体实例,得到了预期的结果.

参 考 文 献

1 Goel P·An implicit enumeration algorithm to generate test for combinational logic circuits·IEEE Trans on computers,1981,c-30

2 Fujiwara H·Toida S·The complexity of fault problems for combinational logic circuits·IEEE Trans on computers,1982,c-31

3 杨士元·数字系统的故障诊断与可靠性设计·北京:清华大学出版,1989

4 Bennetts R G,maunder C M & Robinso·CAMELOT :a computer -aided measure for logic testability·IEE Proc·(1981) pt·E,128:9

5 朱昌珩·加速测试模式产生的加权法·电子信息杂志,1980,1

Podem Algorithm and its Realization on Combined Logic Circuits

Yan Xuilong Liu Zhongnan
(Computer Science Department)

Abstract This paper discusses, with the combined logic circuits and the circuits’ equivalent principle taken into consideration, how the circuits data tree is turned into one with binary branches by using additional virtual circuits for increasing the research speed. According to the single stuck and by using the Podem algorithm, the minimal test set of fault models S-a-0 (stuck at 0) and S-a-1 (stuck at 1) in the circuits is realized. And an example of verification is also discussed in this paper.

Key words test pattern, stuck at fault, Podem algorithm