Οργάνωση Υπολογιστών

Αναφορά Εργασίας #2

Φοιτητής : Κωνσταντίνος Δανόπουλος

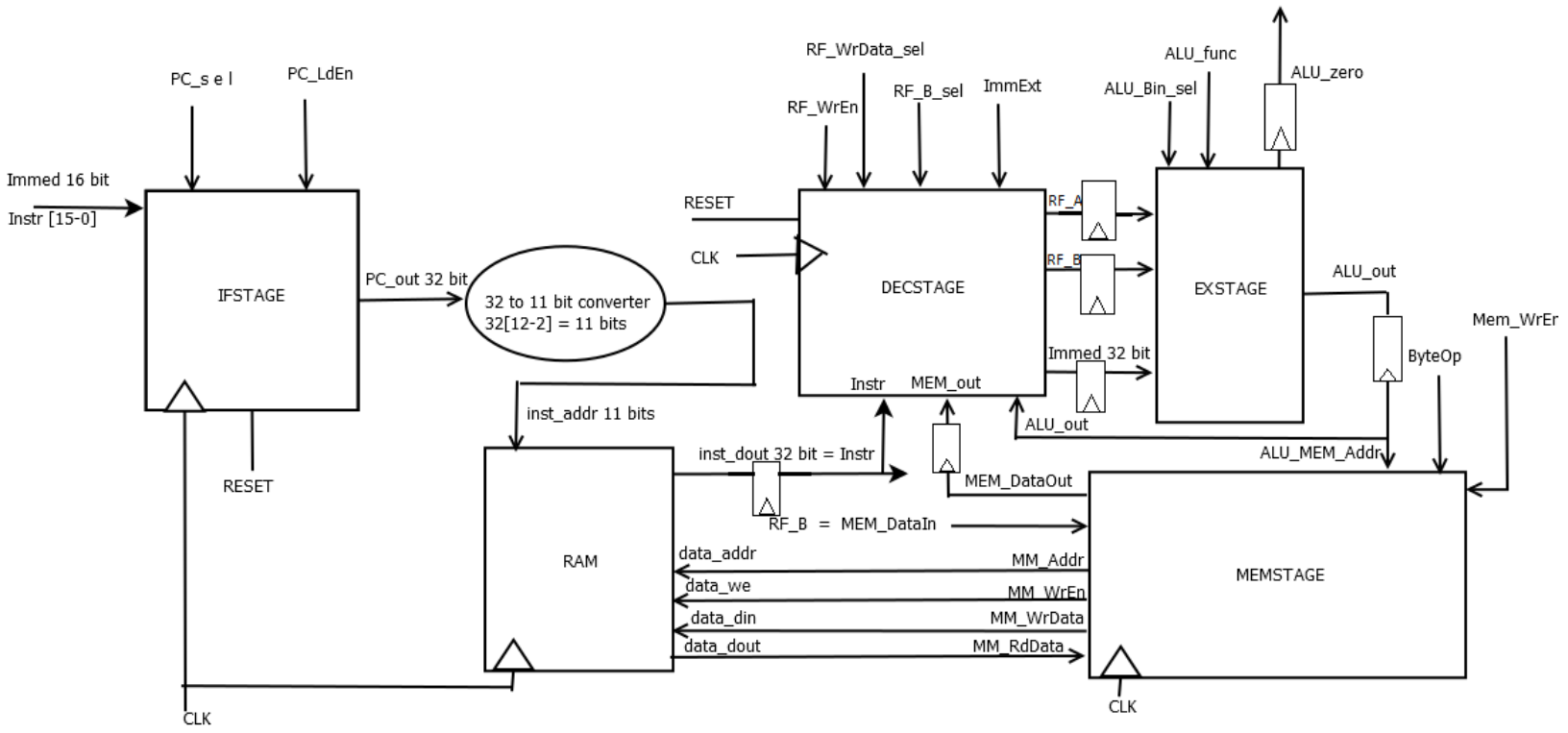
ΑΜ : 2016030131

Ο στόχος της δεύτερης εργασίας ήταν η κατασκευή ενός Mips like multi-cycle και ενός pipeline multi-cycle επεξεργαστή. Ο multi-cycle επεξεργαστής απαιτεί διαφορετικούς κύκλους εκτέλεσης για την κάθε εντολή, ανάλογα κάθε φορά με τις απαιτήσεις της αντίστοιχης εντολής. Αυτός ο επεξεργαστής είναι ακόμη καλύτερος και πιο βελτιωμένος από έναν single-cycle επεξεργαστή. Αυτό συμβαίνει διότι ο single-cycle επεξεργαστής εκτελεί όλες τις εντολές σε ίδιο χρόνο και έτσι προκαλεί σπατάλη χρόνου επειδή μερικές εντολές είναι πιο γρήγορες από κάποιες άλλες και θα μπορούσαν να εκτελεστούν σαφώς πιο γρηγορά. Αυτήν την ιδέα αξιοποιεί ο multi-cycle επεξεργαστής και ουσιαστικά προσαρμόζεται ανάλογα με τον χρόνο εκτέλεσης που απαιτεί η κάθε εντολή. Προκειμένου να το καταφέρει αυτό, το datapath του multi-cycle επεξεργαστή έχει χωριστεί σε επιμέρους τμήματα από τα οποία το ένα τμήμα κάθε φορά εκτελείται σε μια θετική ακμή του ρολογιού. Αυτά τα επιμέρους τμήματα στα οποία έχει χωριστεί το datapath είναι τα εξής :

1. IFSTAGE
2. DECSTAGE
3. EXSTAGE
4. MEMSTAGE
5. WRITE REGISTER

Όλα αυτά τα τμήματα συνδέονται μεταξύ τους, όμως κάθε φορά μόνο ένα τμήμα από αυτά εκτελείται. Επομένως είναι αντιληπτό πως πρέπει να τοποθετηθούν registers στα αντίστοιχα σημεία έτσι ώστε να αποθηκεύονται κάθε φορά τα αποτελέσματα του κάθε τμήματος με σκοπό να χρησιμοποιηθούν στους

επόμενους κύκλους. Το datapath του multi cycle επεξεργαστή υλοποιήθηκε όπως στην παρακάτω εικόνα:

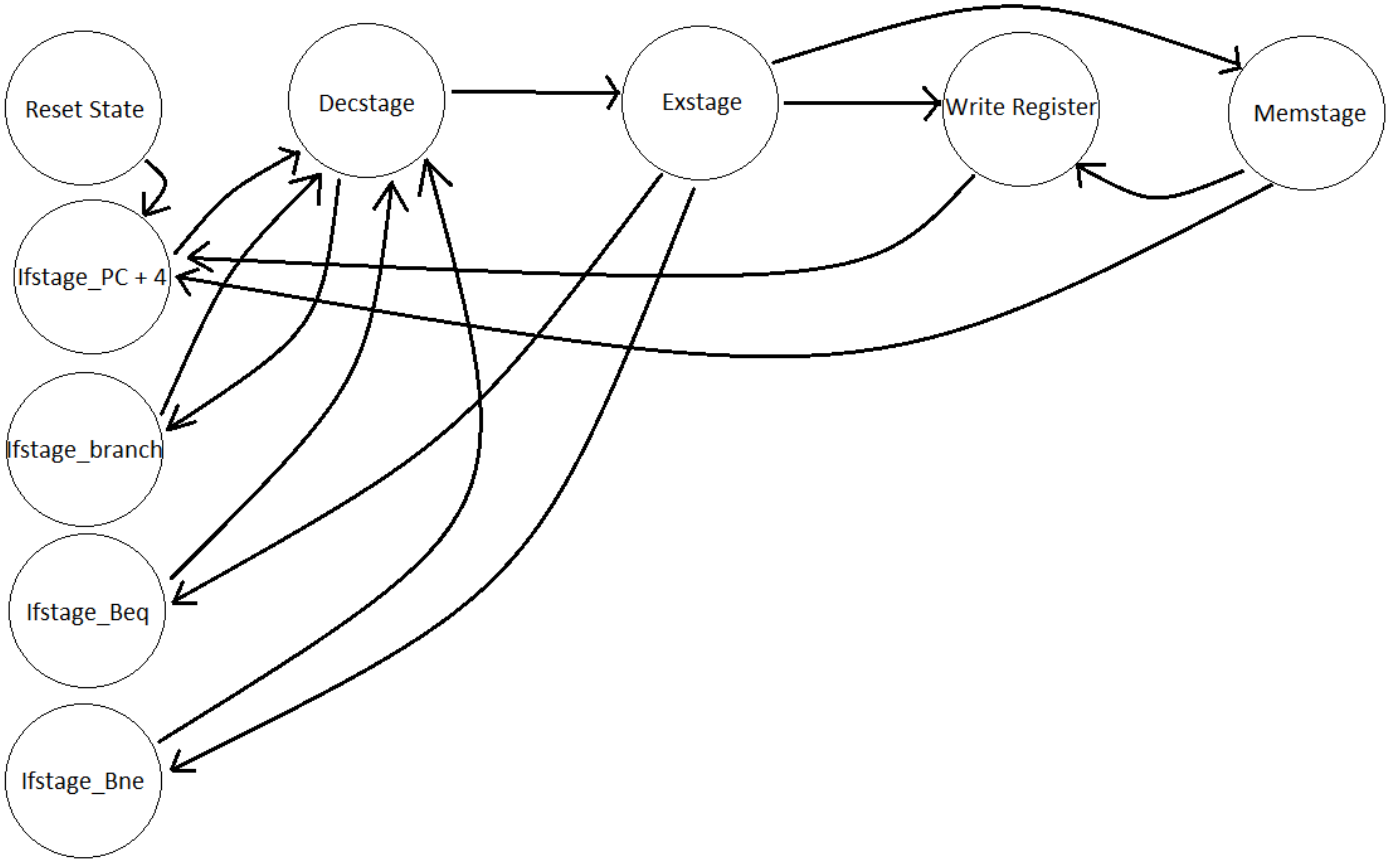


Ουσιαστικά το datapath του multi-cycle παραμένει το ίδιο με του single cycle με την διαφορά ότι έχουν τοποθετηθεί αυτοί οι 7 έξτρα registers. Αντιθέτως το control του multi-cycle είναι εντελώς διαφορετικό από το control του single-cycle. Για τις απαιτήσεις της άσκησης, το control του multi-cycle επεξεργαστή θα πρέπει να είναι μια Μηχανή Πεπερασμένων Καταστάσεων (FSM). Η μηχανή FSM που υλοποιήθηκε έχει τις εξής πιθανές καταστάσεις:

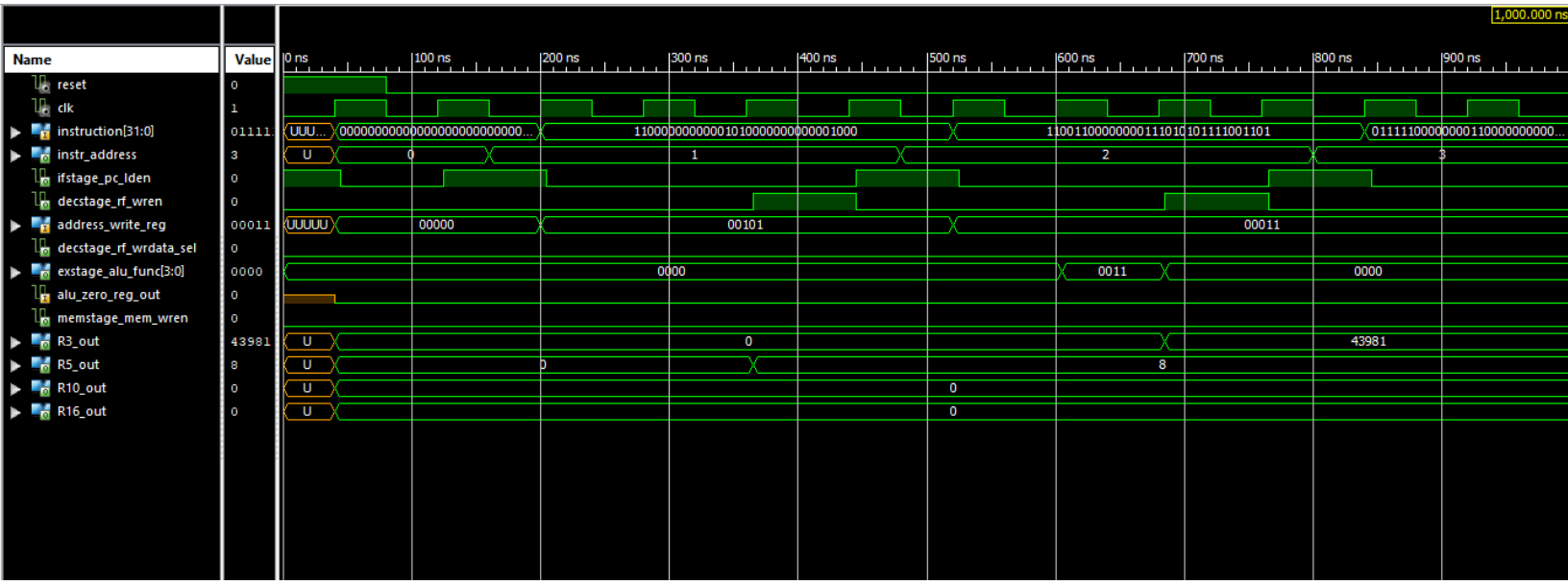
1) RESET_STATE
2) IFSTAGE_PC+4
3) IFSTAGE_BRANCH
4) IFSTAFE_BEQ
5) IFSTAGE_BNE
6) DECSTAGE
7) EXSTAGE
8) WRITE_REGISTER
9) MEM_STAGE

Η μηχανή FSM αυτή διαθέτει δύο μεταβλητές, την State και την nextState. Η State είναι η τωρινή κατάσταση και η nextState είναι η επόμενη. Σε κάθε νέα θετική ακμή του ρολογιού η μεταβλητή State παίρνει την τιμή της μεταβλητής nextState κ.ο.κ. Αρχικά όταν γίνει το reset=1 τότε η μηχανή θα οδηγηθεί στην κατάσταση RESET_STATE στην οποία όλα τα control σήματα είναι μηδέν και το nextState ορίζεται ως το IFSTAGE_PC+4. Στην κατάσταση IFSTAGE_PC+4 ουσιαστικά πάντα πηγαίνουμε στην επόμενη γραμμή εντολής (PC+4), δηλαδή πάντα ισχύει pc_sel = 0. Η κατάσταση IFSTAGE_BRANCH είναι όταν είμαστε στο Ifstage και έχουμε ως προηγούμενη εντολή την branch και οι καταστάσεις IFSTAFE_BEQ και IFSTAGE_BNE είναι όταν έχουμε ως προηγούμενες εντολές την Beq και Bne αντίστοιχα.

Το σχεδιάγραμμα με τις καταστάσεις και τα βήματα μεταξύ των καταστάσεων της FSM του Control multi-cycle απεικονίζεται στην παρακάτω εικόνα :



Τέλος το vhdl module PROCESSOR_MC είναι τελικός multi-cycle επεξεργαστής και ενώνει κατάλληλα μεταξύ τους τα επιμέρους τμήματα DATAPATH_MC , CONTROL_MC και RAM. Ο multi-cycle επεξεργαστής που υλοποιήθηκε λειτουργεί ακριβώς όπως θα έπρεπε και εκτελεί σωστά την κάθε πιθανή εντολή στον λιγότερο δυνατό χρόνο που απαιτεί. Μια φωτογραφία από το waveform του είναι η εξής :

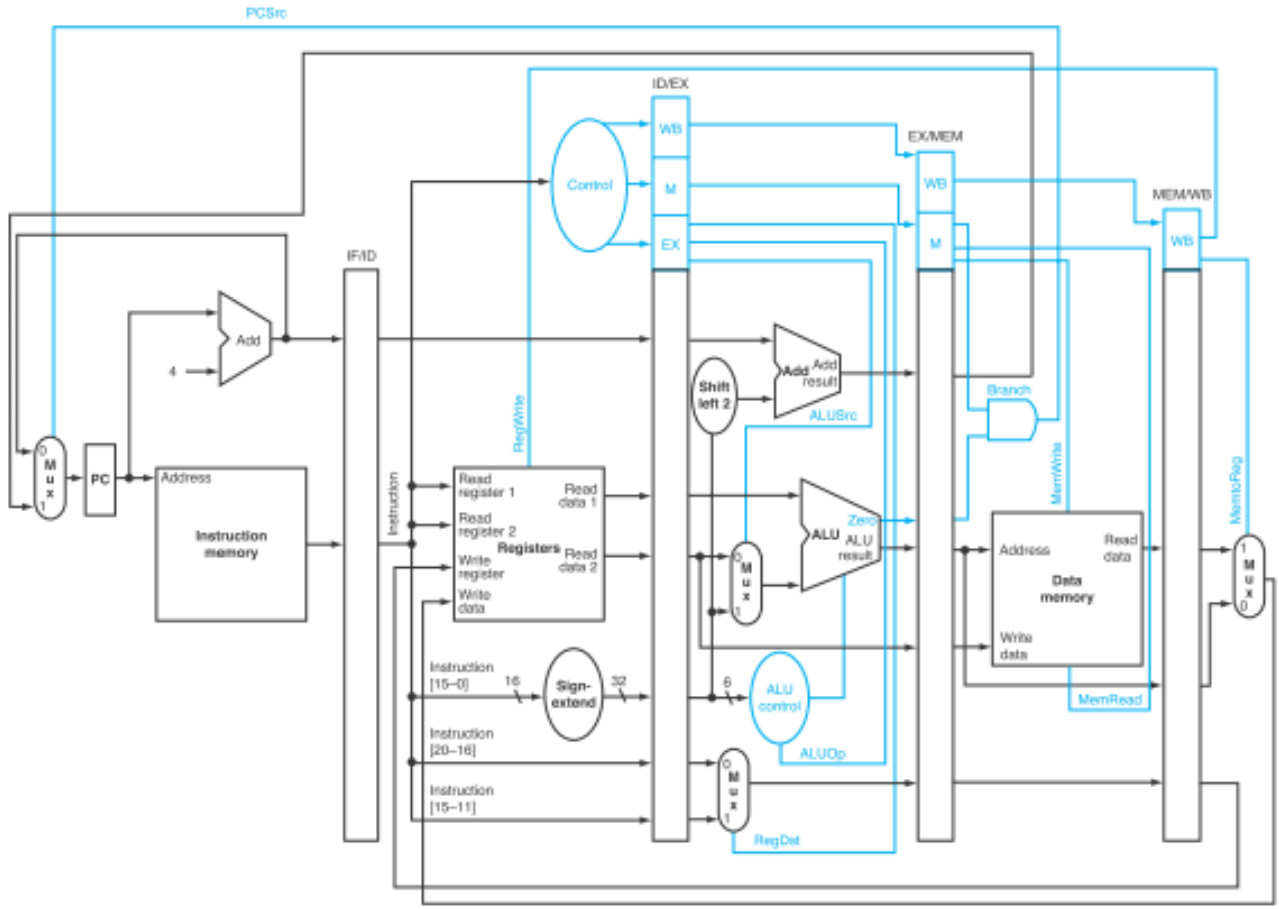


Ο επεξεργαστής multi-cycle μπορεί κάθε φορά να εκτελεί μόνο το IFSTAGE ή το DECSTAGE ή κάποιο από τα άλλα υπό τμήματα του datapath, όμως για να εκτελεστεί μια εντολή θα πρέπει να έχει ολοκληρωθεί η προηγούμενη και να έχουν εκτελεστεί όλες οι λειτουργίες της προηγούμενης. Αντίθετα ο επεξεργαστής pipeline multi-cycle μπορεί να εκτελεί ταυτόχρονα πολλές εντολές στον ίδιο κύκλο. Ουσιαστικά εκμεταλλεύεται το γεγονός ότι όταν πχ. η εντολή 1 εκτελείται στο

Exstage θα μπορούσε ταυτόχρονα να εκτελείται η εντολή 2 στο decstage και η εντολή 3 στο IFSTAGE έτσι ώστε να μην σπαταλάτε έξτρα χρόνος που θα μπορούσε να αξιοποιηθεί την κάθε χρονική στιγμή. Με αυτόν τον τρόπο ο pipeline multi-cycle θα μπορούσε να εκτελεί ταυτόχρονα τόσες εντολές όσα και τα ξεχωριστά υπο-τμήμα στα οποία έχει χωριστεί το datapath του. Δηλαδή στην δικιά μας περίπτωση που έχουμε 5 υπο-τμήμα θα μπορούσαν να εκτελούνται 5 εντολές ταυτόχρονα. Αυτό έχει ως αποτέλεσμα ο επεξεργαστής pipeline multi-cycle να είναι παρά πολύ πιο γρήγορος από τον multi-cycle. Στην συνέχεια σύμφωνα με την εκφώνηση ζητήθηκε να υλοποιηθεί ένας pipeline multi-cycle επεξεργαστής.

Το datapath του pipeline multi-cycle επεξεργαστή είναι παρόμοιο με του multi-cycle με την διαφορά ότι τοποθετούνται έξτρα καταχωρητές στο κάθε υπο-τμήμα έτσι ώστε να αποθηκεύονται αυτήν την φορά όχι μόνο τα αποτελέσματα του προηγούμενου τμήματος αλλά και τα control signals που ξεκινούν από το Decstage και διαμοιράζονται σιγά σιγά σε κάθε κύκλο σε ένα ένα module.

Το datapath του pipeline multi-cycle επεξεργαστή υλοποιήθηκε με βάση το εξής σχέδιο :



Ο δεύτερος adder από το IFSTAGE έχει μετκινηθεί και βρίσκεται στο Exstage και έχουν τοποθετηθεί αυτοί οι μεγάλοι τέσσερεις καταχωρητές ανάμεσα στα επιμέρους modules του datapath. Τα control signals ξεκινούν από το στάδιο του Decstage και συνδέονται απευθείας πάνω στο module Decstage όλα τα σήματα που αφορούν το διάβασμα από τον RF και την επέκταση του Immediate. Τα υπόλοιπα σήματα που αφορούν το γράψιμο στον RF καθώς και τα σήματα των υπόλοιπων modules γίνονται είσοδοι στον μεγάλο καταχωρητή του Decstage. Στην συνέχεια οι έξοδοι αυτού του καταχωρητή περνάνε στον επόμενο καταχωρητή του Exstage με εξαίρεση τα σήματα ελέγχου του Exstage τα οποία συνδέονται πάνω στο Exstage. Έπειτα οι έξοδοι από τον καταχωρητή 3 που είναι σήματα ελέγχου που αφορούν το γράψιμο στον RF εισέρχονται στον καταχωρητή 4. Τα υπόλοιπα σήματα είναι τα σήματα ελέγχου του Memstage , το αποτέλεσμα PC+4+Immed και κάποια σήματα ελέγχου που συνδέονται σε λογικές πύλες και η τελική τους έξοδος ελέγχει το pc_sel.

Το control του pipeline multi-cycle επεξεργαστή είναι σχεδόν ίδιο με το control του single-cycle με την διαφορά ότι κάποια control signals έχουν αφαιρεθεί όπως το PC_LdEn το οποίο το χειρίζεται το module Hazard_Detection και κάποια άλλα νέα control signals που έχουν προστεθεί όπως το ifstage_branch_condition. Ουσιαστικά το control του pipeline multi-cycle επεξεργαστή είναι ένας decoder πάλι που δέχεται ως είσοδο το 32 bit instruction και το μετατρέπει στα control signals που εισέρχονται στο datapath.

Έχει υλοποιηθεί πλήρως το control του pipeline multi-cycle και έχει τις κατάλληλες λειτουργίες. Το datapath είναι σχεδόν ολοκληρωμένο, όλοι οι καταχωρητές και η κυριότερη αρχιτεκτονική είναι σχεδιασμένα. Αυτό που λείπει είναι το hazard detection unit και το module του forwarding. Λείπει και ένα πολυπλέκτης για να σταματάει τα σήματα του control όταν ανιχνεύεται hazard. Δεν υλοποιήθηκαν λόγω μεγάλου φόρτου εργασίας και έλλειψης χρόνου.