

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 4
Тема: «Исследование работы регистров»

Выполнил:
студент группы 150501 Климович А.Н.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучение работы регистров: параллельный регистр и регистр сдвига.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется на лабораторных модулях dLab10, dLab11 с помощью макетной платы лабораторной станции NI ELVIS.

Будут выполнены следующие задачи:

1. Изучение работы параллельного регистра и регистра сдвига в статическом и динамическом режимах.
2. Построение таблиц истинности и диаграмм состояний для каждого регистра в данных режимах.
3. Определение по диаграммам состояний, по какому перепаду на тактовом входе «С» происходят изменения состояний регистров в динамическом режиме.

Также будут решены следующие задачи:

1. Для параллельного регистра в режиме параллельной загрузки и хранения определение, при каких значениях сигналов «P1» и «P2» происходит параллельная загрузка регистра, а при каких состояние выхода регистра не изменяется.
2. Для параллельного регистра в режиме управления выходом регистра нахождение значений сигналов «E1» и «E2», при которых разрешено считывания состояния регистров с его выходов.
3. Для регистра сдвига в режимах сдвига влево и вправо, определение, в каких направлениях смещается логическая единица, записанная в регистр при первом такте.
4. Для регистра сдвига в режиме параллельной загрузки проверка соответствия, входных сигналов регистра Q0, Q1, Q2, Q3 сигналам на входах параллельной загрузки D0, D1, D2, D3.
5. Для регистра сдвига в режиме хранения подтверждение, что при значениях сигналов S0=0 и S1=0 и подаче импульса «С» регистр сохранит на выходе первоначальный код.
6. Составление сводной таблицы истинности регистра сдвига по результатам его исследования в статическом режиме.

3 ТЕОРИТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Параллельный регистр

Параллельные регистры – это устройства, предназначенные для записи, хранения и выдачи информации, представленной в виде двоичных кодов. Для хранения каждого двоичного разряда в регистре используется одна триггерная ячейка. Для запоминания многоразрядных слов необходимое

число триггеров объединяют вместе и рассматривают как единый функциональный узел – регистр. Если регистр построен на триггерах-защелках, то его называют регистр-защелка. Типовыми внешними связями регистра являются информационные входы $D_0 – D_n$, вход сигнала записи (или загрузки) C , вход сброса R и выходы триггеров: прямые $Q_0 – Q_n$ и инверсные $\overline{Q_0} – \overline{Q_n}$. В упрощенном варианте регистр может не иметь входа сброса и инверсных выходов.

На рисунке 3.1 показана схема четырехразрядного регистра, выполненного на D-триггерах и логических элементах 2И. При подаче управляющего сигнала $Y_1 = 1$ цифровой код, установленный на информационных входах $D_0 – D_3$, записывается в соответствующие разряды четырех D-триггеров. При $Y_1=Y_2=0$ цифровой код хранится в регистре, а при $Y_2=1$ происходит параллельное считывание кода, т.е. передача его на выходы $Q_0 – Q_3$.

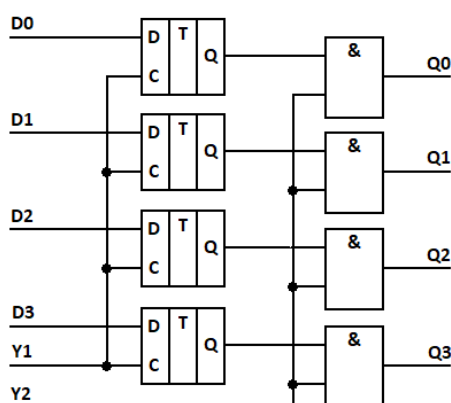


Рисунок 3.1 – Четырехразрядный параллельный регистр

Выпускаемые промышленностью регистры иногда объединяются на кристалле микросхемы с другими узлами, совместно с которыми регистры обычно используются в схемах цифровой аппаратуры. Такой интегральной микросхемой является 4-разрядный параллельный регистр К155ИР15, условное графическое обозначение которого приведено на рисунке 3.2.

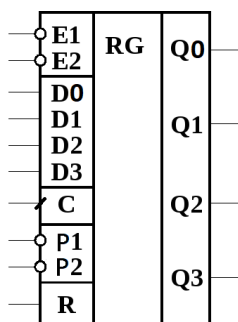


Рисунок 3.2 – Условное графическое обозначение регистра К155ИР15

Микросхема имеет следующие входы: тактовый С, информационные D0 – D3, управления загрузкой Р1 и Р2, сброса R и считывания выходных данных Е1 и Е2. Операция загрузки происходит синхронно с фронтом тактового импульса на входе С, если на входах Р1 и Р2 одновременно присутствует сигнал логического 0.

Хранящийся в регистре цифровой код может быть считан с выходов Q0 – Q3, если на входы управления считыванием Е1 и Е2 одновременно подан сигнал логического 0. Выходными каскадами данной микросхемы являются буферные логические элементы с тремя логическими состояниями. Если хотя бы на одном из входов присутствует сигнал логической 1, выходы находятся в высокоимпедансном состоянии (Z-состояние) и считывание информации запрещено. Это позволяет подключать выходы регистра непосредственно к шине данных микропроцессорных устройств.

Режимы работы регистра К155ИР15 при различных значениях входных сигналов приведено в таблице 3.1.

Таблица 3.1 – Режимы работы регистра К155ИР15

Режим работы	Вход							Выход
	E1	E2	R	C	P1	P2	Dn	Qn
Сброс	0	0	1	×	×	×	×	0
Параллельная загрузка	0	0	0	↑	0	0	0	0
	0	0	0	↑	0	0	1	0
Хранение	0	0	0	×	1	0	×	q _n
	0	0	0	×	0	1	×	q _n
Запрет считывания	1	0	×	×	×	×	×	Z
	0	1	×	×	×	×	×	Z

Примечания: символ × обозначает безразличное состояние входа; символ ↑ обозначает фронт тактового сигнала.

3.2 Регистр сдвига

Регистр сдвига (shift register) – это регистр, содержимое которого при подаче управляющего сигнала С может сдвигаться в сторону старших или младших разрядов. Схема сдвигающего регистра из цепочки JK-триггеров показана на рисунке 3.3.

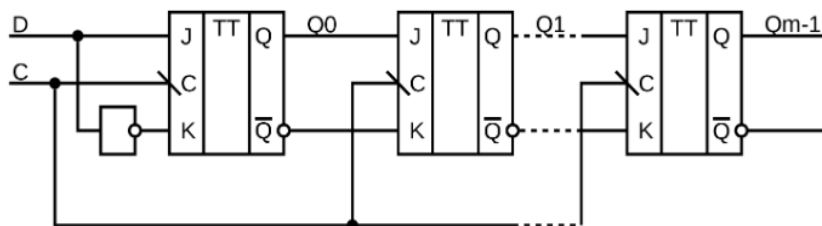


Рисунок 3.3 – Схема регистра сдвига

Пусть левый по схеме триггер соответствует младшему разряду регистра, а правый триггер – старшему разряду. Тогда вход каждого триггера (кроме левого) подключен к выходу соседнего младшего триггера. Когда на все входы С триггеров поступает срез входного тактового импульса, выход каждого триггера Q_i принимает состояние предыдущего каскада и, таким образом, информация, содержащаяся в регистре, сдвигается на один разряд в сторону старших разрядов. Триггер младшего разряда принимает при этом состояние последовательного входа D. Информация, поступившая на вход D схемы, появится на её выходе $Q(m-1)$ через m тактов.

Существенно, что в схеме использованы именно непрозрачные триггеры. Если поставить прозрачные защелки, то при активном уровне сигнала С, все триггеры открыты для записи, и сигнал D успеет пройти столько триггеров, сколько позволит длительность сигнала С.

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, с параллельно-последовательной записью. Такие регистры называются универсальными. Примером такого регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рисунке 3.4, а режимы работы отображены в таблице 3.2.

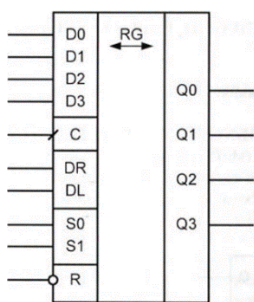


Рисунок 3.4 – Условное графическое обозначение регистра сдвига

Таблица 3.2 – Режимы работы регистра К555ИР11

Режим работы	Вход							Выход			
	R	C	S1	S0	DR	DL	D _n	Q0	Q1	Q2	Q3
Сброс	0	×	×	×	×	×	×	0	0	0	0
Хранение	1	×	0	0	×	×	×	q ₀	q ₁	q ₂	q ₃
Сдвиг влево	1	↑	0	0	×	0	×	q ₁	q ₂	q ₃	0
	1	↑	0	0	×	1	×	q ₁	q ₂	q ₃	1
Сдвиг вправо	1	↑	0	1	0	×	×	0	q ₀	q ₁	q ₂
	1	↑	0	1	1	×	×	1	q ₀	q ₁	q ₂
Параллельная загрузка	1	↑	1	1	×	×	d _n	d ₀	d ₁	d ₂	d ₃
Примечания: символ × обозначает безразличное состояние входа; символ ↑ обозначает фронт тактового сигнала.											

Регистр может работать в четырех режимах: параллельная загрузка данных, сдвиг влево, сдвиг вправо, хранение данных и сброс. Микросхема имеет входы: тактовый (C), параллельной загрузки (D0 – D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0 – Q3.

Применения сдвиговых регистров очень разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо - делению пополам. В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно. Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Изучение параллельного регистра в статическом режиме

4.1.1 Режим параллельной загрузки и хранения

После установки лабораторного модуля dLab10 на макетную плату NI ELVIS и загрузки файла dLab10.vi на экране появляется изображение ВП, необходимого для выполнения работы (см. рисунок 4.1).

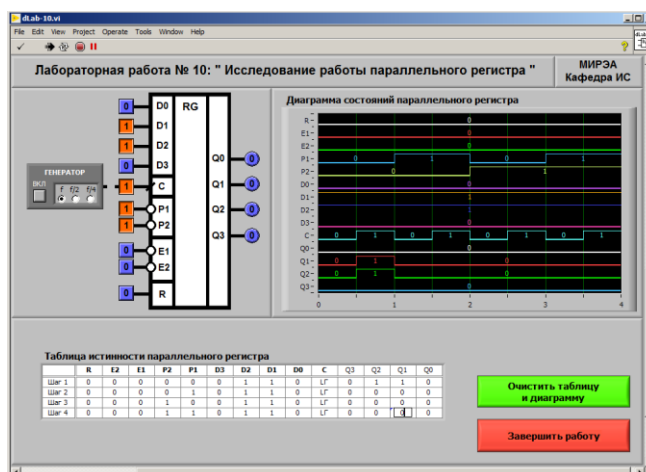


Рисунок 4.1 – Лицевая панель при работе с параллельным регистром

Установим на входах параллельной загрузки и разрешения считывания выходного кода следующие значения сигналов: D0=1, D1=1, D2=1, D3=0, E1=0 и E2=0. Затем выполним сброс регистра. Изменяя значения на входах

управления загрузкой P1 и P2, получим таблицу истинности (см. таблицу 4.1) и диаграмму состояний (см. рисунок 4.2) данного регистра.

Таблица 4.1 – Таблица истинности параллельного регистра в режиме параллельной загрузки и хранения

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 2	0	0	0	0	1	0	1	1	0	ЛГ	0	0	0	0
Шаг 3	0	0	0	1	0	0	1	1	0	ЛГ	0	0	0	0
Шаг 4	0	0	0	1	1	0	1	1	0	ЛГ	0	0	0	0

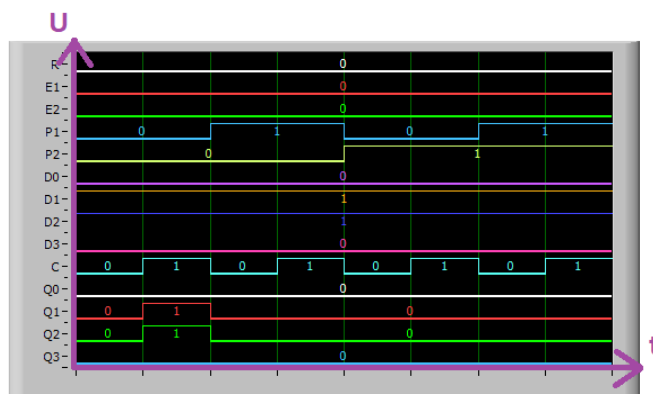


Рисунок 4.2 – Диаграмма состояний параллельного регистра в режиме параллельной загрузки и хранения

По таблицу истинности 4.1 и диаграмме состояний 4.2 можно сказать, что параллельная загрузка регистра происходит, если на входы P1 и P2 подан активный уровень сигнала равный 0, а хранение информации происходит, если хотя бы на один из входов (P1 или P2) подан неактивный уровень сигнала, равный 1.

4.1.2 Режим управления выходом регистра

Установим на входах параллельной загрузки и управления загрузкой следующие значения сигналов: D0=0, D1=1, D2=1, D3=0, P1=0 и P2=0.

После этого будем последовательно устанавливать значения на входах управления загрузкой E1 и E2 и подавать импульс на вход C.

В итоге получим таблицу истинности, которая отображена в таблице 4.2.

Таблица 4.2 – Таблица истинности параллельного регистра в режиме управления выходом регистра

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 2	0	1	0	0	0	0	1	1	0	ЛГ	0	0	0	0
Шаг 3	0	0	1	0	0	0	1	1	0	ЛГ	0	0	0	0
Шаг 4	0	1	1	0	0	0	1	1	0	ЛГ	0	0	0	0

Диаграмма состояний показана на рисунке 4.3.

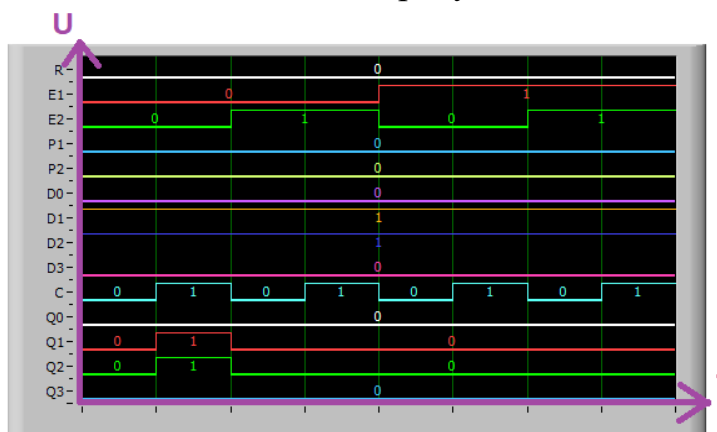


Рисунок 4.3 – Временная диаграмма состояний параллельного регистра в режиме управления выходом регистра

По полученной таблице истинности 4.2 и диаграмму состояний 4.3, можно сказать, что считывание состояния регистра с выходов Q разрешено, если подан активный уровень сигнала на входы E1 и E2, который равен 0.

4.2 Изучение параллельного регистра в динамическом режиме

Изменяя входные сигналы регистра, получим временную диаграмму состояний, отображающую работу параллельного регистра в режимах параллельной загрузки, хранения, сброса и управления выходом (разрешение на запрет считывания состояния).

Данная временна диаграмма изображена на рисунке 4.4.

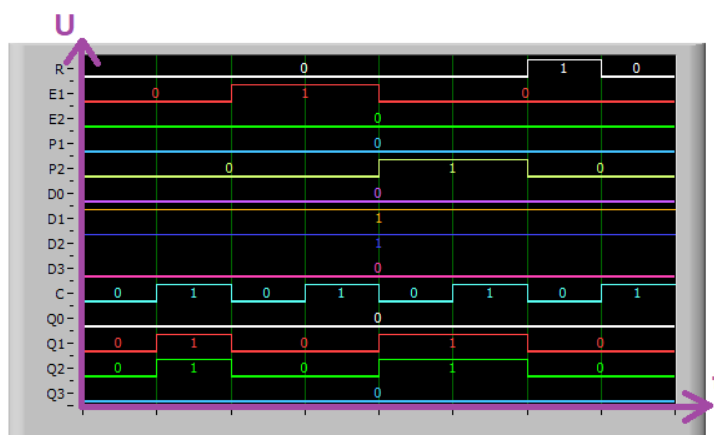


Рисунок 4.4 – Временная диаграмма состояний параллельного регистра в режимах параллельной загрузки, хранения, сброса и управления выходом

По полученной временной диаграмме состояний 4.4, можно сказать, что изменения состояния регистра в режиме параллельной загрузки происходят

при $E1=0$, $E2=0$, $P1=0$, $P2=0$, $R=0$ при появлении переднего фронта на входе C , а в режиме сброса изменения происходят при $R=1$, а значения на $E1$, $E2$, $P1$, $P2$ не имеют значения, так как не влияют на результат.

4.3 Изучение регистра сдвига в статическом режиме

4.3.1 Режим сдвига вправо

После установки лабораторного модуля dLab11 на макетную плату NI ELVIS и загрузки файла dLab11.vi на экране появляется изображение ВП, необходимого для выполнения работы (см. рисунок 4.5).

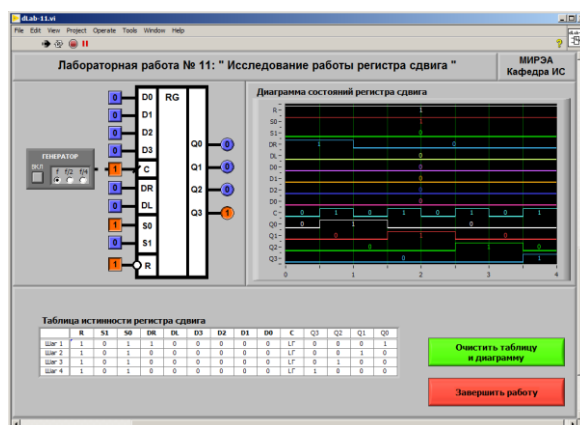


Рисунок 4.5 – Лицевая панель при работе с регистром сдвига

Установим на входах выбора режима сигналы $S0=1$, $S1=0$, $R=1$, выполним сброс регистра, а после этого установим на входе последовательных данных «DR» логический сигнал «1».

Нажмем и отпустим на кнопку, расположенную около входа «C». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отражено состояние выходных сигналов.

Теперь установим на выходе последовательных данных «DR» логический сигнал «0» и повторим действия, описанные в предыдущем абзаце, три раза подряд.

В итоге, получим таблицу истинности (см. таблицу 4.3) и диаграмму состояний регистра сдвига в режиме сдвига вправо.

Таблица 4.3 – Таблица истинности регистра сдвига в режиме сдвига вправо

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	0	1	1	0	0	0	0	0	ЛГ	0	0	0	1
Шаг 2	1	0	1	0	0	0	0	0	0	ЛГ	0	0	1	0
Шаг 3	1	0	1	0	0	0	0	0	0	ЛГ	0	1	0	0
Шаг 4	1	0	1	0	0	0	0	0	0	ЛГ	1	0	0	0

Диаграмма состояний показана на рисунке 4.6.

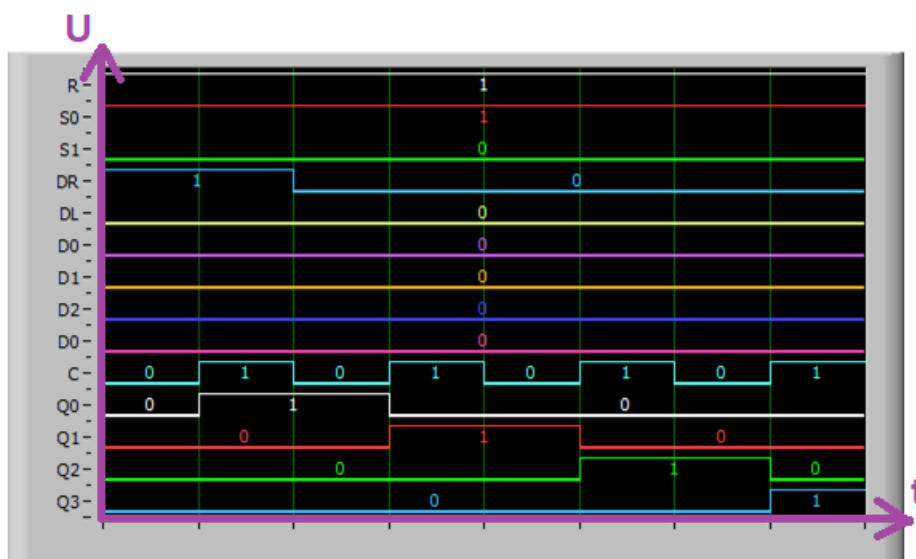


Рисунок 4.6 – Диаграмма состояний регистра сдвига в режиме сдвига вправо

По полученной таблице истинности 4.3 и диаграмме состояний 4.6 определяем, что логическая единица, записанная на первом такте, смещается от Q0 к Q3.

4.3.2 Режим сдвига влево

Установим на входах выбора режима сигналы $S0=0$, $S1=1$, $R=1$, выполним сброс регистра, а после этого установим на входе последовательных данных «DL» логический сигнал «1».

Теперь установим на выходе последовательных данных «DL» логический сигнал «0» и повторим действия, описанные в предыдущем абзаце, три раза подряд.

В итоге, получим таблицу истинности (см. таблицу 4.4) и диаграмму состояний регистра сдвига в режиме сдвига влево.

Таблица 4.4 – Таблица истинности регистра сдвига в режиме сдвига влево

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	0	0	1	0	0	0	0	ЛГ	1	0	0	0
Шаг 2	1	1	0	0	0	0	0	0	0	ЛГ	0	1	0	0
Шаг 3	1	1	0	0	0	0	0	0	0	ЛГ	0	0	1	0
Шаг 4	1	1	0	0	0	0	0	0	0	ЛГ	0	0	0	1

Диаграмма состояний показана на рисунке 4.7.

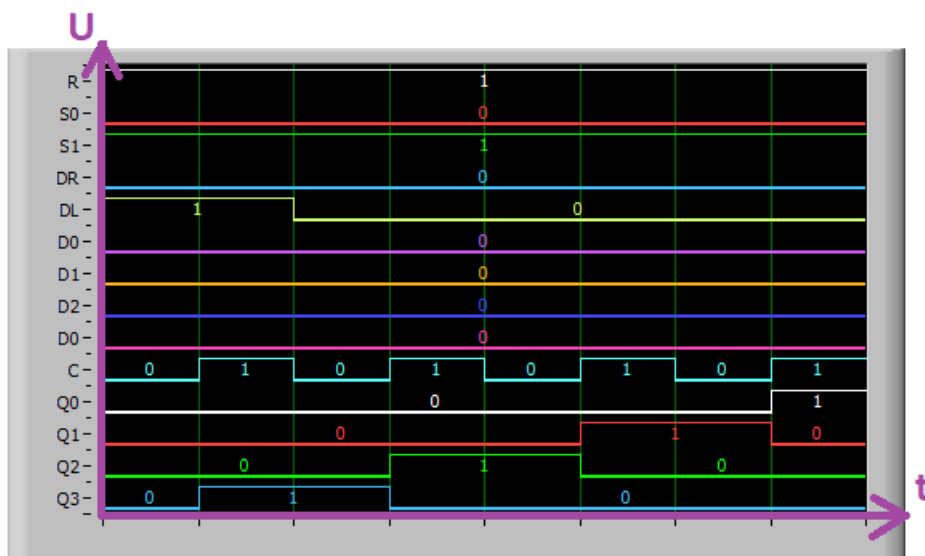


Рисунок 4.7 – Диаграмма состояний регистра сдвига в режиме сдвига влево

По полученной таблице истинности 4.4 и диаграмме состояний 4.7 определяем, что логическая единица, записанная на первом такте, смещается от Q3 к Q0.

4.3.3 Режим параллельной загрузки

Очистим таблицу истинности и диаграмму состояний от результатов работы регистра сдвига в режиме сдвига влево.

Установим на входах выбора режима сигналы $S0=1$, $S1=1$, $R=1$, выполним сброс регистра.

После этого, будем устанавливать на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в таблице 4.5, и нажимать на кнопку, расположенную около входа «C». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отражено состояние выходных сигналов.

Таблица 4.5 – Таблица подаваемых логических значений на входы D0 – D3

Вход D3	Вход D2	Вход D1	Вход D0
0	1	0	1
1	1	1	1
0	0	1	0
0	0	1	0

В итоге, получим таблицу истинности (см. таблицу 4.6) и диаграмму состояний регистра сдвига (см. рисунок 4.8) в режиме параллельной загрузки.

Таблица 4.6 – Таблица истинности регистра сдвига в режиме параллельной загрузки

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	1	0	0	0	1	0	1	ЛГ	0	1	0	1
Шаг 2	1	1	1	0	0	1	1	1	1	ЛГ	1	1	1	1
Шаг 3	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0
Шаг 4	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0

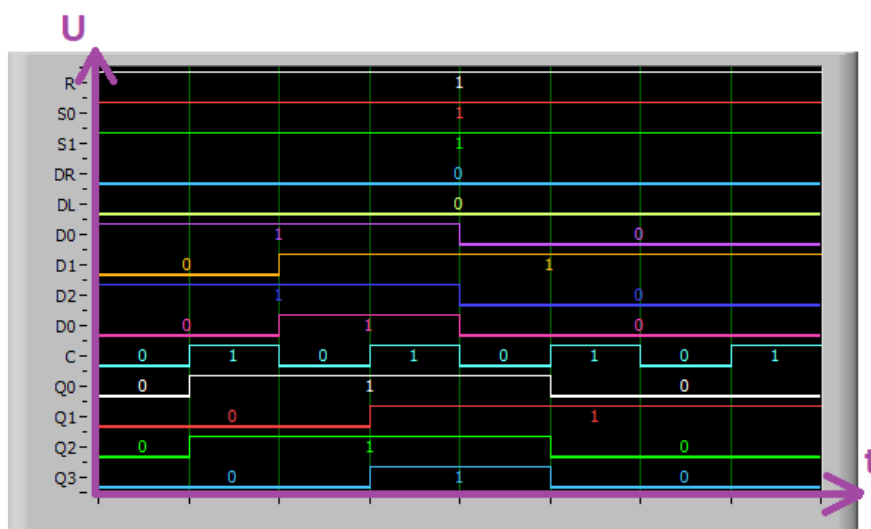


Рисунок 4.8 – Диаграмма состояний регистра сдвига в режиме параллельной загрузки

Значений на выходах Q0 – Q3 соответствуют значениям на входах параллельной загрузки D0 – D3.

4.3.4 Режим хранения

Снова очистим таблицу истинности и диаграмму состояний от предыдущих результатов работы.

В режиме параллельной загрузки загрузим в регистр сдвига цифровой код 1010. Установим на входах выбора режима сигналы S0=0, S1=0, R=1 и на входах последовательных данных сигналы DR=1 и DL=1.

Устанавливая на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в таблице 4.3, будем нажимать и отпускать кнопку, расположенную около входа «C». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отражено состояние выходных сигналов.

В итоге, получим таблицу истинности (см. таблицу 4.7) и диаграмму состояний регистра сдвига (см. рисунок 4.9) в режиме хранения.

Таблица 4.7 – Таблица истинности регистра сдвига в режиме хранения

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шар 1	1	0	0	1	1	0	1	0	1	ЛГ	1	0	1	0
Шар 2	1	0	0	1	1	1	1	1	1	ЛГ	1	0	1	0
Шар 3	1	0	0	1	1	0	0	1	0	ЛГ	1	0	1	0
Шар 4	1	0	0	1	1	0	0	1	0	ЛГ	1	0	1	0

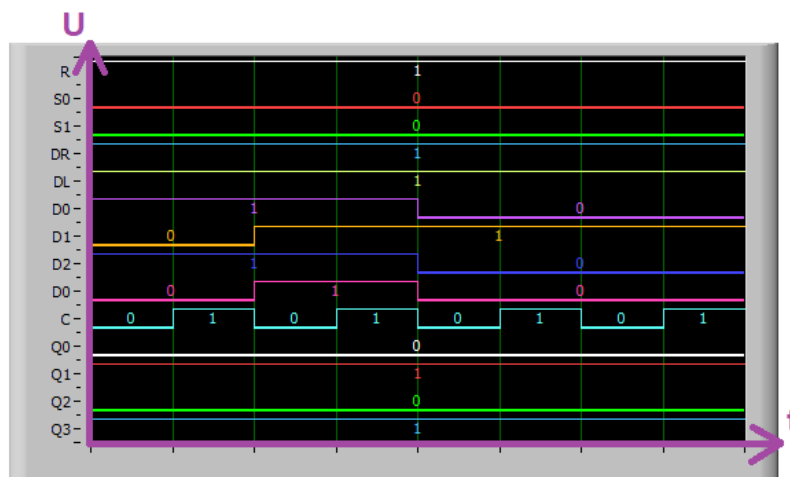


Рисунок 4.9 – Диаграмма состояний регистра сдвига в режиме хранения

По полученной таблице истинности 4.7 и диаграмме состояний 4.9 убеждаемся, что при значениях сигналов $S0=0$, $S1=0$ и подаче импульсов на тактовый вход «C» регистр сдвига сохраняет на выходе первоначально занесенный в него цифровой код.

Составим по результатам работы с регистром сдвига в статическом режиме сводную таблицу истинности (см. таблицу 4.8).

Таблица 4.6 – Сводная таблица истинности для регистра сдвига

R	S0	S1	DR	DL	D0	D1	D2	D3	C	Q0 _n	Q1 _n	Q2 _n	Q3 _n	Режим работы
0	x	x	x	x	x	x	x	x	x	0	0	0	0	Сброс
1	0	1	1	0	0	0	0	0	↑	DR	Q0 _{n-1}	Q1 _{n-1}	Q2 _{n-1}	Сдвиг вправо
1	1	0	0	1	0	0	0	0	↑	Q1 _{n-1}	Q2 _{n-1}	Q3 _{n-1}	DL	Сдвиг влево
1	1	1	0	0	x	x	x	x	↑	D0	D1	D2	D3	Загрузка
1	0	0	1	1	x	x	x	x	x	Q0 _{n-1}	Q1 _{n-1}	Q2 _{n-1}	Q3 _{n-1}	Хранение

Примечания: символ x обозначает безразличное состояние входа; символ ↑ обозначает фронт тактового сигнала.

4.4 Изучение регистра сдвига в динамическом режиме

Очистим таблицу истинности и диаграмму состояний от предыдущих результатов работы и включим генератор импульсов.

Изменяя входные сигналы регистра, получим временную диаграмму (см. рисунок 4.10), отражающую работу регистра в режимах сдвига вправо, сдвига влево, параллельной загрузки, сброса.

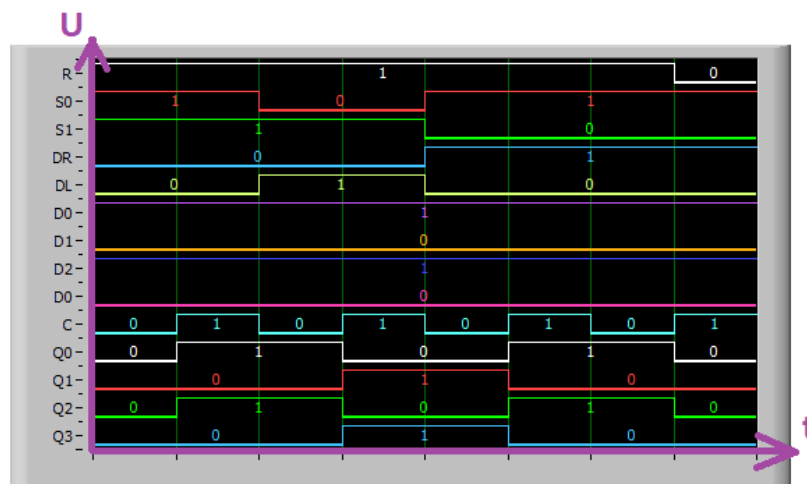


Рисунок 4.10 – Временная диаграмма состояний регистра сдвига с режимами сдвига влево, сдвига вправо, параллельной загрузки, сброса

По полученной диаграмме 4.10 определяем, что по перепаду из «0» в «1» на тактовом входе «С» регистра сдвига происходят изменения состояния счетчика в режимах сдвига вправо, сдвига влево, параллельной загрузки и сброса.

5 ВЫВОД

Были получены знания о работе с учебными модулями dLab10, dLab11.

Были исследованы параллельный регистр и регистр сдвига в статическом и динамическом режимах, построены их таблицы истинности и диаграммы состояний для данных режимов.

В статическом режиме параллельного регистра были исследованы режим параллельной загрузки и хранения, а также режим управления выходом регистра, было установлено, каким значениям входов «R», «P1», «P2», «E1», «E2» соответствуют данные режимы регистров.

В статическом режиме регистра сдвига были изучены режимы сдвига вправо и влево, режим параллельной загрузки и режим хранения, было установлено, каким значениям входов «DR», «DL», «S0», «S1», «L» соответствуют данные режимы регистров.

В динамическом режиме для обоих регистров по полученным диаграммам состояний было определено, по какому перепаду на тактовом входе «С», а также при каких значениях управляющих сигналов происходят изменения состояний данных регистров.