



# СиФО ВМ Л.Р. №2

Стракович Андрей Иванович

БГУИР, кафедра ЭВМ

а. 508-5

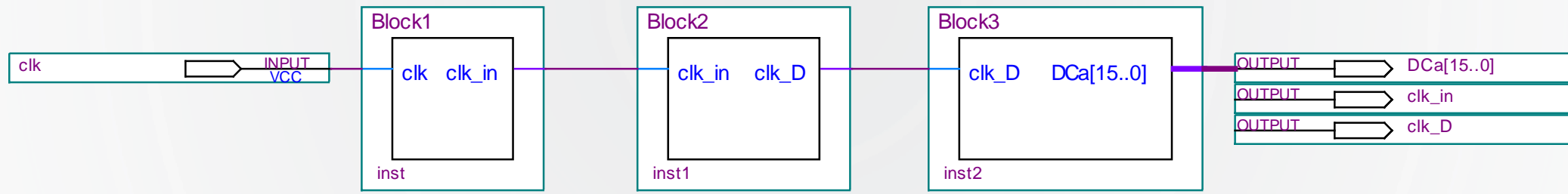
2023

The background features a light gray gradient with faint, concentric circular patterns. In the four corners, there are decorative black line art elements resembling circuit traces or signal paths, with small circles at various points.

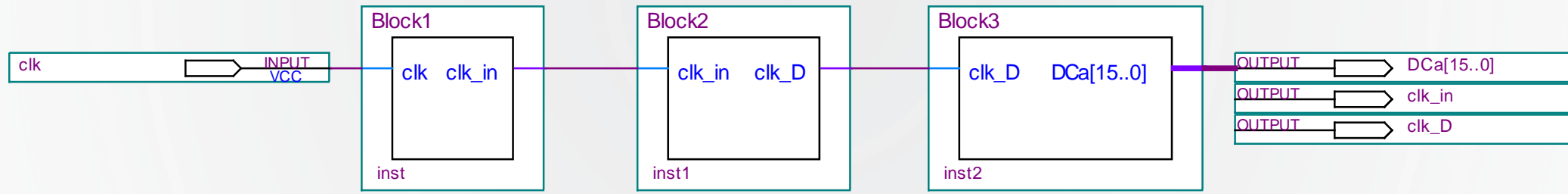
# УПРАВЛЯЕМЫЙ ГЕНЕРАТОР СИНХРОСИГНАЛОВ

SIFO LAB PRACTICUM PART 1 – Л.Р. 2

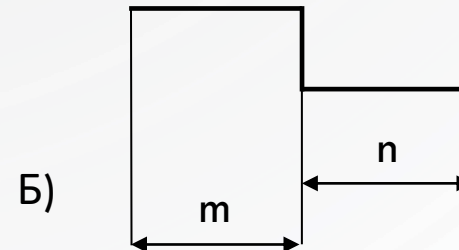
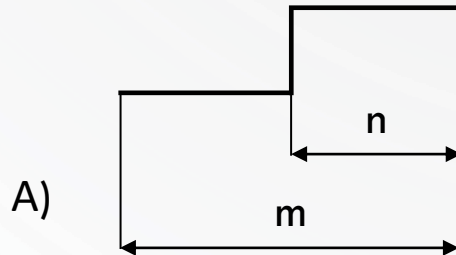
# СТРУКТУРНАЯ СХЕМА



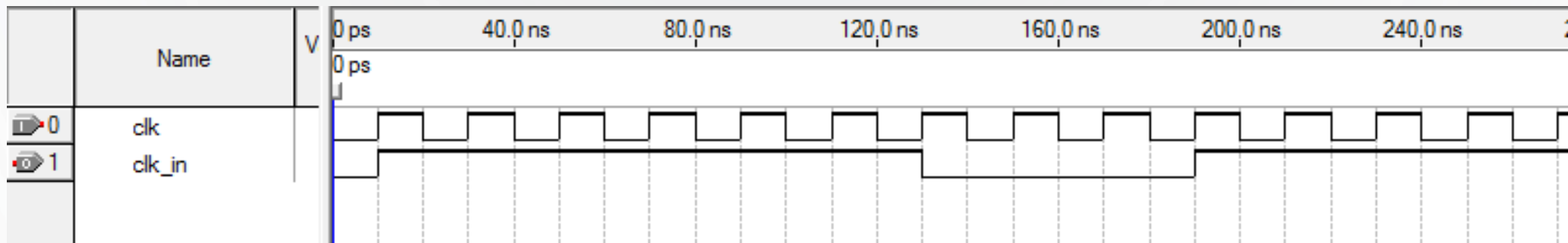
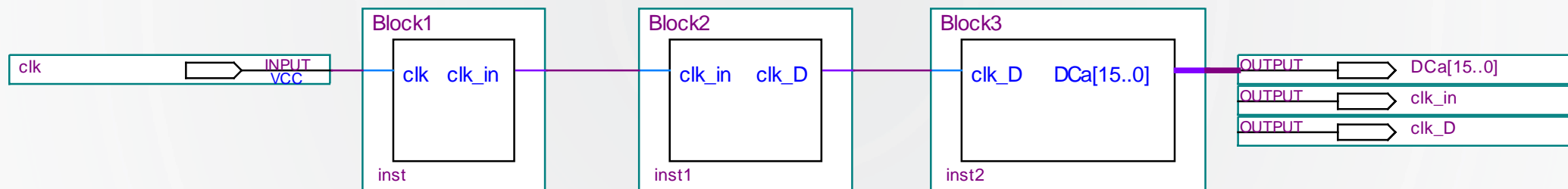
# БЛОК №1



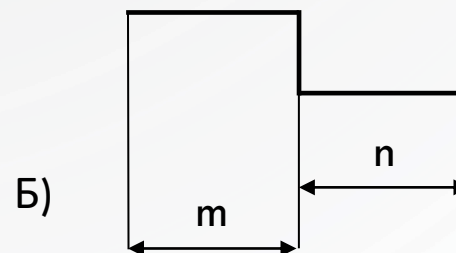
- На вход поступает синхросигнал *clk*
- На выходе формируется сигнал с формой и указанными по варианту параметрами  $\underline{m}$  и  $\underline{n}$ , где  $\underline{m}$  и  $\underline{n}$  – количество тактов внешнего синхросигнала *clk*



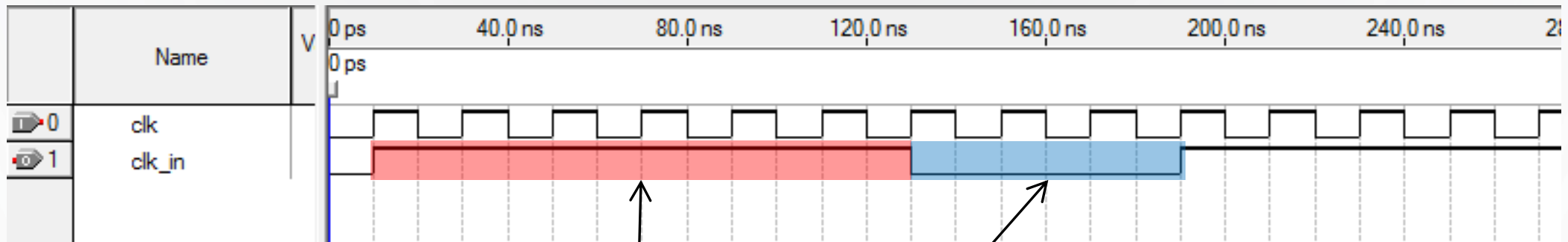
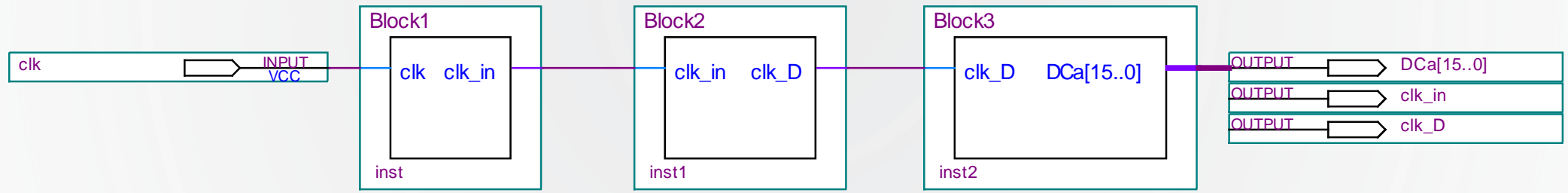
# БЛОК №1



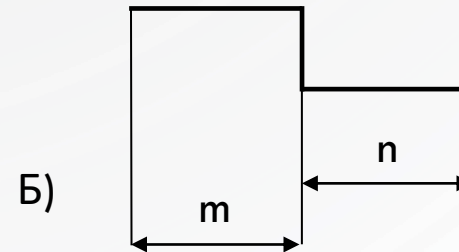
Пример:  
Вариант Б  
 $m = 6$   
 $n = 3$



# БЛОК №1



Пример:  
Вариант Б  
 $m = 6$   
 $n = 3$

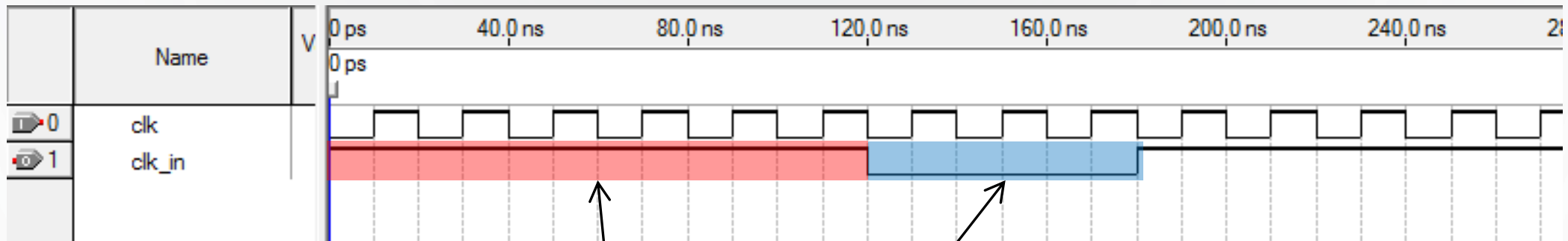
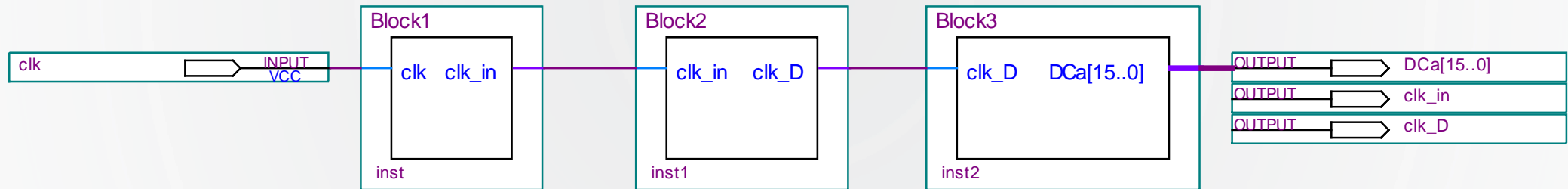


$$T_{clk} = 20 \text{ ns}$$

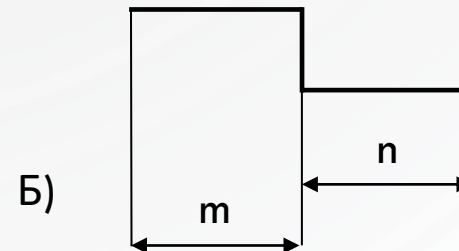
$$"1"_{clk\_in} = T_{clk} \cdot m = 20 \text{ ns} \cdot 6 = 120 \text{ ns}$$

$$"0"_{clk\_in} = T_{clk} \cdot n = 20 \text{ ns} \cdot 3 = 60 \text{ ns}$$

# БЛОК №1



Пример:  
Вариант Б  
 $m = 6$   
 $n = 3$

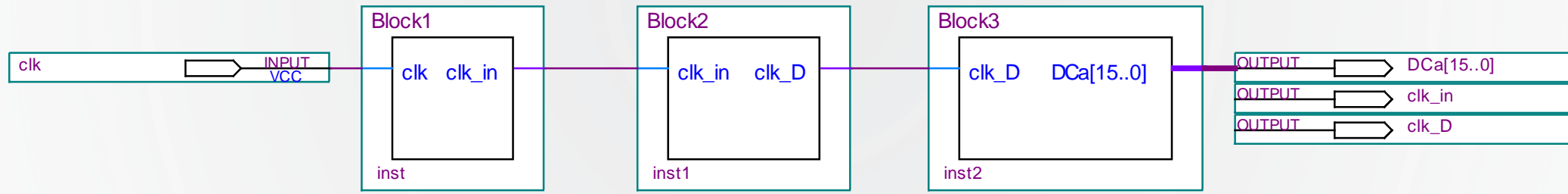


$$T_{clk} = 20 \text{ ns}$$

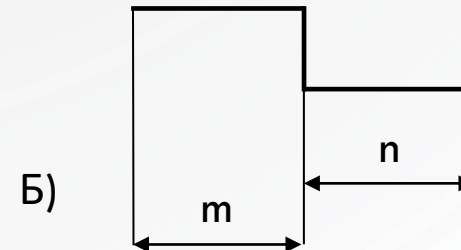
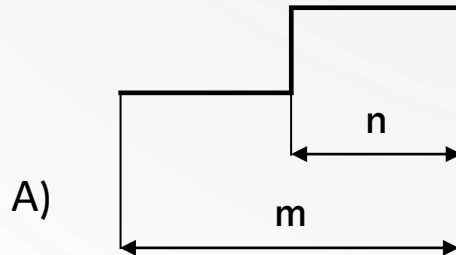
$$"1"_{clk\_in} = T_{clk} \cdot m = 20 \text{ ns} \cdot 6 = 120 \text{ ns}$$

$$"0"_{clk\_in} = T_{clk} \cdot n = 20 \text{ ns} \cdot 3 = 60 \text{ ns}$$

## БЛОК №2

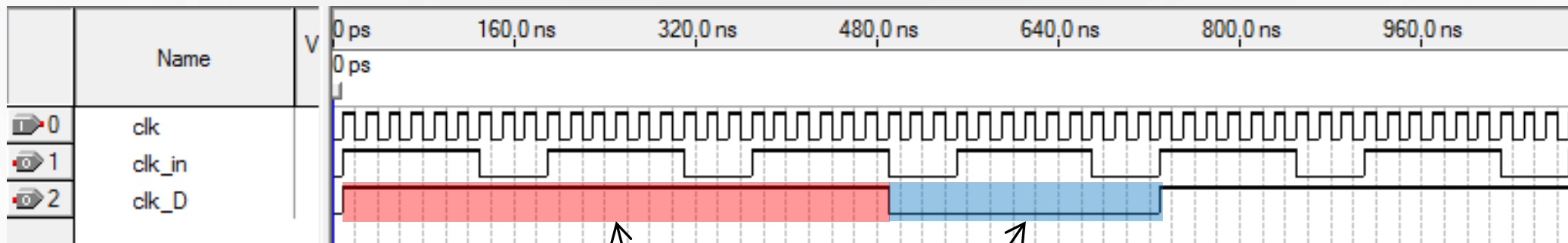
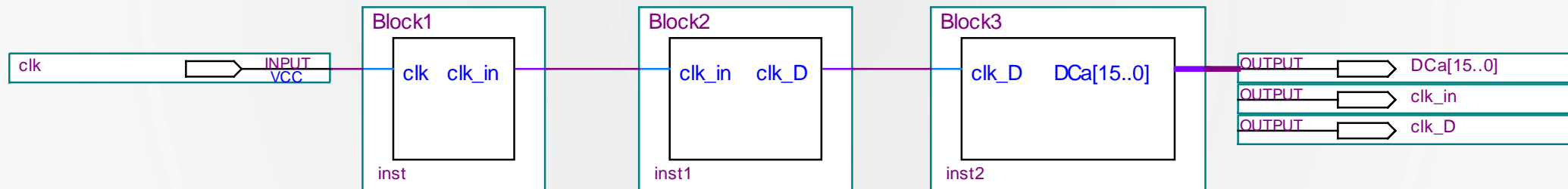


- На вход поступает синхросигнал *clk\_in* с блока №1
- На выходе формируется сигнал *clk\_D* уменьшенный по частоте в *D* раз
- Делитель частоты *D* задан по варианту





# БЛОК №2



Пример:  
Вариант Б

$$m = 6$$

$$n = 3$$

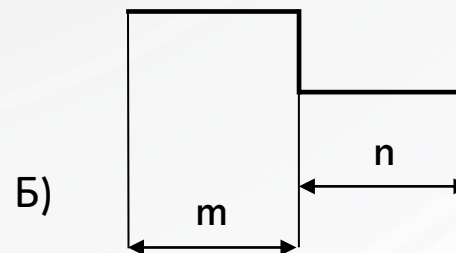
$$D = 4$$

$$"1"_{clk\_in} = 120 \text{ ns}$$

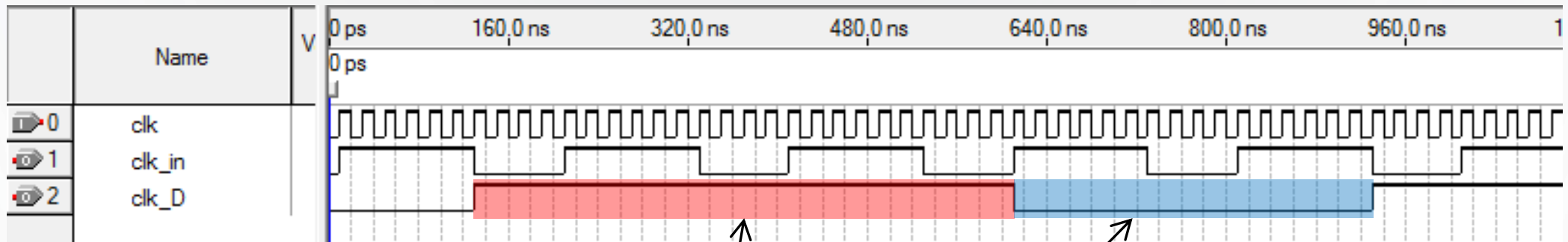
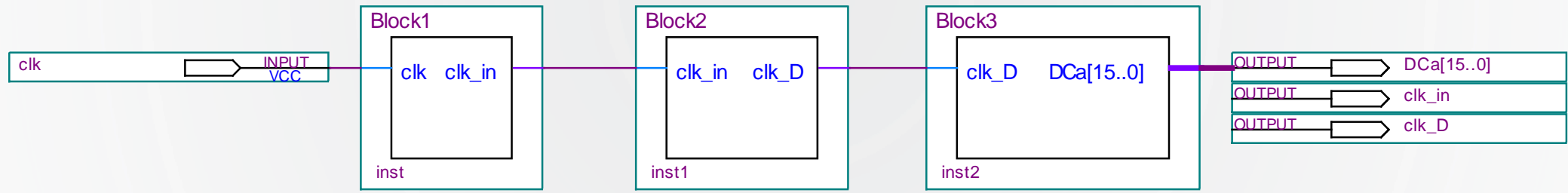
$$"0"_{clk\_in} = 60 \text{ ns}$$

$$"1"_{clk\_D} = "1"_{clk\_in} \cdot D = 120 \text{ ns} \cdot 4 = 480 \text{ ns}$$

$$"0"_{clk\_D} = "0"_{clk\_in} \cdot D = 60 \text{ ns} \cdot 4 = 240 \text{ ns}$$



# БЛОК №2



Пример:  
Вариант Б

$$m = 6$$

$$n = 4$$

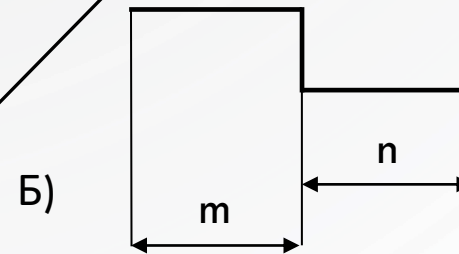
$$D = 4$$

$$"1"_{clk\_in} = 120 \text{ ns}$$

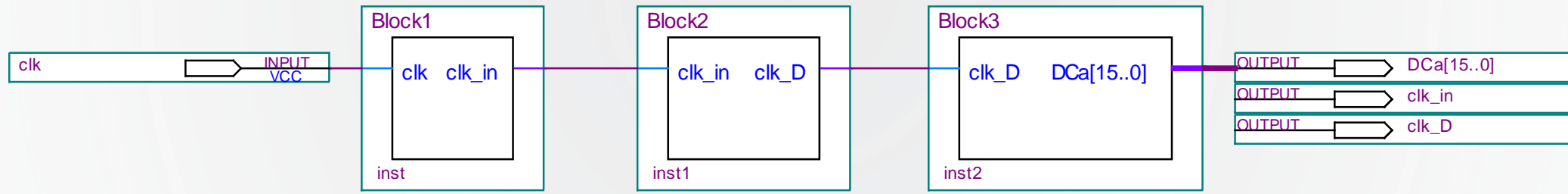
$$"0"_{clk\_in} = 80 \text{ ns}$$

$$"1"_{clk\_D} = "1"_{clk\_in} \cdot D = 120 \text{ ns} \cdot 4 = 480 \text{ ns}$$

$$"0"_{clk\_D} = "0"_{clk\_in} \cdot D = 80 \text{ ns} \cdot 4 = 320 \text{ ns}$$

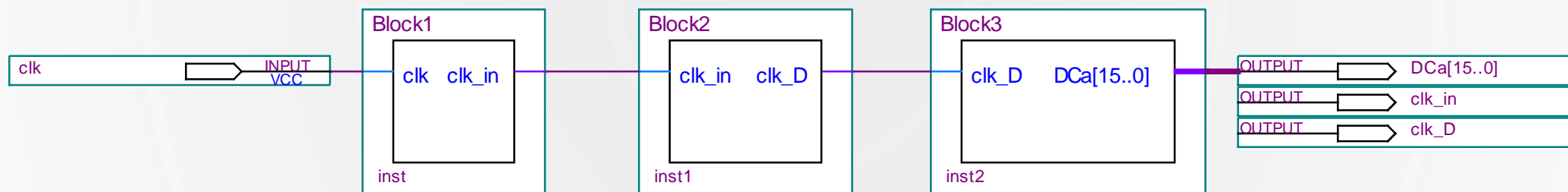


## БЛОК №3

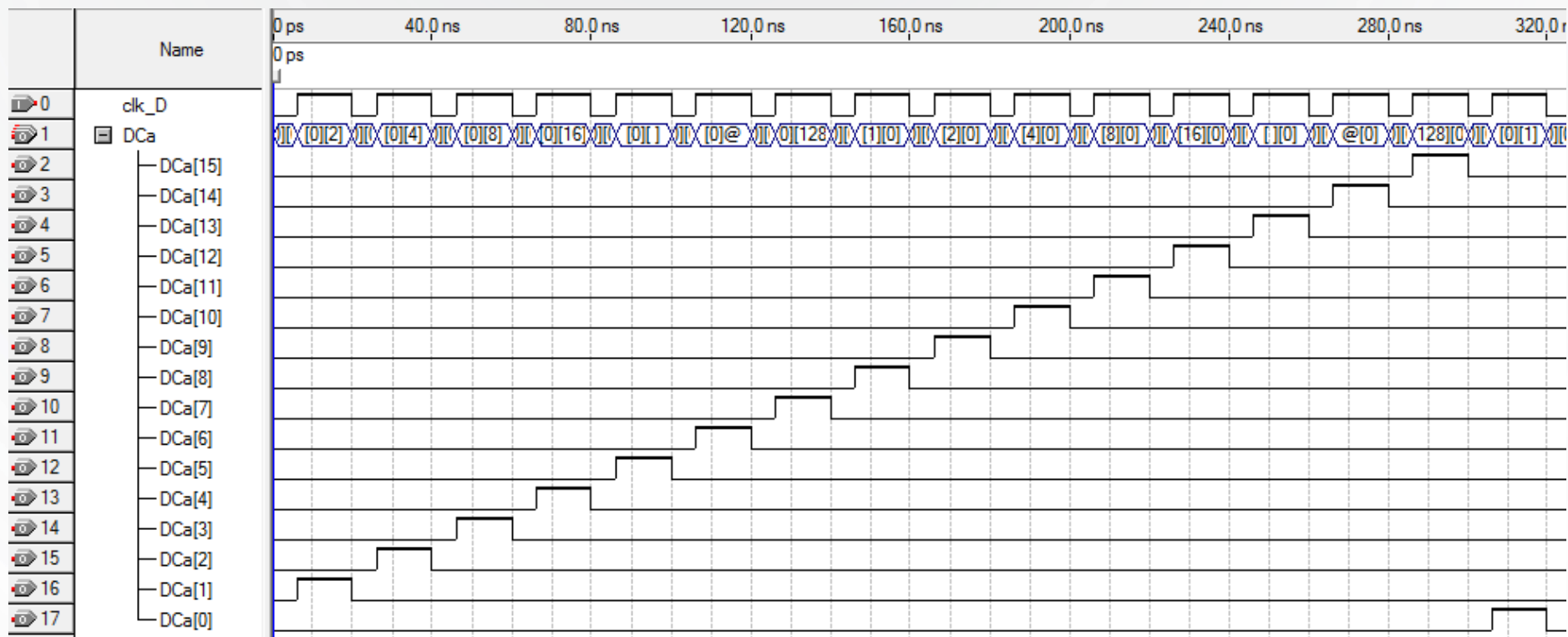


- На вход поступает синхросигнал  $clk\_D$  с блока №2
- На выходе формируется 16-разрядный сигнал, представляющий собой 16 опорных синхроимпульсов  $DCa[15..0]$
- Форма сигнала любая из представленных вариантов В, Г, Д, И

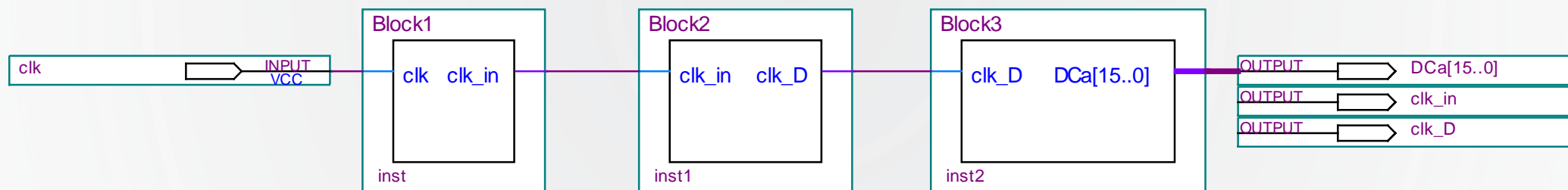
# БЛОК №3



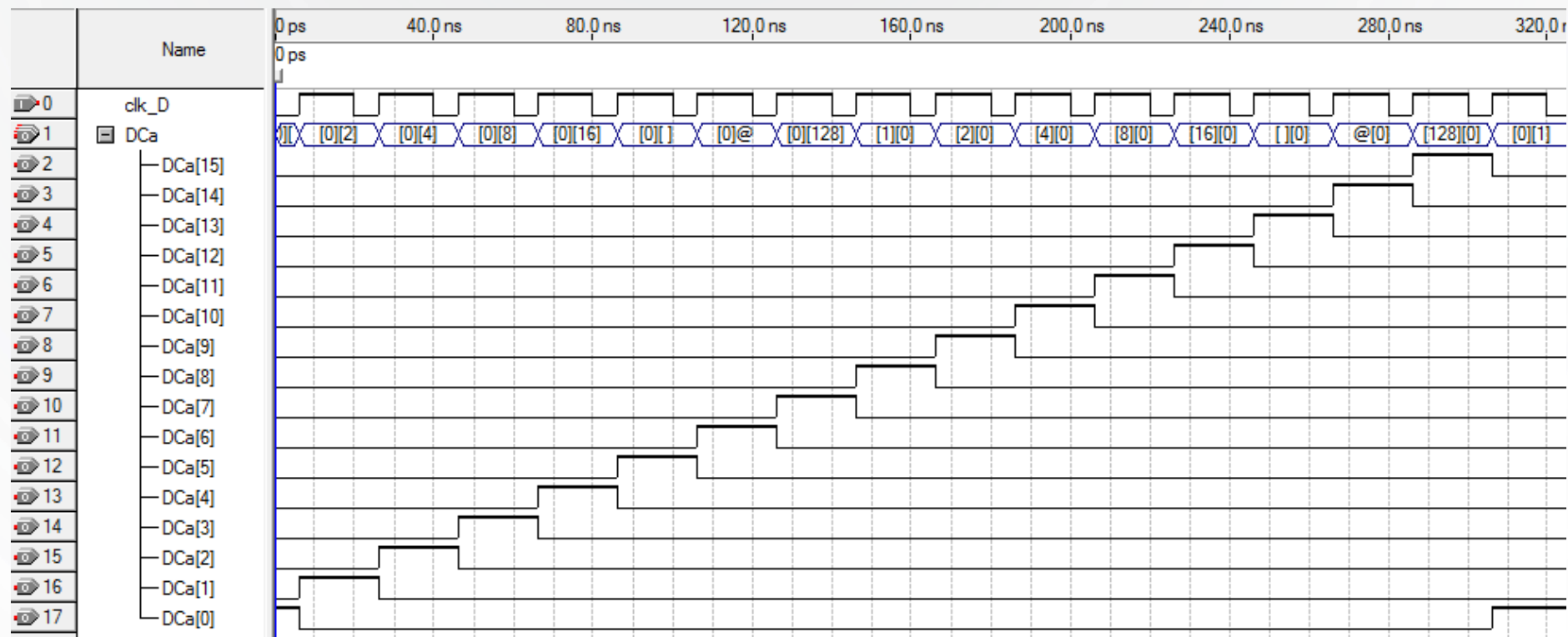
B)



# БЛОК №3



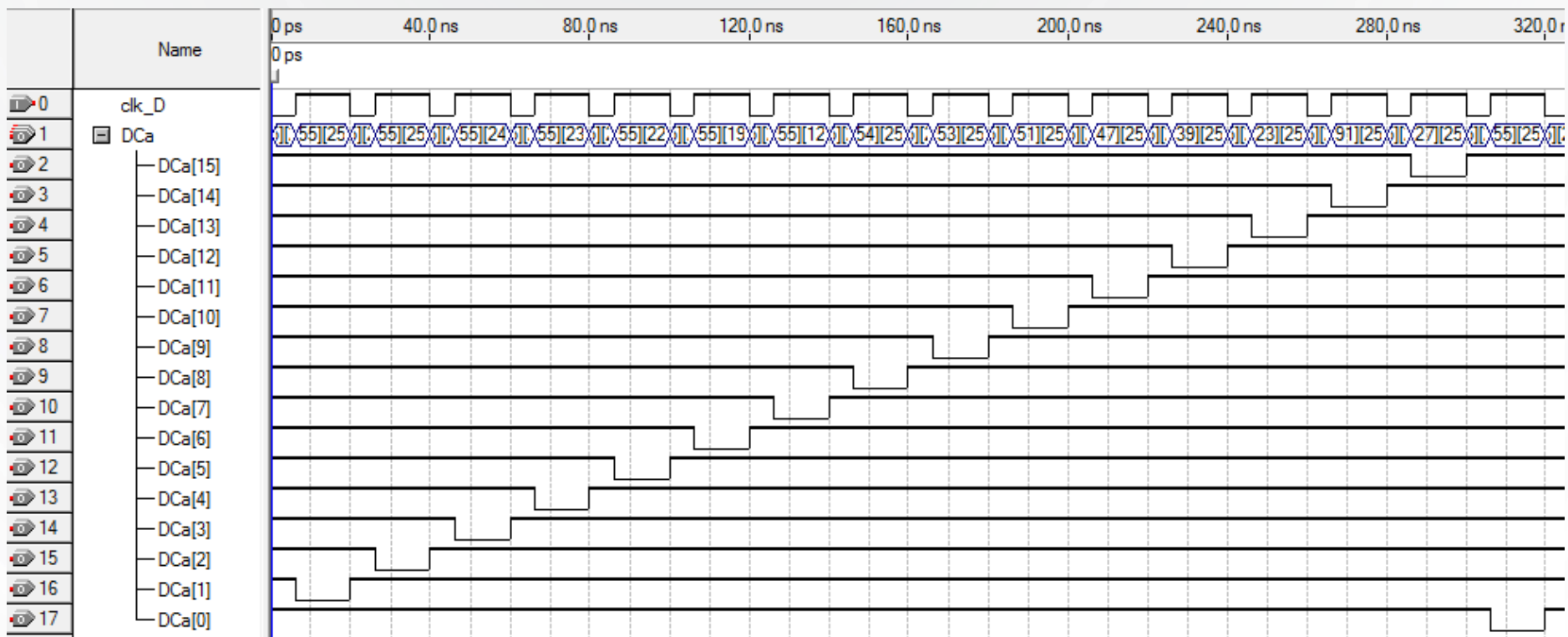
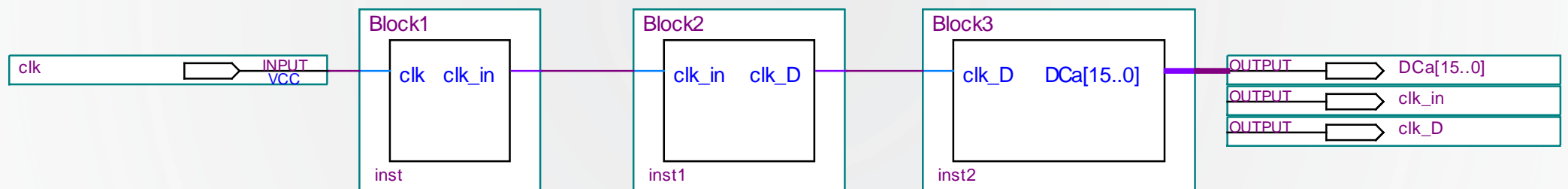
Г)



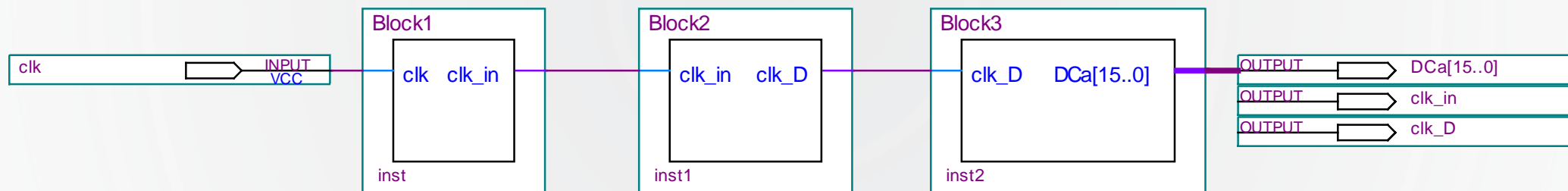
# БЛОК №3

The circuit diagram shows three blocks (Block1, Block2, Block3) connected in series. Block1 has inputs `clk` and `VCC`, and output `clk_in`. Block2 has inputs `clk_in` and `clk_D`, and output `clk_D`. Block3 has inputs `clk_D` and `DCa[15..0]`, and output `DCa[15..0]`. The timing diagram shows the signals `clk_D` and `DCa` over time. The clock signal `clk_D` is a periodic square wave. The data signal `DCa` is a 16-bit bus that changes its value at each clock edge. The values of `DCa` are shown in the diagram as a sequence of 16-bit hexadecimal values: 55, 25, 55, 25, 55, 24, 55, 23, 55, 22, 55, 19, 55, 12, 54, 25, 53, 25, 51, 25, 47, 25, 39, 25, 23, 25, 91, 25, 27, 25, 55, 25.

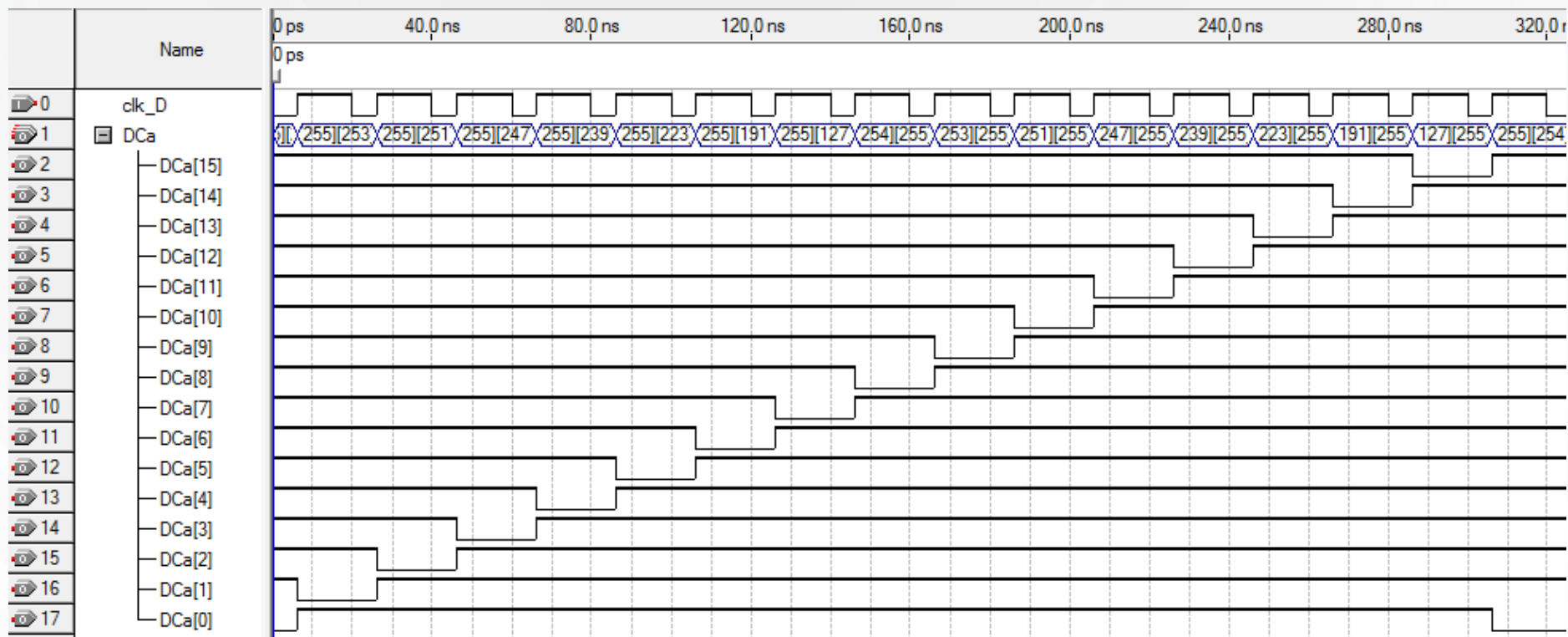
Д)



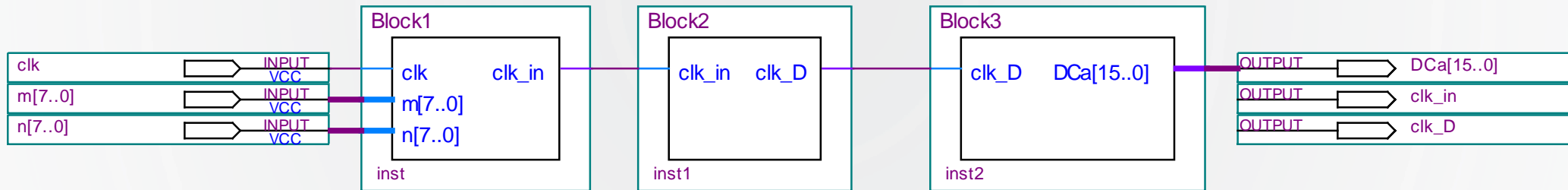
# БЛОК №3



И)



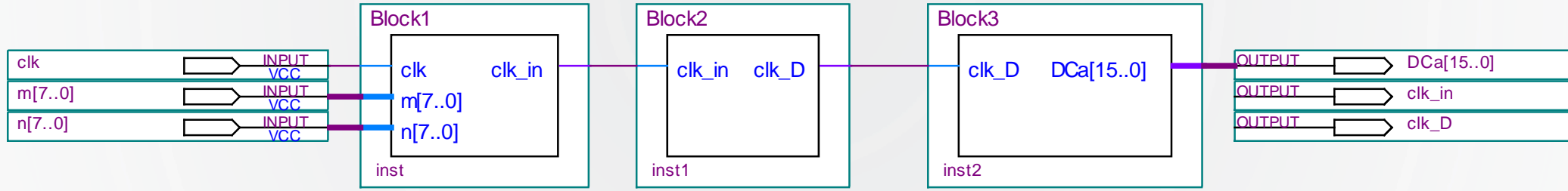
# ДОПОЛНИТЕЛЬНОЕ ЗАДАНИЕ №1



- Добавить к входам блока №1 два 8-разрядных значения, представляющие собой параметры m и n
- Простой вариант блока №1 должен быть обязательно!!!
- Доп. задание делается в виде нового блока в том же проекте!
- Доп. блок должен работать правильно с различными m и n
  - Для варианта A m > n
- Доп. блок к блоку №2 не подключается



# БАЛЛЫ ЗА Л.Р.



- 4-8 – за выполнение
- 1 – за скорость сдачи

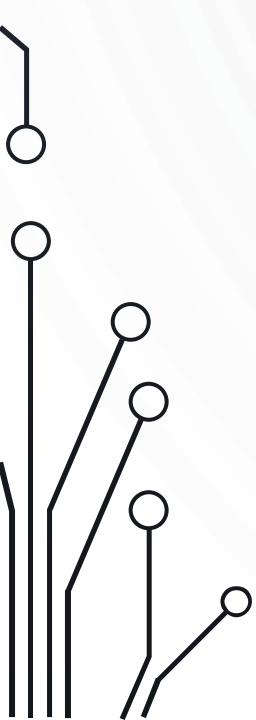
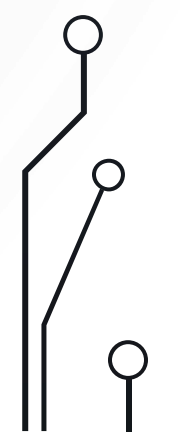
Дополнительное задание:

- №1 – 1 балл

Плагиат – дополнительные задания не учитываются

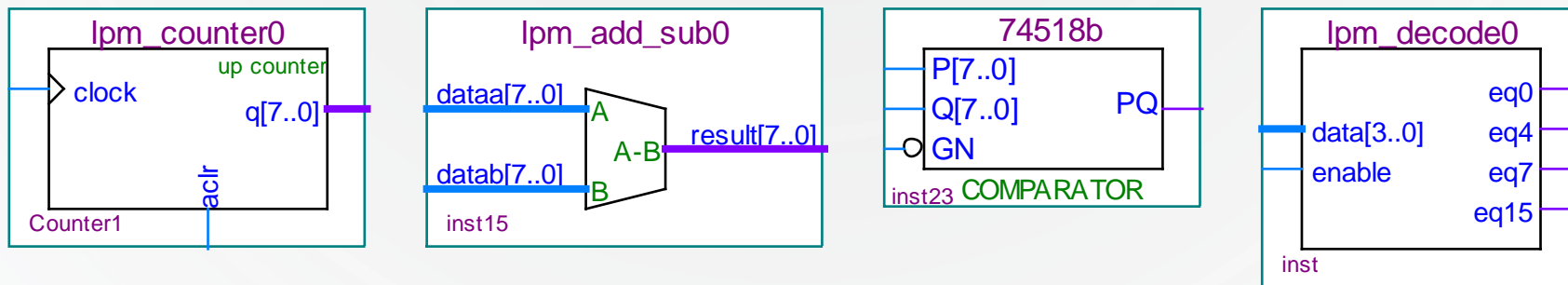


# СОДЕРЖАНИЕ ОТЧЁТА

- Титульный лист
  - Задание согласно варианту
  - Основные схемы
  - Моделирование схемы
- 
- 

# НЕОБХОДИМЫЕ ЭЛЕМЕНТЫ

На 2 л.р. использование готового делителя частоты запрещено



# QUARTUS

- Увеличить время моделирования: Edit -> End Time...
- В моделировании для шин можно выбрать представление в нужном формате
- Создание символа: SIFO lab practicum part 1 (стр 16)
- Схему в виде блока пересохранять нужно только при изменении пинов

Горячие клавиши:

- Ctrl + Space - увеличить масштаб
- Ctrl + Shift + Space - уменьшить масштаб
- Ctrl + Alt + Space - полноэкранный режим