

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 2

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:
студент группы 150501 Климович А.Н.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучение работы коммутационных логических элементов.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Данная работа выполняется с помощью лабораторных модулей dLab1, dLab2, dLab3, dLab4, dLab5 и dLab6, которые устанавливаются на макетную плату лабораторной станции NI ELVIS.

Поставленные задачи:

1. Изучение работы шифратора, дешифратора, мультиплексора, сумматора, цифрового компаратора;
2. Определение активного логического сигнала на входе управления «Е» для шифратора, дешифратора и мультиплексора;
3. Определение условий активного низкого уровня на выходах G и EO для шифратора;
4. Проверка исследуемого шифратора на приоритетность;
5. Проверка полученных результатов сложения двоичных чисел сумматором;
6. Определение способов использования входов цифрового компаратора K555СП1 для сравнения пятиразрядных двоичных слов.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Шифратор

Шифратором (Coder – CD) $M \times N$ называют комбинационное устройство с M входами и N выходами, преобразующее M -разрядный унитарный код в N -разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- полные шифраторы, число входов которых $M = 2^N$;
- неполные шифраторы, имеющих число входов $M < 2^N$.

По уровням входных и выходных сигналов выделяют:

- шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
- шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на:

- шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать

несколько входных сигналов одновременно от разных источников, т. е. должна соблюдаться очередность подачи сигналов от разных источников. Если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;

- приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

На рисунке 3.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня К555ИВ1.

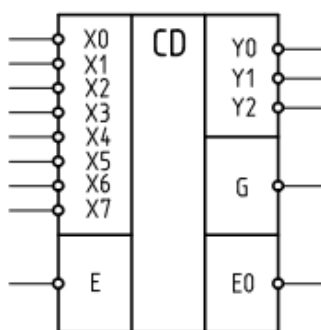


Рисунок 3.1 - Условное графическое обозначение шифратора К555ИВ1

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

- восемь информационных входов X0, X1, ..., X7;
- три информационных выхода Y0, Y1, Y2;
- вход разрешения работы данного шифратора E;
- выход разрешения работы шифраторов при каскадировании EO;
- выходной сигнал группового переноса G.

Работа дешифратора разрешена при подаче нуля на вход разрешения E (enable). При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе E запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход X0 от ситуации отсутствия сигналов на всех входах.

Выход EO становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе E.

Работа устройства иллюстрируется таблицей состояний (см. таблицу 3.1).

Таблица 3.1 – Таблица состояний шифратора

Входы								Выходы					
E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	EO
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	0	×	×	×	×	×	×	×	0	0	0	0	1

Примечание – Символ × указывает на то, что состояние соответствующего сигнала не имеет значения, т.е. не влияет на состояние выходного кода.

Состояние выходных сигналов G и EO шифратора описывается уравнениями (3.1) и (3.2):

$$G = EI \vee \overline{EI} \cdot X0 \cdot X1 \cdot X2 \cdot X3 \cdot X4 \cdot X5 \cdot X6 \cdot X7, \quad (3.1)$$

$$EO = \overline{\overline{EI} \cdot X0 \cdot X1 \cdot X2 \cdot X3 \cdot X4 \cdot X5 \cdot X6 \cdot X7}. \quad (3.2)$$

Сигналы E и EO используются для наращивания разрядности шифратора. На рисунке 3.2 приведена схема построения шифратора 16×4 на основе двух шифраторов 8×3.

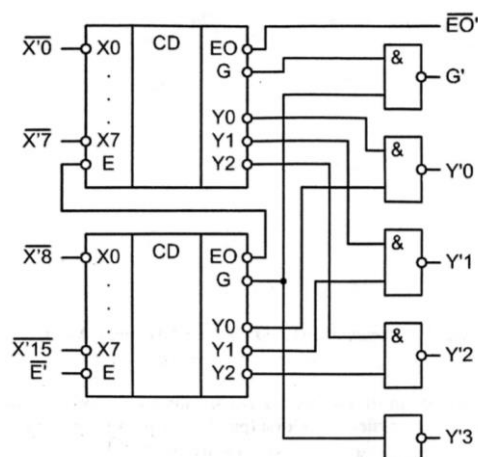


Рисунок 3.2 - Схема построения шифратора 16×4

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

Шифраторы также могут быть использованы при организации клавиатуры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не нажата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в нулевое состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

3.2 Дешифратор

Дешифратором (Decoder — DC) $M \times N$ называют комбинационное устройство с M входами и N выходами, преобразующее M -разрядный двоичный код в N -разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

Максимальное число выходов $N = 2^M$ соответствует всем возможным наборам сигналов на входе дешифратора или M -разрядным двоичным кодам. Дешифратор с максимальным числом $N = 2^M$ выходов называется полным ($M \times 2^M$), а с числом выходов $N < 2^M$ — неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рисунке 3.3 приведено условное обозначение дешифратора 2×4 типа К531ИД14.

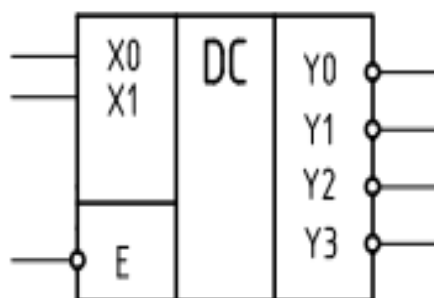


Рисунок 3.3 - Условное обозначение дешифратора 2×4

На входы X_0 , X_1 , можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на

котором формируется нулевой уровень, соответствует числу M , определяемому состоянием входов X_0, X_1 , следующим образом:

$$M = 2^1 \cdot X_1 + 2^0 \cdot X_0. \quad (3.3)$$

Выходные сигналы дешифратора описываются соотношениями, представленными в формулах (3.4 – 3.7):

$$Y_0 = \overline{X_1} \wedge \overline{X_0}, \quad (3.4)$$

$$Y_1 = \overline{X_1} \wedge X_0, \quad (3.5)$$

$$Y_2 = X_1 \wedge \overline{X_0}, \quad (3.6)$$

$$Y_3 = X_1 \wedge X_0. \quad (3.7)$$

Помимо информационных входов X_0, X_1 дешифратор имеет дополнительные входы управления E . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рисунке 3.3, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается формулами (3.7 – 3.10):

$$Y_0 = \bar{E} \wedge \overline{X_1} \wedge \overline{X_0}, \quad (3.8)$$

$$Y_1 = \bar{E} \wedge \overline{X_1} \wedge X_0, \quad (3.9)$$

$$Y_2 = \bar{E} \wedge X_1 \wedge \overline{X_0}, \quad (3.10)$$

$$Y_3 = \bar{E} \wedge X_1 \wedge X_0. \quad (3.11)$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для

дешифратора КР555ИД7 с одним прямым входом управления Е1 и двумя инверсными Е2 и Е3 функция Е рассчитывается по формуле (3.11):

$$E = E1 \wedge \overline{E2} \wedge \overline{E3}. \quad (3.12)$$

Работа дешифратора описывается с помощью таблицы 3.2:

Таблица 3.2 – Таблица состояний дешифратора

Входы			Выходы			
Е	X1	X0	Y3	Y2	Y1	Y0
1	×	×	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

На рисунке 3.4 приведена схема наращивания разрядности дешифратора. Для построения дешифратора 3×8 на основе двух полных дешифраторов 2×4 нужно соединить параллельно их входы X0 и X1. Входной сигнал X2 подключается непосредственно к входу разрешения Е младшего дешифратора и через инвертор к входу разрешения Е старшего дешифратора.

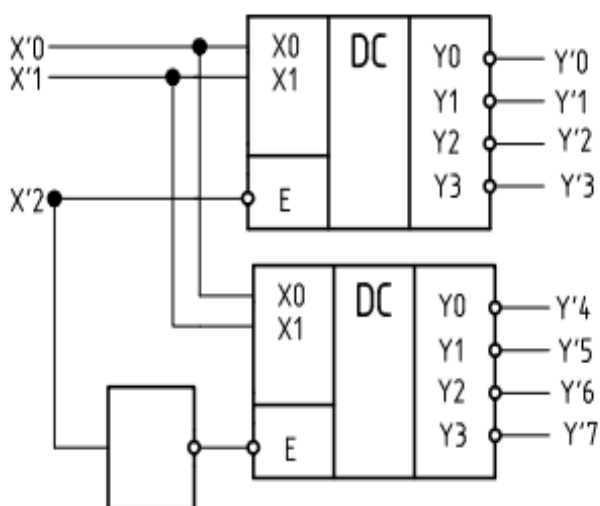


Рисунок 3.4 - Схема построения дешифратора 3×8 на основе 2×4

В зависимости от состояния сигнала X2 только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах X0 и X1. Только выбранный дешифратор сформирует единицу на одном из своих выходов, номер которого определяется сигналами X0 и X1. Например, если на входах X2 X1 X0 присутствует число 101, то единичный сигнал в разряде

X2 запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал X2 поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе Y5.

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

3.3 Мультиплексор

Мультиплексором (Multiplexer - MUX) $M \times 1$ называют комбинационное устройство с M информационными (X_0, X_1, \dots, X_{M-1}), K адресными (A_0, A_1, \dots, A_{K-1}) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов M и числа адресных входов K мультиплексоры делятся на полные и неполные. Если выполняется условие $M = 2^K$, то мультиплексор будет полным. Если это условие не выполняется, т.е. $M < 2^K$, то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рисунке 3.5 представлен мультиплексор 4×1 с инверсным входом разрешения E и прямым выходом Y , представляющий собой половину микросхемы мультиплексора КР555КП2.

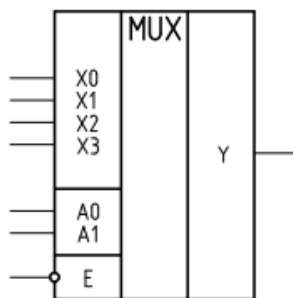


Рисунок 3.5 – Условное обозначение мультиплексора 4×1

Выражение для выходной функции такого мультиплексора можно записать в виде:

$$Y = \bar{E} \wedge (X0 \wedge \bar{A0} \wedge \bar{A1} \wedge X1 \wedge A0 \wedge \bar{A1} \wedge X2 \wedge \bar{A0} \wedge A1 \wedge X3 \wedge A0 \wedge A1), \quad (3.13)$$

где $X0, X1, X2, X3$ – информационные входы мультиплексора;
 $A0, A1$ – адресные входы мультиплексора;
 E – вход разрешения.

Работа мультиплексора описывается таблицей состояний (см. таблицу 3.3).

Таблица 3.3 – Таблица истинности мультиплексора

E	A1	A0	X3	X2	X1	X0	Y
1	×	×	×	×	×	×	0
0	0	0	×	×	×	0	0
0	0	0	×	×	×	1	1
0	0	1	×	×	0	×	0
0	0	1	×	×	1	×	1
0	1	0	×	0	×	×	0
0	1	0	×	1	×	×	1
0	1	1	0	×	×	×	0
0	1	1	1	×	×	×	1
Примечание – Символ × указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние входа.							

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора легко объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов.

Такая схема каскадирования показана на рисунке 3.6.

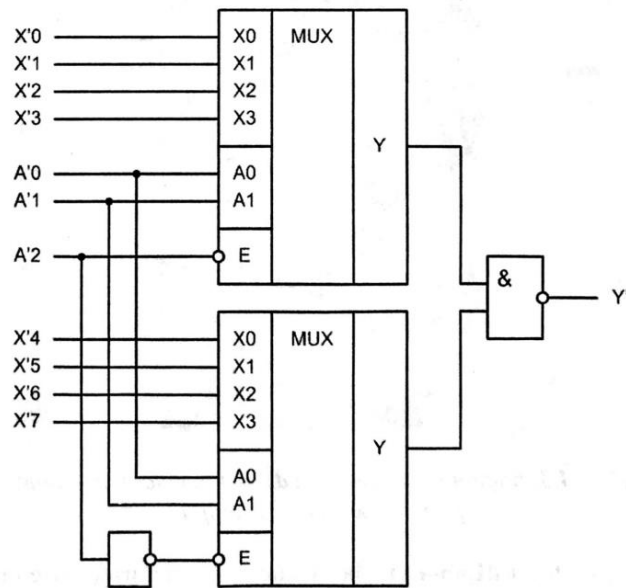


Рисунок 3.6 – Схема каскадирования мультиплексоров

Старший разряд адреса A_3 будет при этом выбирать один из двух мультиплексоров по входу разрешения.

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах в программируемой логикой – программируемых логических матрицах.

3.4 Сумматор

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Ниже приведены основные классификационные признаки сумматора.

По виду выполняемой операции можно выделить две группы сумматоров:

- сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
- сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами-

вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

- двоичные сумматоры, выполняющие операции над двоичными числами;
- десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

- параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
- последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором, представленный на рисунке 3.7, называют комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

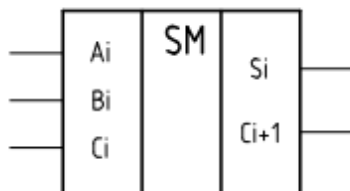


Рисунок 3.7 – Условное графическое обозначение полного одноразрядного сумматора

На входы сумматора поступают сигналы A_i , B_i i -го разряда и сигнал C_i перенос из предыдущего разряда, с выхода снимаются сигналы текущего разряда суммы S и переноса C_{i+1} в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей состояний (см. таблицу 3.4).

Таблица 3.4 – Таблица состояний одноразрядного полного сумматора

Входы			Выходы	
C_i	B_i	A_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1

Продолжение таблицы 3.4

C_i	B_i	A_i	C_{i+1}	S_i
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Выходной сигнал переноса формируется в соответствии с выражением:

$$C_{i+1} = A_i \wedge B_i \vee B_i \wedge C_i \vee C_i \wedge A_i. \quad (3.14)$$

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. На рисунке 3.8 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора. Выход переноса предыдущего одноразрядного сумматора соединяется с входом переноса предыдущего. Полученный сумматор называется сумматором с последовательным переносом. Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

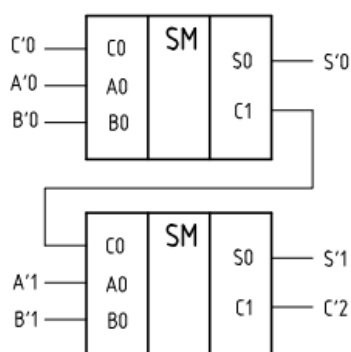


Рисунок 3.8 - Схема увеличения разрядности сумматора

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного переноса формирует выходной сигнал переноса. Такой сумматор называется

сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор К155ИМ3 (см. рисунок 3.9).

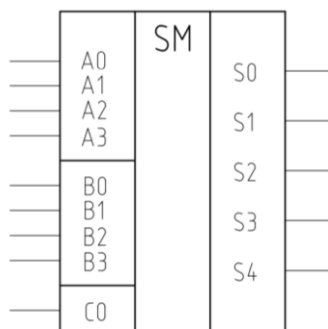


Рисунок 3.9 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса C_0 , C_4 четырехразрядного сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называется сумматором с последовательным групповым переносом.

3.5 Компаратор

Цифровым компаратором (comparator) называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

- схемы проверки равнозначности кодов;
- схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе имеют на выходе две переменные A и B , каждая из которых содержит M двоичных разрядов, и один выход Y . При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал $Y=1$ при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности (см. таблицу 3.5). В этой таблице A_i и B_i являются i -тыми разрядами многоразрядных двоичных чисел A и B , а Y_i – результатом сравнения разрядов с номером i .

Таблица 3.5 – Таблица истинности поразрядного сравнения

A_i	B_i	Y_i
0	0	1
0	1	0
1	0	0
1	1	1

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть $Y_i=1$ для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию по формуле (3.13):

$$Y = Y_1 \wedge Y_2 \wedge \dots \wedge Y_M, \quad (3.15)$$

где M – число разрядов в сравниваемых числах,

Y – результат сравнения.

Только при поразрядном равенстве выходной сигнал Y будет равен логической единице.

Для построения многоразрядных схем сравнения используют элементы «исключающее ИЛИ». Эти элементы реализуют функцию:

$$d_i = \bar{A}_i \wedge B_i \vee A_i \wedge \bar{B}_i. \quad (3.16)$$

Если сравнивать выражение (3.16) с таблицей 3.5, то можно заметить соотношения $d_i = \bar{Y}_i$. Отсюда следует, что

$$Y = \bar{d}_1 \wedge \bar{d}_2 \wedge \dots \wedge \bar{d}_M = \overline{d_1 \vee d_2 \vee \dots \vee d_M}. \quad (3.17)$$

На рисунке 3.10 показана схема проверки на равенство, построенная на элементах «исключающее ИЛИ» в соответствии с выражением (3.17).

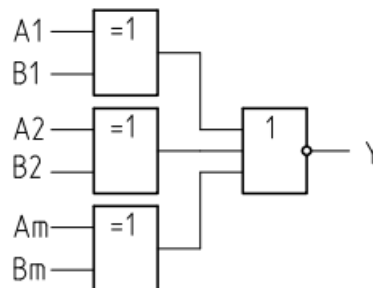


Рисунок 3.10 – Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения: $A > B$, $A = B$ или $A < B$. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых $A_0 \dots A_3$ и $B_0 \dots B_3$) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности $I(A < B)$, $I(A > B)$, $I(A = B)$ и три выхода результирующих сигналов $(A > B)$, $(A < B)$, $(A = B)$.

Условное графическое изображение компаратора приведено на рисунке 3.11.

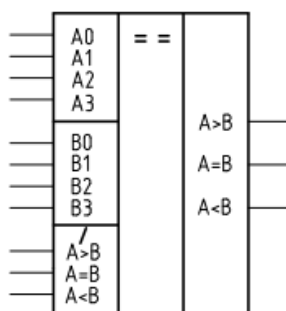


Рисунок 3.11 – Условно графическое изображение компаратора

Работа четырехразрядного компаратора описывается таблицей истинности (таблица 3.6).

Таблица 3.6 – Таблица истинности четырехразрядного компаратора

Входы сравниваемых кодов				Входы наращивания			Выходы		
A3,B3	A2,B2	A1,B1	A0,B0	I(A>B)	I(A<B)	I(A=B)	A>B	A<B	A=B
A3>B3	×	×	×	×	×	×	1	0	0
A3<B3	×	×	×	×	×	×	0	1	0
A3=B3	A2>B2	×	×	×	×	×	1	0	0
A3=B3	A2<B2	×	×	×	×	×	0	1	0
A3=B3	A2=B2	A1>B1	×	×	×	×	1	0	0
A3=B3	A2=B2	A1<B1	×	×	×	×	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	×	×	×	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	×	×	×	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	×	×	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	1	1	0	0	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	0	1	1	0

Примечание – Символ × указывает на то, что состояние соответствующих сигналов не влияет на состояние выхода.

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход I(A=B) следует подавать сигнал «1», а на выходы I(A>B) и I(A<B) – сигнал «0». Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рисунке 3.12 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

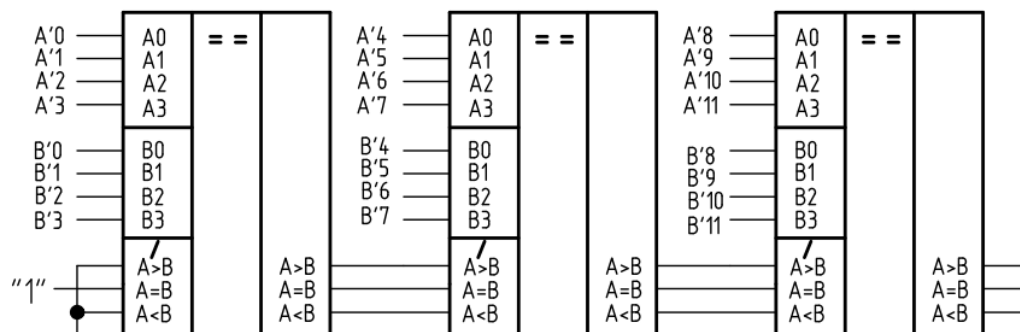


Рисунок 3.12 – Каскадирование цифровых компараторов

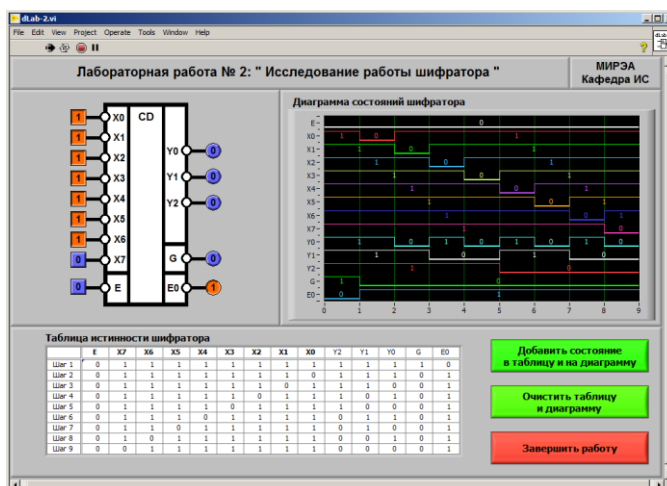
Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Изучение работы шифратора

4.1.1 Изменение состояний входов шифратора

После установки лабораторного модуля dLab2 на макетную плату NI ELVIS и загрузки файла dLab2.vi на экране появляется изображение ВП, необходимого для выполнения работы (см. рисунок 4.1).



Далее, установив значение для входа Е в 0 и изменяя значения на остальных входах шифратора, получим его таблицу истинности (см. таблицу 4.1) и диаграмму состояний (см. рисунок 4.2).

Таблица 4.1 – Таблица истинности шифратора при $E = 0$

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шар 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шар 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шар 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шар 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шар 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шар 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шар 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шар 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

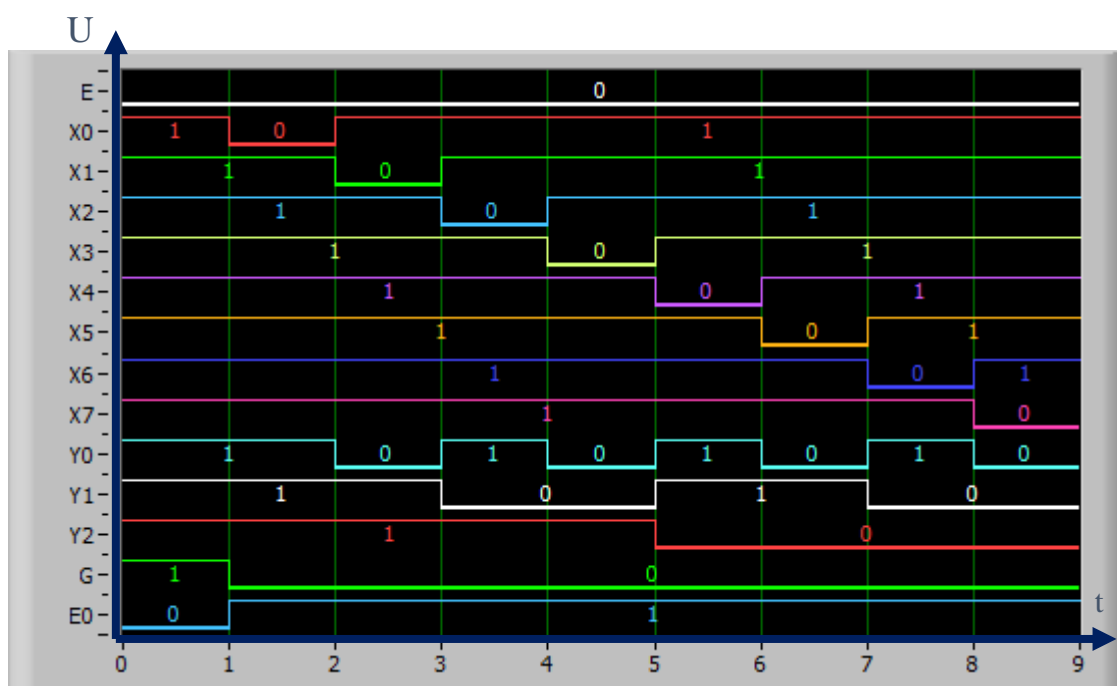


Рисунок 4.2 – Диаграмма состояний шифратора при $E = 0$

Установив на входе Е логический сигнал 1, повторим те же действия. Полученные данные занесены в таблицу 4.2.

Таблица 4.2 – Таблица истинности шифратора при $E = 1$

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Шар 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Шар 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Шар 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Шар 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
Шар 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
Шар 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Шар 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
Шар 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Диаграмма состояний шифратора при $E = 1$ приведена на рисунке 4.3.

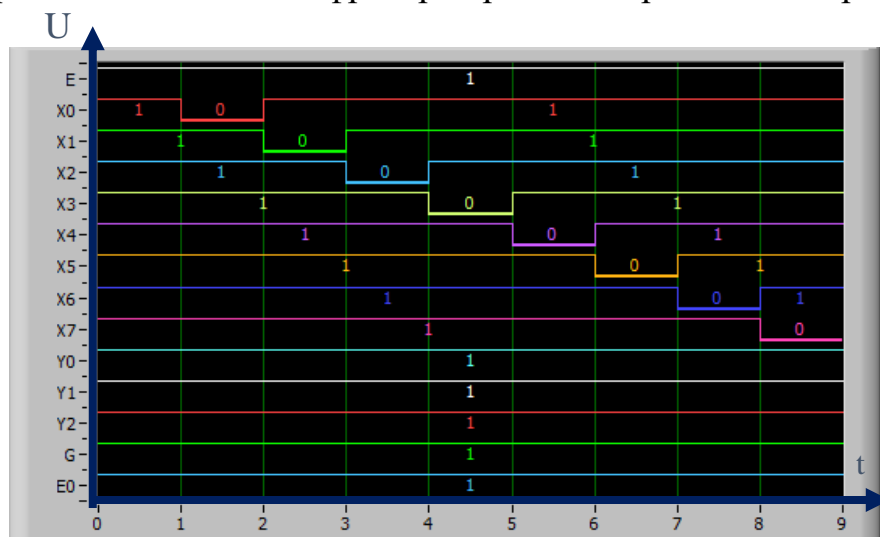


Рисунок 4.3 – Диаграмма состояний шифратора при $E = 1$

4.1.2 Определение активного сигнала на входе «Е» и условий активного низкого уровня для «ЕО» и «G» шифратора

По полученной таблице истинности и диаграмме состояний определяем, что логический сигнал 0 на входе управления «Е» шифратора является активным, так как только при этом сигнале можно однозначно определить состояния выходов шифратора.

По тем же данным определим, при каких условиях активный низкий уровень появляется на выходах G и ЕО. Видно, что условиями активного низкого уровня для ЕО являются наличие логического сигнала 0 на входе Е и логический сигнал 1 на всех информационных входах X0 – X7.

Условия активного низкого уровня для выхода G: наличие логического сигнала 0 на входе Е и наличие хотя бы одного нулевого сигнала на любом информационном входе шифратора.

4.1.3 Проверка шифратора на приоритетность

Возьмём для проверки шифратора на приоритетность входы X3 и X6 и установим логический сигнал 0 для входа Е.

На основе ранее полученных таблиц истинности, получаем, что при $X3 = 0$, $E = 0$ и остальных входах шифратора X0 – X2 и X4 – X7 равных единице, на выходах Y1, Y2, G, ЕО будут формироваться логические сигналы 1, 0, 0, 0 и 1 соответственно.

При $X6 = 0$, $E = 0$ и при логической единице на остальных входах шифратора X0 – X5 и X7 на выходах будут Y2, Y1, Y0, G, ЕО будут сигналы 0, 0, 1, 0 и 1 соответственно.

Затем переключим два информационных входа X6 и X3 в состояние 0 (см. рисунок 4.4).

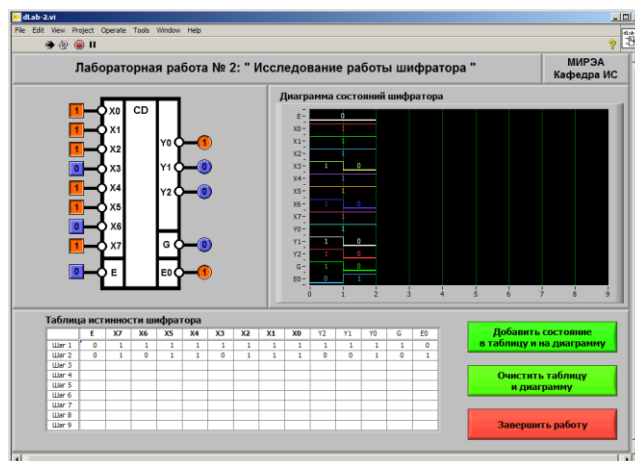


Рисунок 4.4 – Лицевая панель при работе с шифратором при X0 = 1, X1 = 1, X2 = 1, X3 = 0, X4 = 1, X5 = 1, X6 = 0, X7 = 1 и E = 0

Случай при X3 = 0, X6 = 0 и при логической единице на остальных входах X1, X2, X4, X5, X7 дает результат на выходах Y2, Y1, Y0, G, EO соответственно 0, 0, 1, 0 и 1.

Это означает, что X6 имеет больший приоритет, чем вход X3. Таким образом, было проверено, что шифратор является приоритетным.

4.2 Изучение работы дешифратора

4.2.1 Изменение состояний входов дешифратора

Установим лабораторный модуль dLab3 на макетную плату NI ELVIS и загрузим файл dLab3.vi. На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.5).

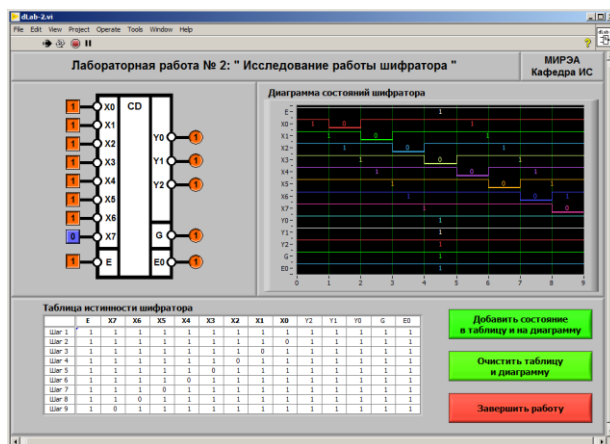


Рисунок 4.5 – Лицевая панель при работе с дешифратором

Далее, установив значение для входа Е в 0 и изменяя значения на входах дешифратора, получим его таблицу истинности (см. таблицу 4.3) и диаграмму состояний (см. рисунок 4.6).

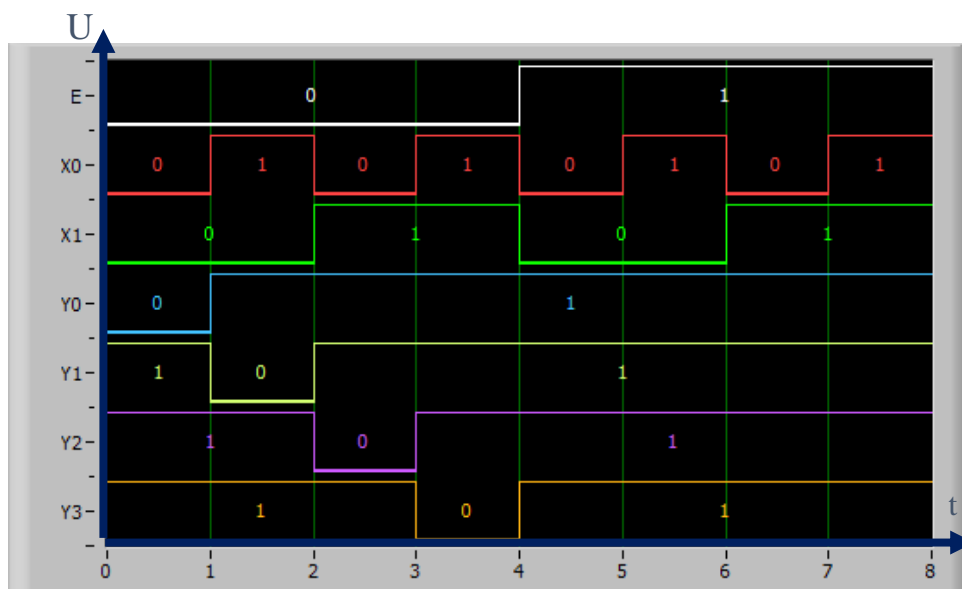


Рисунок 4.6 – Диаграмма состояний дешифратора

Таблица 4.3 – Таблица истинности дешифратора

	E	X1	X0	Y3	Y2	Y1	Y0
Шар 1	0	0	0	1	1	1	0
Шар 2	0	0	1	1	1	0	1
Шар 3	0	1	0	1	0	1	1
Шар 4	0	1	1	0	1	1	1
Шар 5	1	0	0	1	1	1	1
Шар 6	1	0	1	1	1	1	1
Шар 7	1	1	0	1	1	1	1
Шар 8	1	1	1	1	1	1	1

4.2.1 Определение активного сигнала на входе «Е» дешифратора

По полученной таблице истинности и диаграмме состояний определяем, что логический сигнал 0 на входе управления «Е» дешифратора является активным, так как только при этом сигнале можно однозначно определить, какие сигналы будут на выходах дешифратора.

4.3 Изучение работы мультиплексора

4.3.1 Изменение состояний входов мультиплексора

Теперь установим лабораторный модуль dLab4 на макетную плату NI ELVIS и загрузим файл dLab4.vi. Запустим программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.

На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.7).

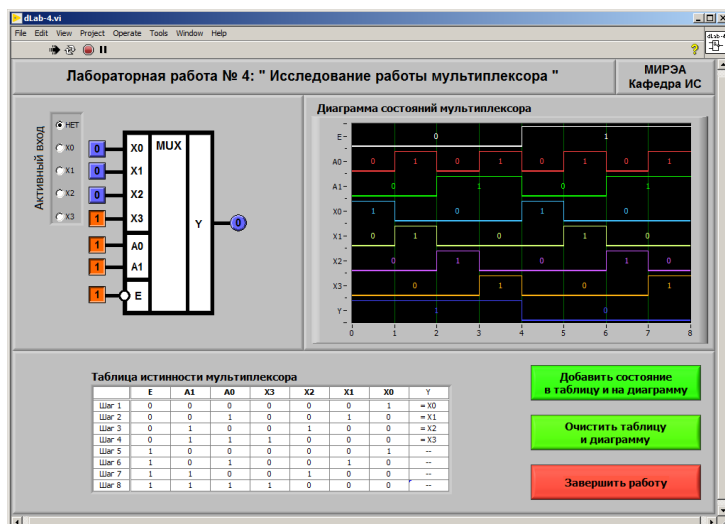


Рисунок 4.7 – Лицевая панель при работе с мультиплексором

Далее, изменяя значения на входах мультиплексора, получим его таблицу истинности (см. таблицу 4.4) и диаграмму состояний (см. рисунок 4.8).

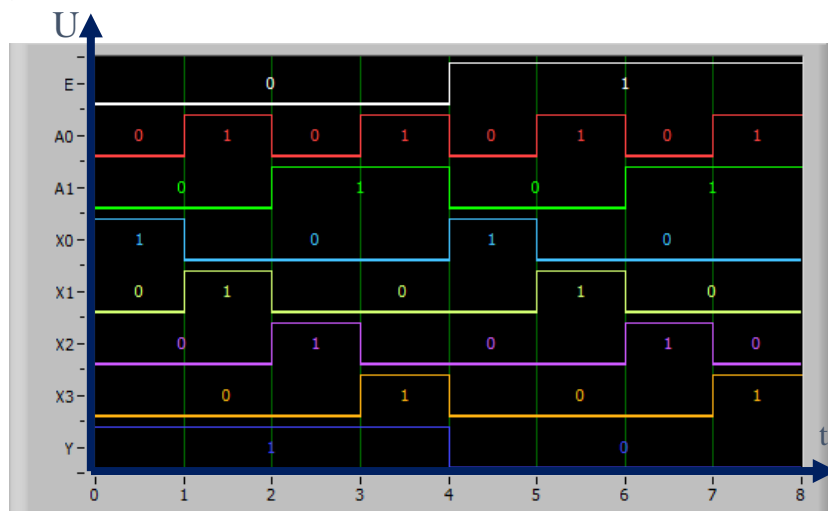


Рисунок 4.8 – Диаграмма состояний мультиплексора

Таблица 4.4 – Таблица истинности мультиплексора

	E	A1	A0	X3	X2	X1	X0	Y
Шаг 1	0	0	0	0	0	0	1	= X0
Шаг 2	0	0	1	0	0	1	0	= X1
Шаг 3	0	1	0	0	1	0	0	= X2
Шаг 4	0	1	1	1	0	0	0	= X3
Шаг 5	1	0	0	0	0	0	1	--
Шаг 6	1	0	1	0	0	1	0	--
Шаг 7	1	1	0	0	1	0	0	--
Шаг 8	1	1	1	1	0	0	0	--

4.3.2 Определение активного сигнала на входе «Е» мультиплексора

Активным сигналом для входа Е является 0, так как при этом сигнале выход равен ненулевому значению, подаваемого на один из информационных входов мультиплексора, а при $E = 1$ выход равен 0 при любых сигналах на информационных входах.

4.4 Изучение работы сумматора

4.4.1 Изменение состояний входов сумматора

Теперь установим лабораторный модуль dLab5 на макетную плату NI ELVIS и загрузим файл dLab5.vi. На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.9).

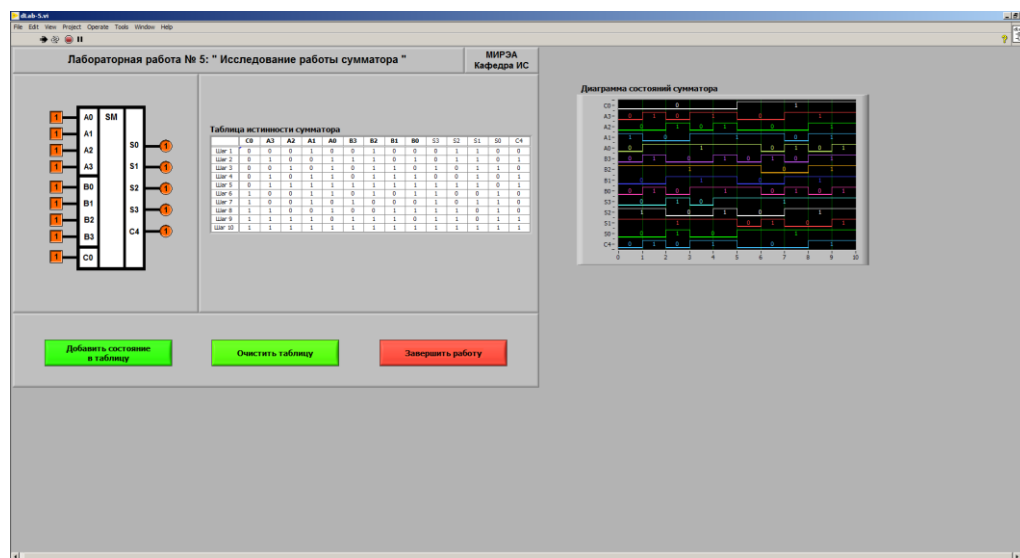


Рисунок 4.9 – Лицевая панель при работе с сумматором

Изменяя значения на входах сумматора, получим его таблицу истинности (см. таблицу 4.5).

Таблица 4.5 – Таблица истинности сумматора

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
Шаг 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
Шаг 2	0	1	0	0	1	1	1	0	1	0	1	1	0	1
Шаг 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
Шаг 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шаг 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
Шаг 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
Шаг 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
Шаг 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
Шаг 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
Шаг 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

На рисунке 4.10 показана диаграмму состояний сумматора.

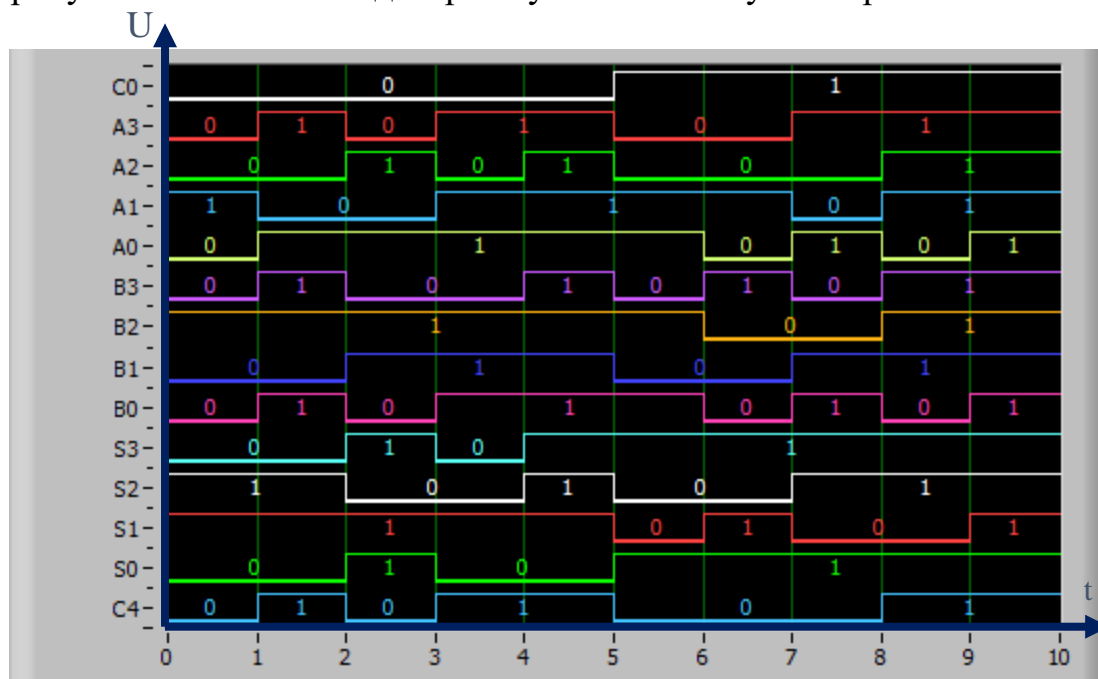


Рисунок 4.10 – Диаграмма состояний сумматора

4.4.2 Проверка сумматора на приоритетность

С помощью следующего уравнения проверим работу сумматора:

$$C_0 + 2^0(A_0 + B_0) + 2^1(A_1 + B_1) + 2^2(A_2 + B_2) + 2^3(A_3 + B_3) = 2^0S_0 + 2^1S_1 + 2^2S_2 + 2^3S_3 + 2^4C_4 \quad (4.1)$$

Результаты подстановки приведены в таблице 4.6.

Таблица 4.6 – Проверка результата сложения двоичных чисел сумматором

Шаг	Расчеты
1.	$0 + 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 + 2^4 \cdot 0$
2.	$0 + 2^0 \cdot 10 + 2^1 \cdot 0 + 2^2 \cdot 1 + 2^3 \cdot 10 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 + 2^4 \cdot 1$
3.	$0 + 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 10 + 2^3 \cdot 0 = 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$
4.	$0 + 2^0 \cdot 10 + 2^1 \cdot 10 + 2^2 \cdot 1 + 2^3 \cdot 1 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 0 + 2^4 \cdot 1$
5.	$0 + 2^0 \cdot 10 + 2^1 \cdot 10 + 2^2 \cdot 10 + 2^3 \cdot 10 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 1 + 2^4 \cdot 1$
6.	$1 + 2^0 \cdot 10 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 = 2^0 \cdot 1 + 2^1 \cdot 0 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$
7.	$1 + 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 = 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$
8.	$1 + 2^0 \cdot 10 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 = 2^0 \cdot 1 + 2^1 \cdot 0 + 2^2 \cdot 1 + 2^3 \cdot 1 + 2^4 \cdot 0$
9.	$1 + 2^0 \cdot 0 + 2^1 \cdot 10 + 2^2 \cdot 10 + 2^3 \cdot 10 = 2^0 \cdot 1 + 2^1 \cdot 0 + 2^2 \cdot 1 + 2^3 \cdot 1 + 2^4 \cdot 1$
10.	$1 + 2^0 \cdot 10 + 2^1 \cdot 10 + 2^2 \cdot 10 + 2^3 \cdot 10 = 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 1 + 2^4 \cdot 1$

4.5 Изучение работы цифрового компаратора

4.5.1 Изменение состояний входов компаратора

Установим лабораторный модуль dLab6 на макетную плату NI ELVIS и загрузим файл dLab6.vi. На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.11).

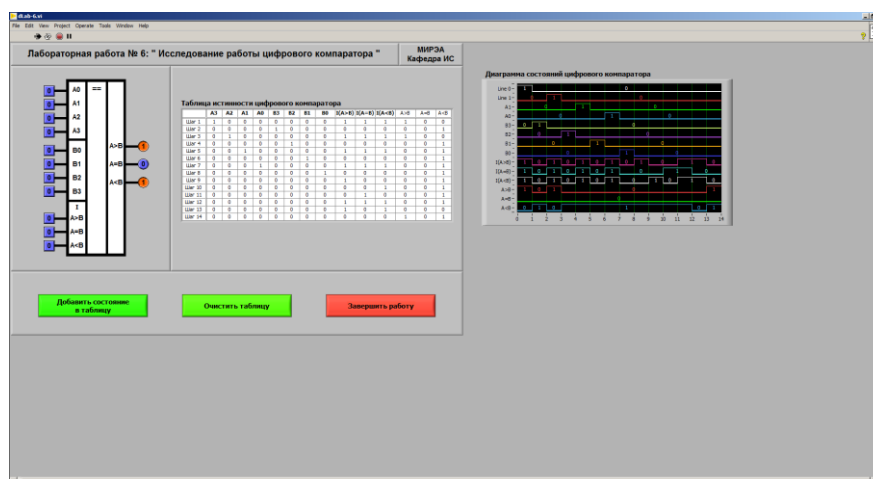


Рисунок 4.11 – Лицевая панель при работе с компаратором

Изменяя значения на входах сумматора, получим его диаграмму состояний (см. рисунок 4.12).

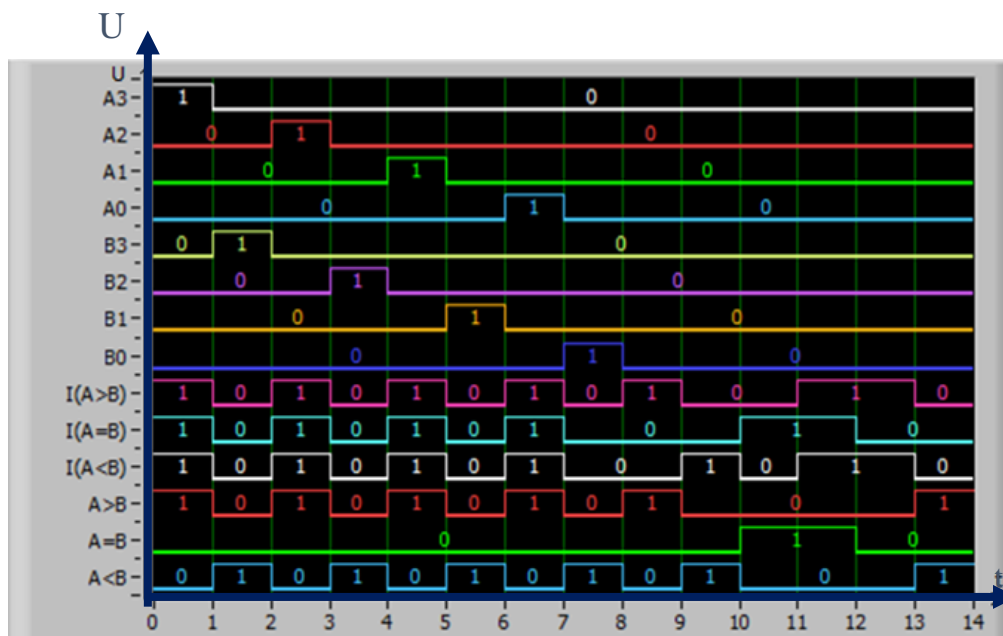


Рисунок 4.12 – Диаграмма состояний компаратора

На рисунке 4.7 показана таблица истинности компаратора.

Таблица 4.7 – Таблица истинности компаратора

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шар 1	1	0	0	0	0	0	0	0	1	1	1	1	0	0
Шар 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1
Шар 3	0	1	0	0	0	0	0	0	1	1	1	1	0	0
Шар 4	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Шар 5	0	0	1	0	0	0	0	0	1	1	1	1	0	0
Шар 6	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Шар 7	0	0	0	1	0	0	0	0	1	1	1	1	0	0
Шар 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Шар 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Шар 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Шар 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Шар 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
Шар 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
Шар 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

4.5.2 Определение способов использования входов цифрового компаратора К555СП1 для сравнения пятиразрядных двоичных чисел.

На основе таблицы истинности 4.7 четырехразрядного компаратора, можно сделать вывод, что для сравнения пятиразрядных двоичных чисел можно использовать компаратор, который будет сравнивать четыре младшие разряды, а на управляющие входы подать результат сравнения пятого разряда.

5 ВЫВОДЫ

В ходе работы были изучены такие логические элементы, как шифратор, дешифратор, мультиплексор, сумматор и компаратор, а также построены соответствующие диаграммы состояний и таблица истинности.

Для шифратора, дешифратора и мультиплексора были определены активные логические сигналы на входе управления «Е».

Также в ходе изучения шифратора были определены условия активного низкого уровня на выходах G и EO и проведена проверка шифратора на приоритетность.

Работа сумматора была проверена с помощью специального уравнения.

При работе с компаратором был выявлен также способ использования входов цифрового компаратора К555СП1 для сравнения пятиразрядных двоичных чисел.