



# СиФО ВМ Л.Р. №3

Стракович Андрей Иванович

БГУИР, кафедра ЭВМ

а. 508-5

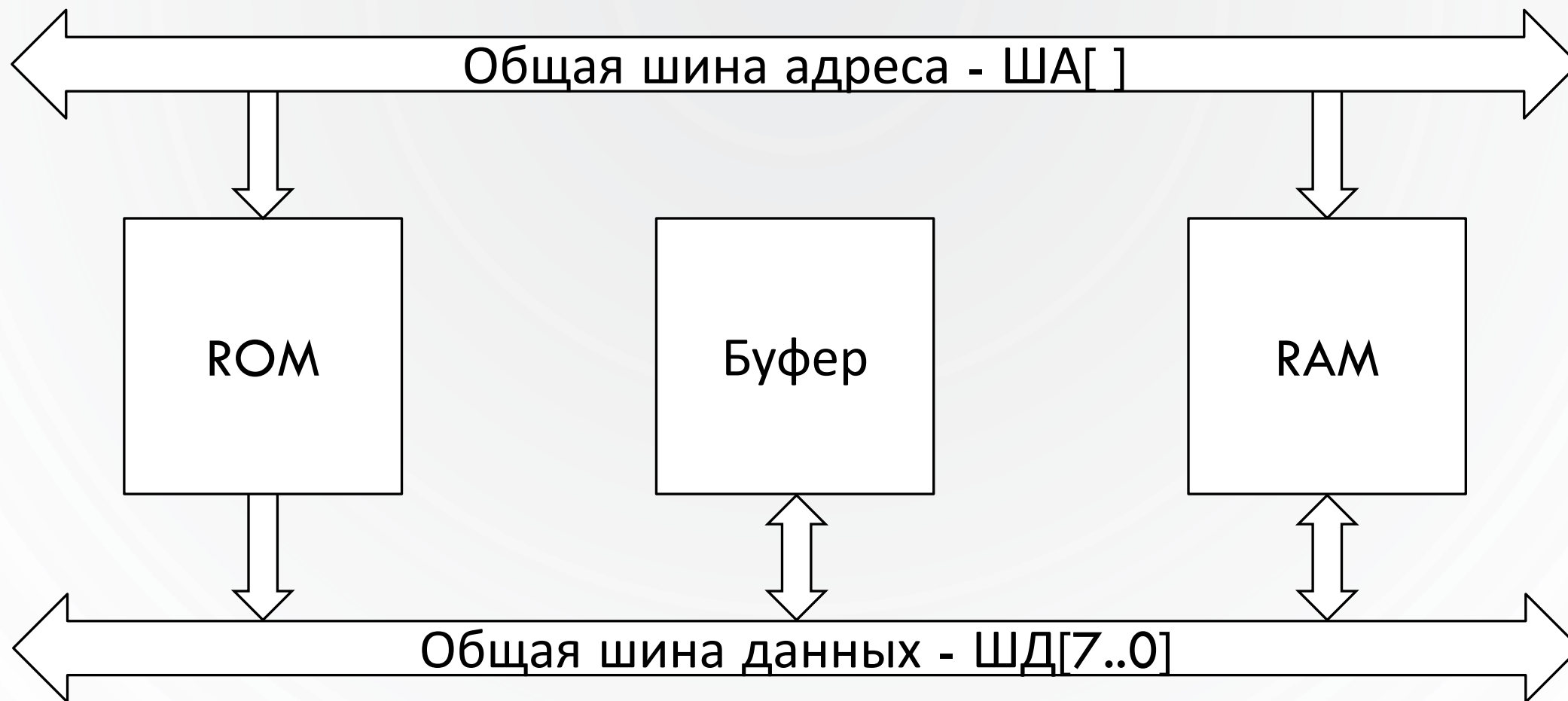
2023

The background features a light gray gradient with faint, concentric circular patterns. In the corners, there are decorative black line art elements resembling circuit traces or stylized trees, with small circles at the end of the lines.

# ИСПОЛЬЗОВАНИЕ МОДУЛЕЙ ПАМЯТИ

SIFO LAB PRACTICUM PART 1 – Л.Р. 3

# СТРУКТУРНАЯ СХЕМА



# ЗАДАНИЕ

Разработать схему, включающую в себя буфер данных, модули ROM и RAM, подключенные к общей шине данных.

Прочитать N последовательных байт из ROM\RAM в буфер (заполнить буфер полностью). После выжидания M тактов clk этот блок данных передается из буфера в RAM. Повторить данные действия для другого источника памяти.

- RAM -> буфер (N байт) - (подождать M тактов clk) -> RAM
- ROM -> буфер (N байт) - (подождать M тактов clk) -> RAM

# СИГНАЛЫ В СХЕМЕ

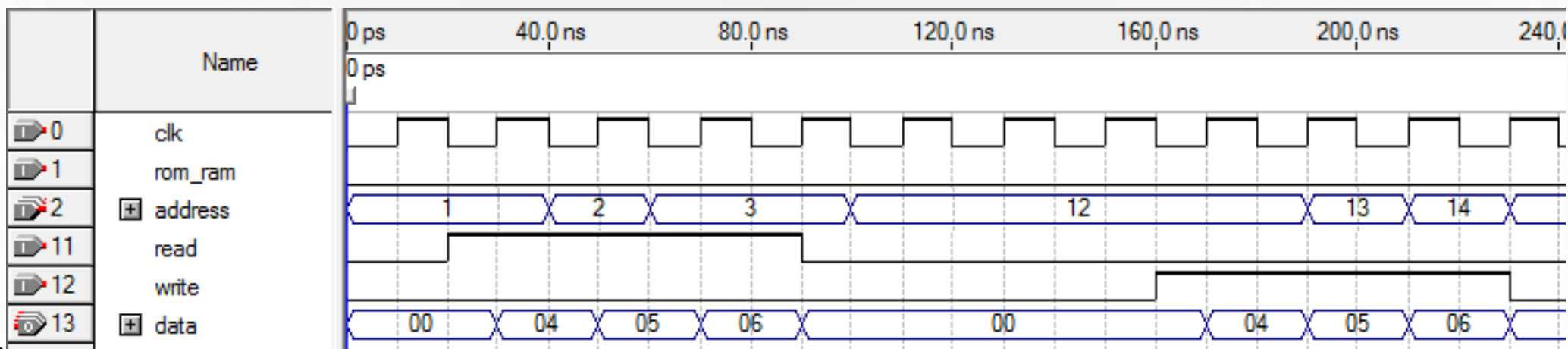
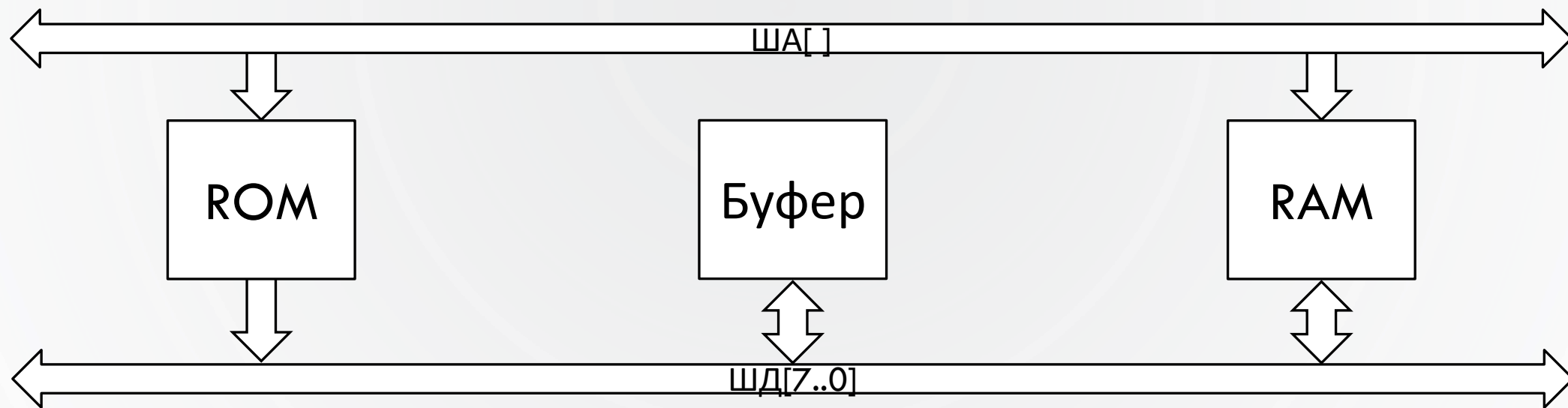
## ВХОДНЫЕ

- clk
- address[] – Общая ША
- ROM\_RAM – выбор источника
- Read – чтение из памяти
- Write – запись в RAM

## ВЫХОДНЫЕ

- Data[7..0] – Общая ШД

# ПРИМЕР



# ПРИМЕР

ram.hex

Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	00	00	00	00	00	00	00	00
08	00	00	00	00	00	00	00	00
10	00	00	00	00	00	00	00	00
18	00	00	00	00	00	00	00	00
20	00	00	00	00	00	00	00	00
28	00	00	00	00	00	00	00	00
30	00	00	00	00	00	00	00	00
38	00	00	00	00	00	00	00	00
40	00	00	00	00	00	00	00	00
48	00	00	00	00	00	00	00	00
50	00	00	00	00	00	00	00	00
58	00	00	00	00	00	00	00	00
60	00	00	00	00	00	00	00	00
68	00	00	00	00	00	00	00	00
70	00	00	00	00	00	00	00	00
78	00	00	00	00	00	00	00	00

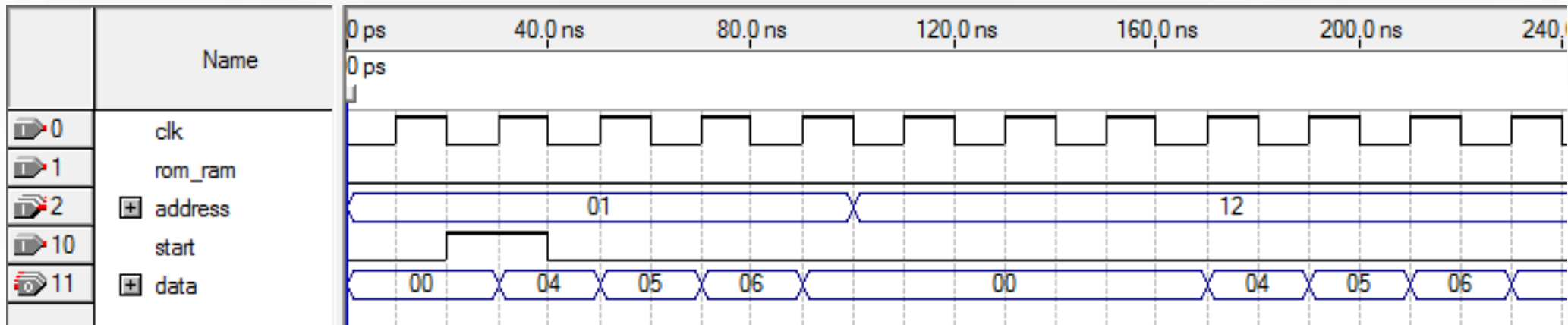
Simulation Report - |lab3|lpm\_ram\_io:inst1|altr...

Simulation Report
Legal Notice
Flow Summary
Flow Settings
Simulator
Summary
Settings
Simulation Waveforms
Logical Memories
lab3 lpm_rom0:inst1
lab3 lpm_ram_io:inst1
Simulation Coverage
INI Usage
Messages

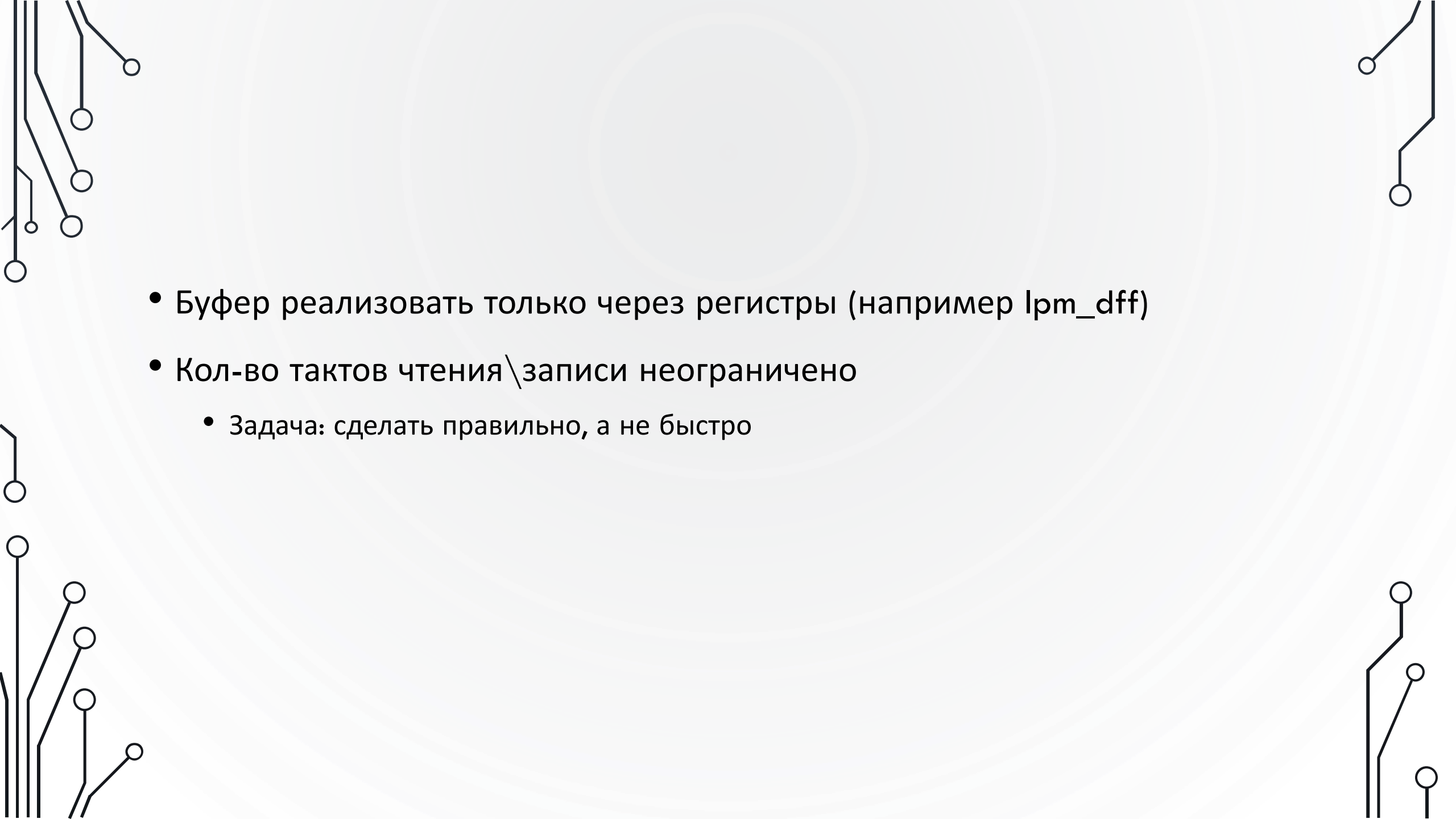
Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	00	00	00	00	00	00	00	00
08	00	00	00	00	00	00	00	00
10	00	00	04	05	06	00	00	00
18	00	00	00	00	00	00	00	00
20	00	00	00	00	00	00	00	00
28	00	00	00	00	00	00	00	00
30	00	00	00	00	00	00	00	00
38	00	00	00	00	00	00	00	00
40	00	00	00	00	00	00	00	00
48	00	00	00	00	00	00	00	00
50	00	00	00	00	00	00	00	00
58	00	00	00	00	00	00	00	00
60	00	00	00	00	00	00	00	00
68	00	00	00	00	00	00	00	00
70	00	00	00	00	00	00	00	00
78	00	00	00	00	00	00	00	00

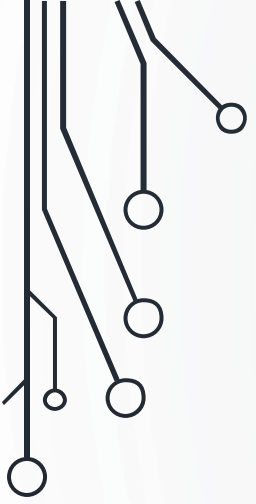
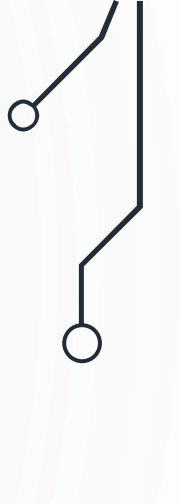
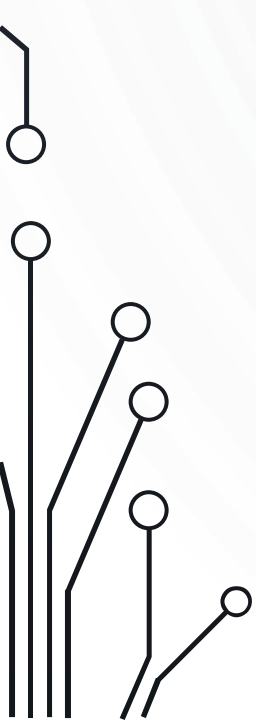
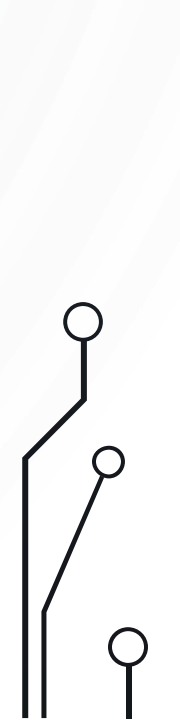
# ДОПОЛНИТЕЛЬНОЕ ЗАДАНИЕ №1

- Убрать входные пины Read и Write
- Добавить входной пин Start, при выставлении которого выполняются все этапы: чтение-задержка-запись без прерывания работы (1 раз)
- На шине адреса указывается только адрес первой ячейки памяти
- Дальнейшее его изменение происходит в схеме(напр. через счетчик)



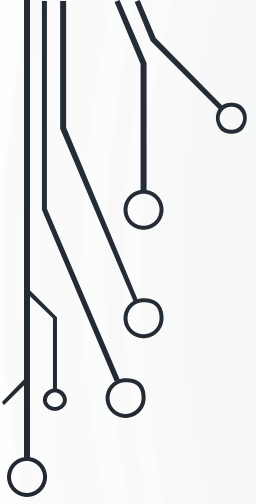


- 
- The image features a light gray background with a subtle pattern of concentric circles. In each of the four corners, there are decorative black lines resembling circuit traces or a stylized city grid, with small white circles at various points along the lines.
- Буфер реализовать только через регистры (например lpm\_dff)
  - Кол-во тактов чтения\записи неограничено
    - Задача: сделать правильно, а не быстро

- 
- 
- 
- 
- Вход clock на ROM и RAM обязательно разделять на inclock и outclock
  - Чтение не должно начинаться с 0 адреса
  - Запись не должна начинаться с 0 адреса
  - Прочитанные данные из ROM и RAM должны отличаться между собой
  - Вид шин (ША, ШД) на моделировании и дампы памяти привести к одному виду (DEC или HEX)

# Л.Р. НЕ ПРИНИМАЕТСЯ

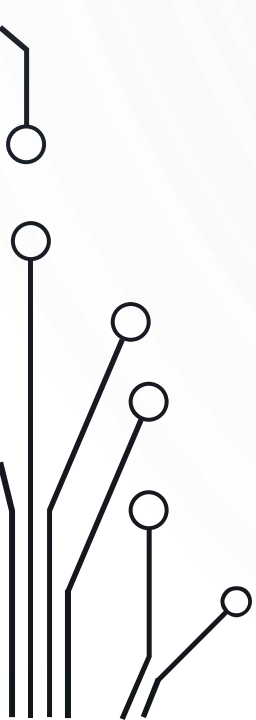
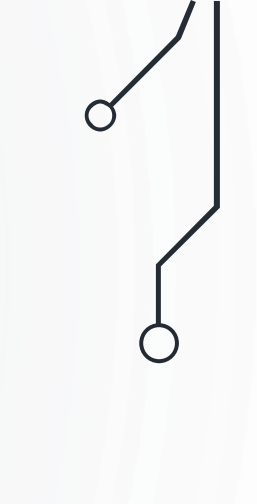
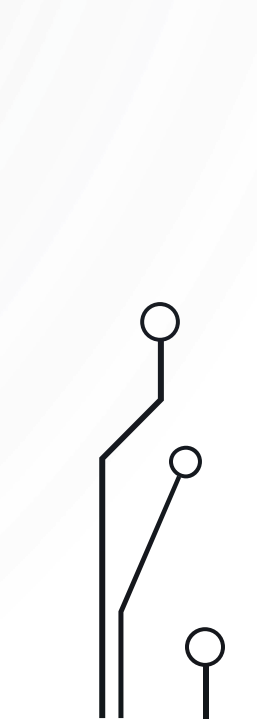
- Работа схемы начата с 0ns!!!!
- Добавлены другие входные сигналы!!!!
- Ожидание M тактов clk сделано путем последовательного добавления регистров в буфере!!!!
- Не привязан файл инициализации памяти!!!!
- Чтение данных из ROM\RAM происходит до появления сигнала Read!!!!
- Запись данных в RAM происходит до появления сигнала Write!!!!



## БАЛЛЫ ЗА Л.Р.

- 4-8 – за выполнение.
- 1 – за скорость сдачи.

Дополнительные задания:

- №1 – 1 балл
  - Плагиат – дополнительные задания не учитываются.
- 
- 
- 

# СОДЕРЖАНИЕ ОТЧЁТА

- Титульный лист
- Задание согласно варианту
- Основные схемы
- Моделирование схемы
- Содержание памяти до моделирования (ROM, RAM) и после (RAM)

# СИНХРОННЫЙ \ АСИНХРОННЫЙ ВЫВОД

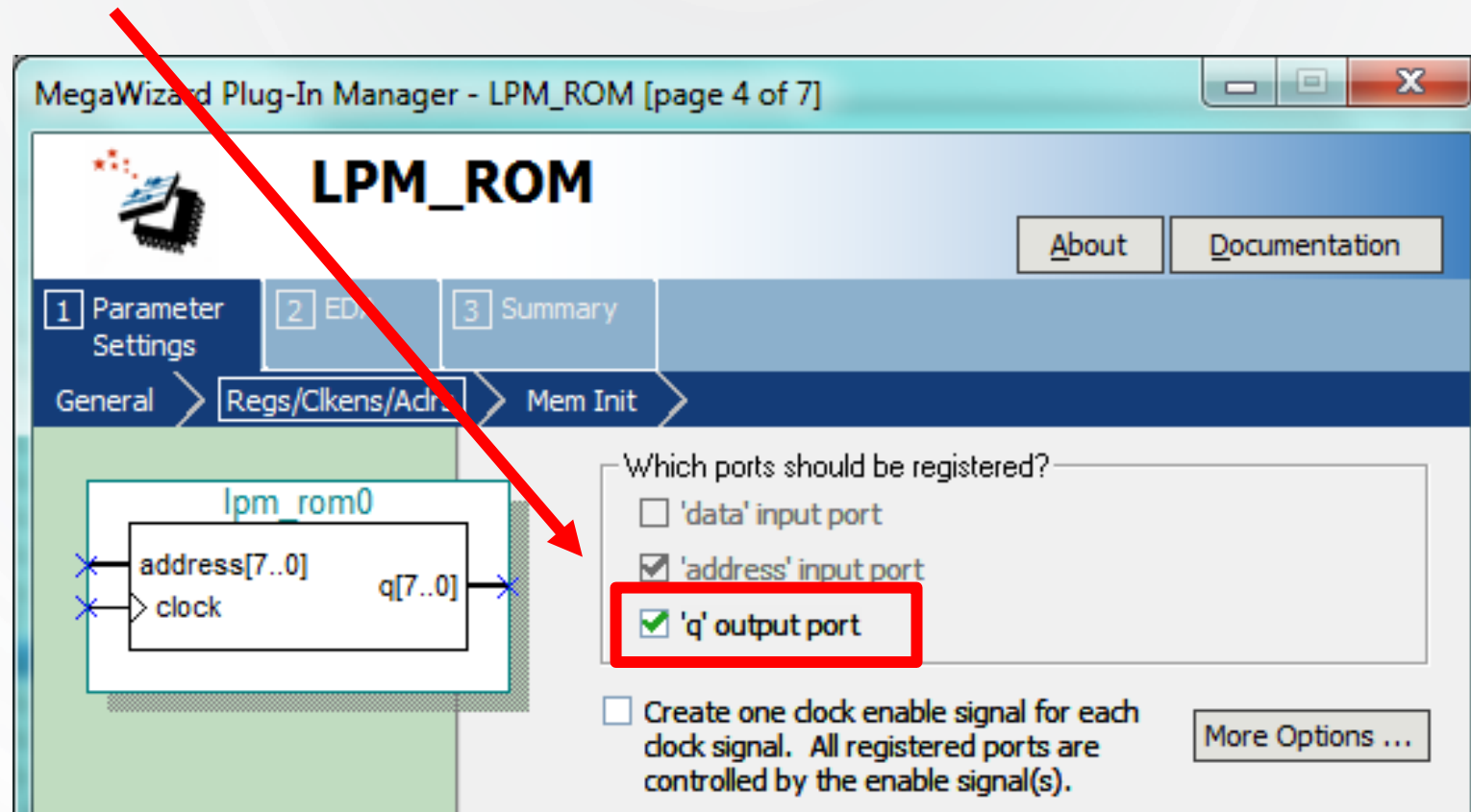
- Синхронный \ асинхронный вывод памяти (ROM или RAM) заключается в наличии \ отсутствии входа `outclock` у соответствующего модуля

**Table 3–1. lpm\_rom Input Ports (User Guide)**

Name	Required	Description	Comment
<code>address[]</code>	Yes	Address input to the memory	Input port <code>LPM_WIDTHHAD</code> wide.
<code>inclock</code>	No	Clock for input registers.	The <code>address[]</code> port is synchronous (registered) when <code>inclock</code> port is connected, and is asynchronous (unregistered) when the <code>inclock</code> port is not connected.
<code>outclock</code>	No	Clock for output registers.	Addressed memory <code>content-to-q[]</code> response is synchronous when <code>outclock</code> port is connected, and is asynchronous when it is not connected.
<code>memenab</code>	No	Memory enable input.	High = data output on <code>q[]</code> , Low = high-impedance outputs.

# СИНХРОННЫЙ \ АСИНХРОННЫЙ ВЫВОД

- Синхронный \ асинхронный вывод памяти (ROM или RAM) заключается в наличии \ отсутствии входа outclock у соответствующего модуля



# ВЫБОР СИНХРОНИЗАЦИИ ПАМЯТИ

MegaWizard Plug-In Manager - LPM\_ROM [page 3 of 7]

## LPM\_ROM

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > Regs/Clkens/Adcs > Mem Init

Currently selected device family: Stratix II

☒ Match project/default

Family supports LPM\_ROM only in backward-compatibility mode. Altera recommends using ALTSYNCRAM wizard.

How wide should the 'q' output bus be? 8 bits

How many 8-bit words of memory? 256 words

What should the memory block type be?

☒ Auto ☐ M512 ☐ M4K

☐ M-RAM ☐ LCs Options...

Set the maximum block depth to Auto words

What clocking method would you like to use?

☒ Single clock

☐ Dual clock: use separate 'input' and 'output' docks

Resource Usage

2048 ram\_bits (AUTO)

Cancel < Back Next > Finish

MegaWizard Plug-In Manager - LPM\_ROM [page 3 of 7]

## LPM\_ROM

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > Regs/Clkens/Adcs > Mem Init

Currently selected device family: Stratix II

☒ Match project/default

Family supports LPM\_ROM only in backward-compatibility mode. Altera recommends using ALTSYNCRAM wizard.

How wide should the 'q' output bus be? 8 bits

How many 8-bit words of memory? 256 words

What should the memory block type be?

☒ Auto ☐ M512 ☐ M4K

☐ M-RAM ☐ LCs Options...

Set the maximum block depth to Auto words

What clocking method would you like to use?

☐ Single clock

☒ Dual clock: use separate 'input' and 'output' docks

Resource Usage

2048 ram\_bits (AUTO)

Cancel < Back Next > Finish



# ВЫБОР синхронизации памяти

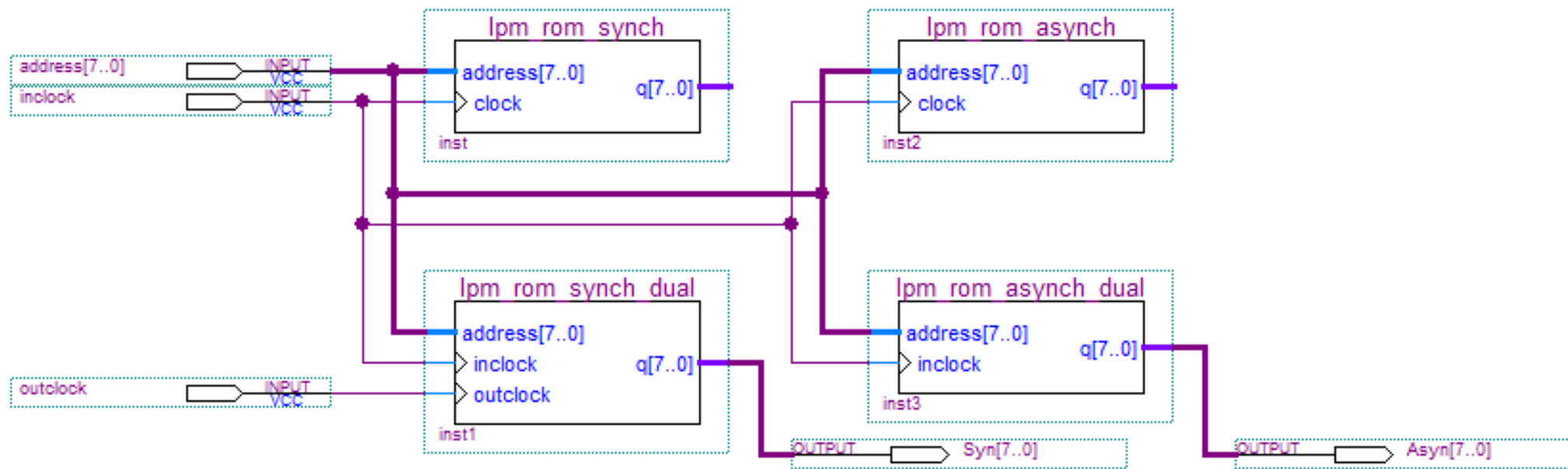
## синхронный вывод

- Без разделения данные будут получены на 2 такте
- Раздельная синхронизация позволяет более гибко построить схему

## асинхронный вывод

- В любом случае данные будут получены на 1 такте

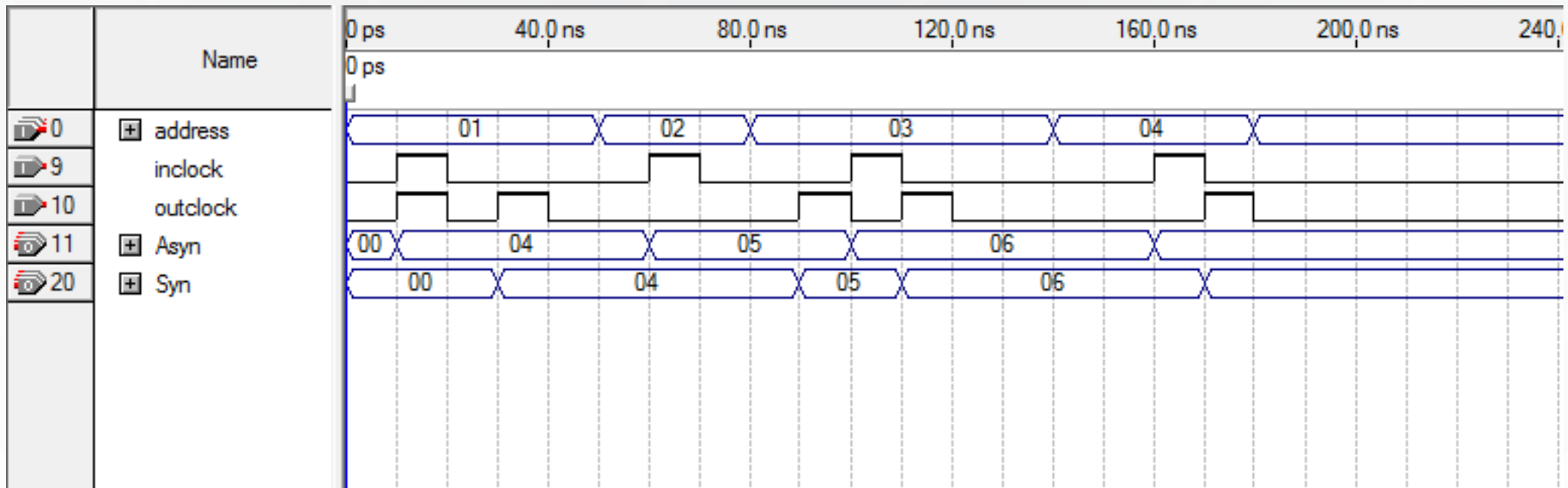
# СИНХРОННЫЙ\АСИНХРОННЫЙ ВЫВОД



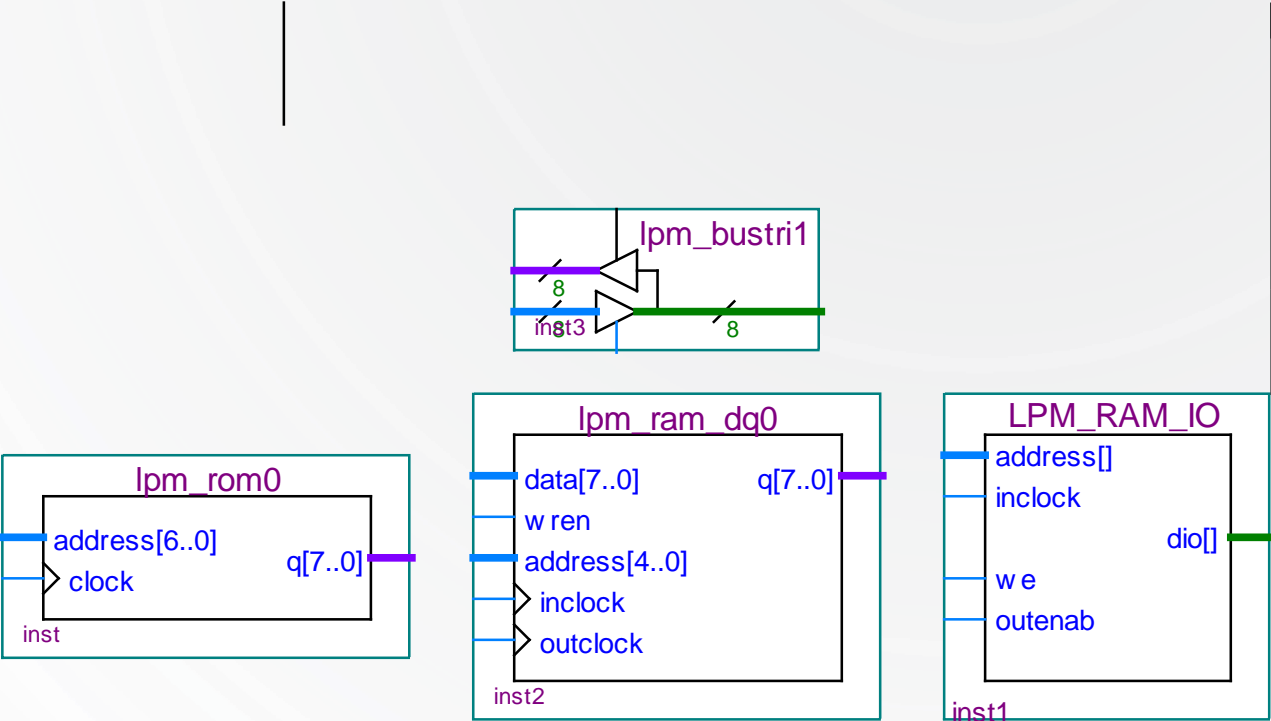
Синхронный вывод

Асинхронный вывод

# СИНХРОННЫЙ\АСИНХРОННЫЙ ВЫВОД

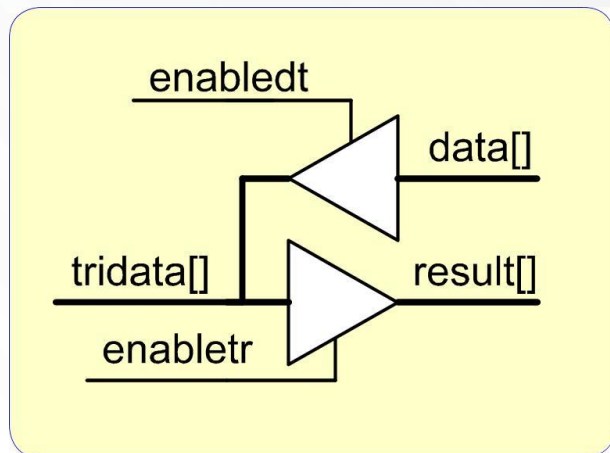


# НЕОБХОДИМЫЕ ЭЛЕМЕНТЫ



# LPM\_BUSTRI

- Двухнаправленный буфер с тремя состояниями
- Примитивы TRI, которые управляют портами OUTPUT или BIDIR, имеют вход разрешения выхода (Output Enable), который переводит выход в высокоимпедансное состояние



№	Inputs		Bidirectional tridata[LPM_WIDTH-1..0]	Output result[LPM_WIDTH-1..0]
	enabledt	enabletr		
0	0	0	Z (input)	Z
1	0	1	Z (input)	tridata[LPM_WIDTH-1..0]
2	1	0	data[LPM_WIDTH-1..0]	Z
3	1	1	data[LPM_WIDTH-1..0]	data[LPM_WIDTH-1..0]



# QUARTUS

- Увеличить время моделирования: Edit -> End Time...
- Кнопка “Generate Functional Simulation Netlist” нажимается 1 раз после каждой компиляции
- Создание символа: SIFO lab practicum part 1 (стр 16)
- Схему в виде блока пересохранять нужно только при изменении пинов

Горячие клавиши:

- Ctrl + Space - увеличить масштаб
- Ctrl + Shift + Space - уменьшить масштаб
- Ctrl + Alt + Space - полноэкранный режим