



СиФО ВМ Л.Р. №5

Стракович Андрей Иванович

БГУИР, кафедра ЭВМ

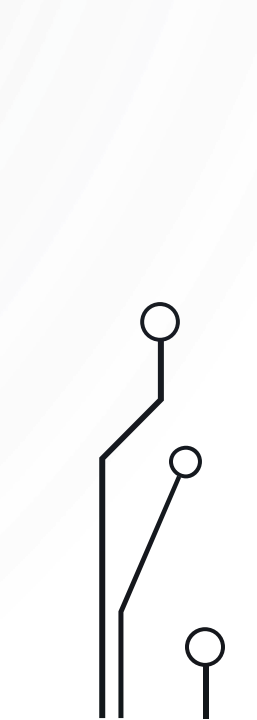
а. 508-5

2023



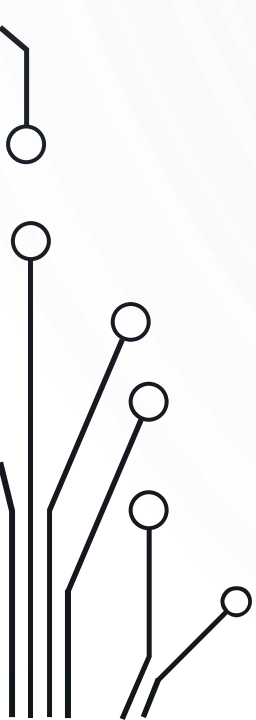
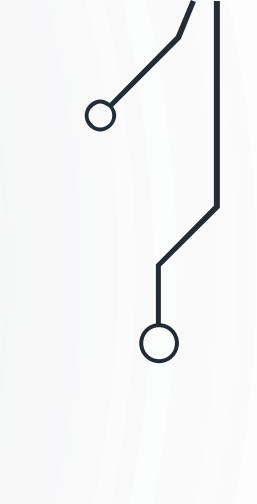
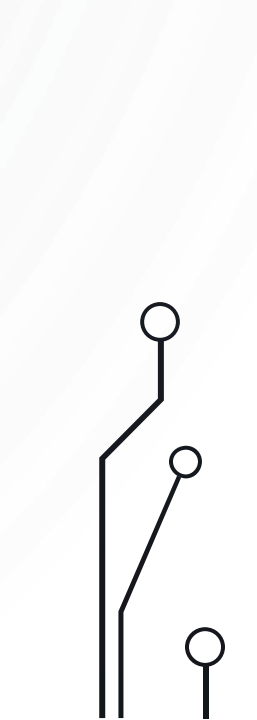
АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО

SIFO LAB PRACTICUM PART 1 – Л.Р. 5





ДАННЫЕ ПО ВАРИАНТУ

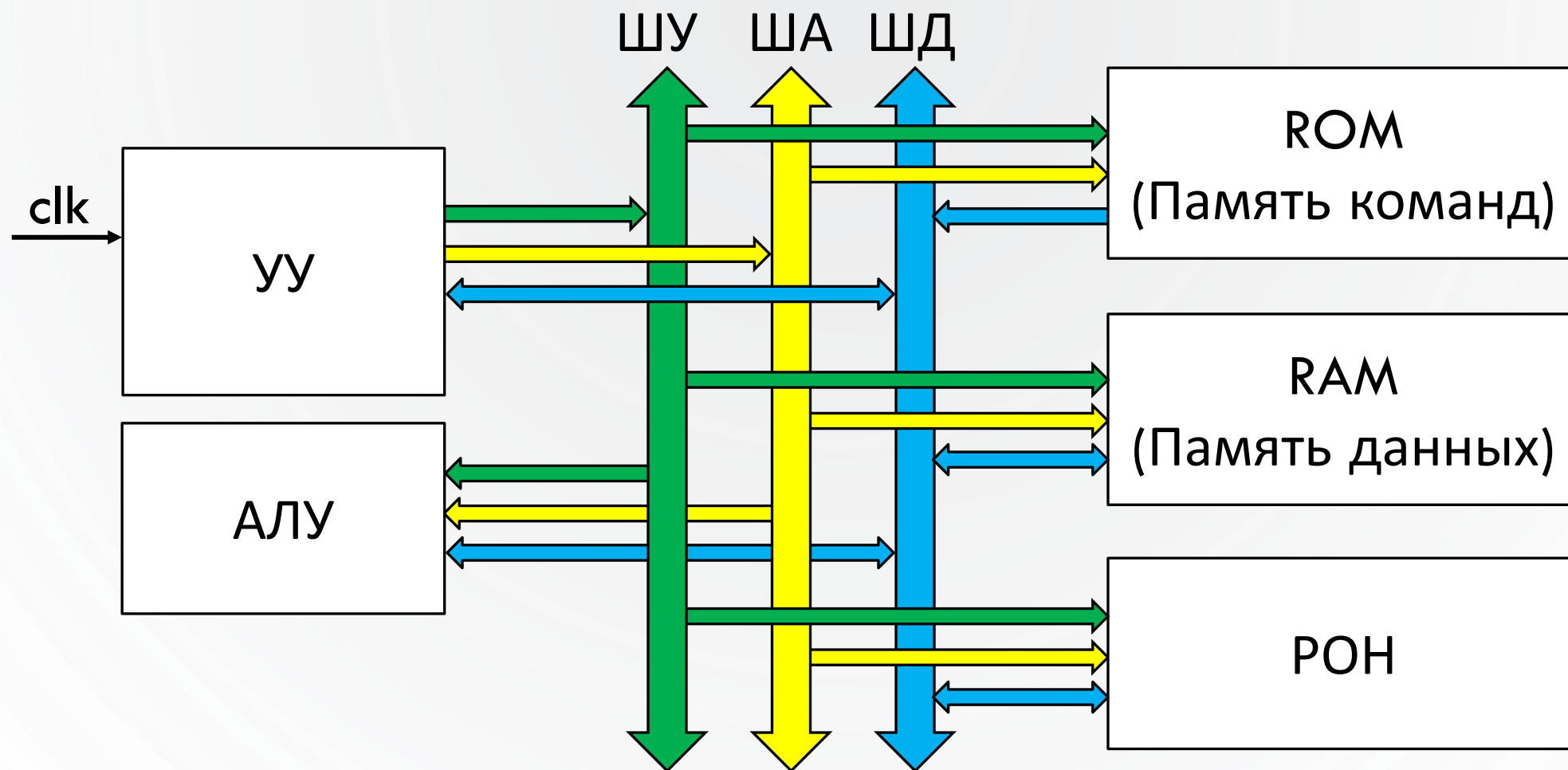
- Команда сдвига
 - Арифметическая команда
 - Логическая команда
 - Адресация первого операнда (приемника)
- 
- 
- 

ЗАДАНИЕ

При выполнении работы необходимо использовать наработки из предыдущей лабораторной работы

1. К архитектуре системы из предыдущей лабораторной работы добавить блок АЛУ и управляющую логику для него
2. Выполнить полный цикл заданных по варианту команд АЛУ
 - Ненужные для заданной команды фазы отбрасываются
 - В процессе выполнения должны использоваться специальные регистры

СТРУКТУРНАЯ СХЕМА

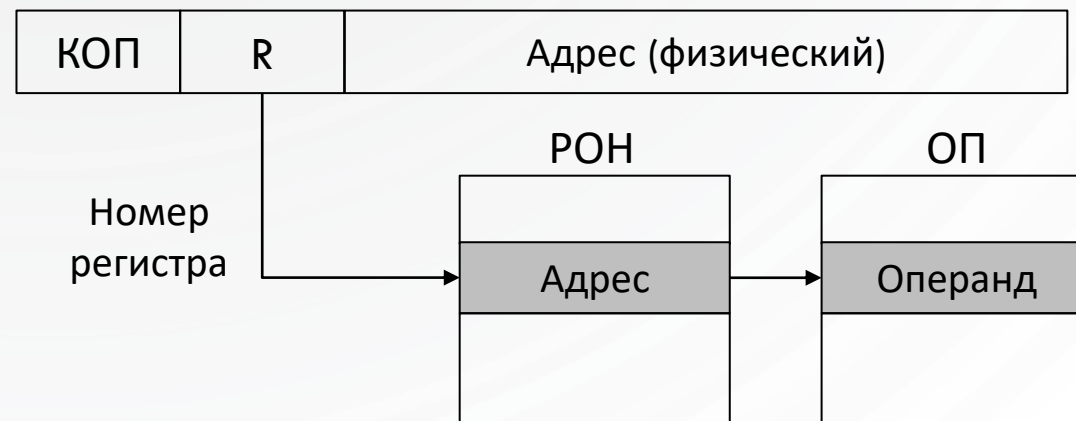


АДРЕСАЦИЯ ОПЕРАНДОВ

Адресация операнда 1	Операнд 1 - приемник (по варианту)	Операнд 2 (на выбор)
Прямая	Mem	Mem Reg Const
Прямая регистровая	Reg	
Косвенная регистровая	Reg	

Для прямой и прямой регистровой адресации исходное значение первого операнда (приемника) теряется, замещаясь результатом операции.
Второй операнд не изменяется

Для косвенной регистровой адресации в команде указывается адрес регистра содержащий адрес памяти с операндом. Результат операции замещает операнд в памяти
Второй операнд не изменяется

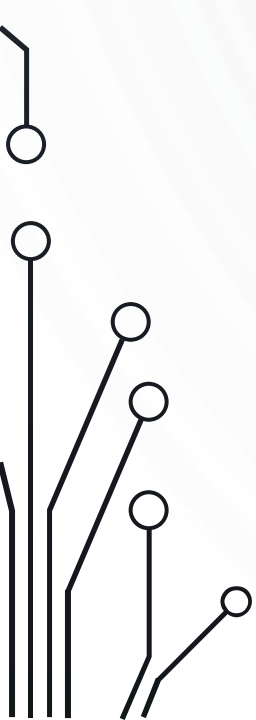
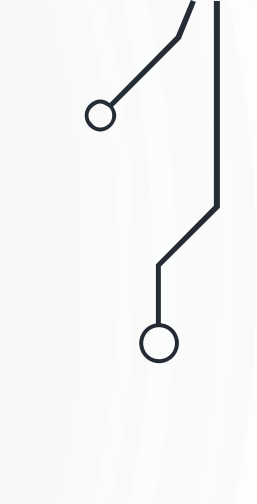
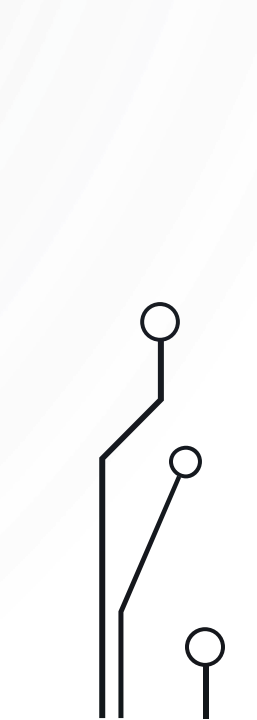


КОМАНДЫ

- ADD – сложение
- ADC – сложение с переносом
- SUB – вычитание
- SBB – вычитание с заемом
- INC – инкремент
- DEC – декремент
- INCS – (инкремент по флагу S) – увеличение на значение флага S
- CMP – сравнение

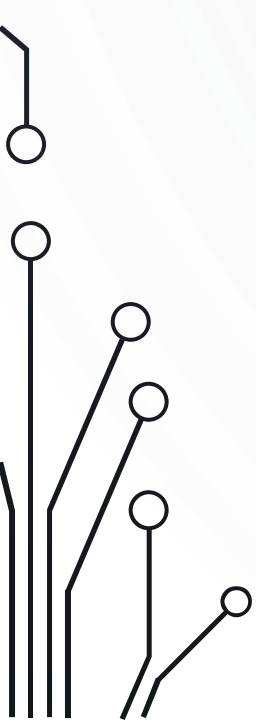
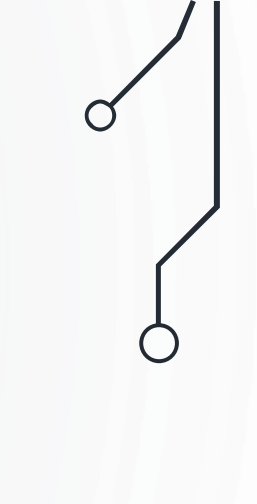
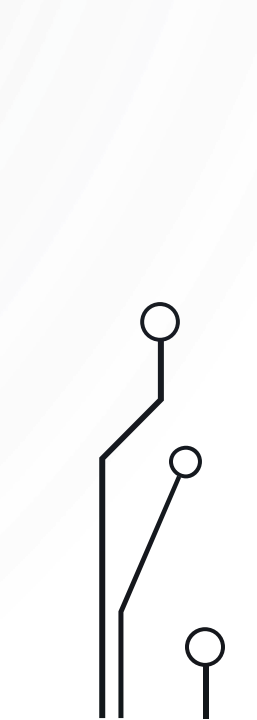


КОМАНДЫ

- AND – логическое И
 - NAND – логическая операция И-НЕ
 - OR – логическое ИЛИ
 - NOR – логическая операция ИЛИ-НЕ
 - XOR – логическое исключающее ИЛИ
 - NXOR – логическое исключающее ИЛИ-НЕ
 - NOT – побитовое логическое НЕ
 - NOTZ – побитовое логическое НЕ по флагу Z
- 
- 
- 

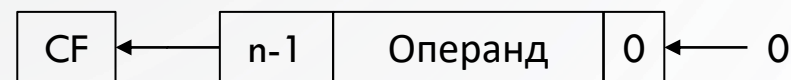
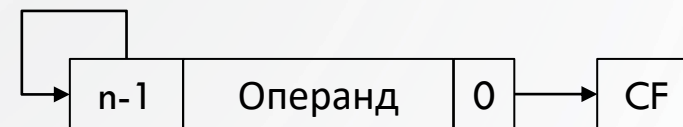
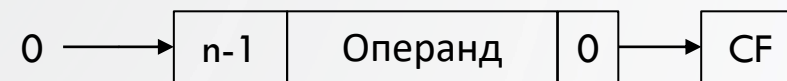


КОМАНДЫ

- SHL – логический сдвиг влево
 - SHR – логический сдвиг вправо
 - SAL – арифметический сдвиг влево
 - SAR – арифметический сдвиг вправо
 - ROL – циклический сдвиг влево
 - ROR – циклический сдвиг вправо
 - RCL – циклический сдвиг влево через бит переноса
 - RCR – циклический сдвиг вправо через бит переноса
- 
- 
- 

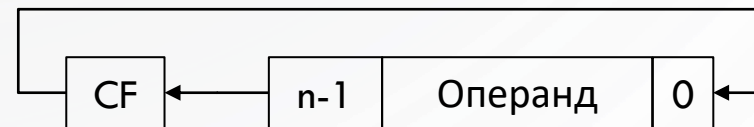
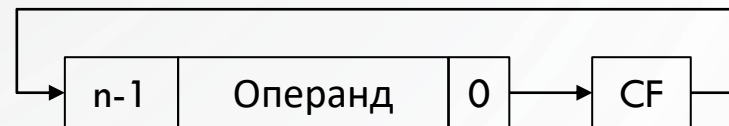
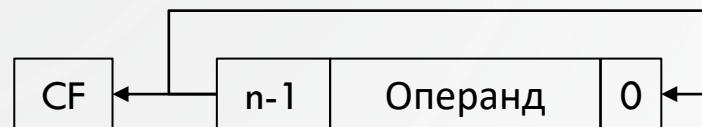
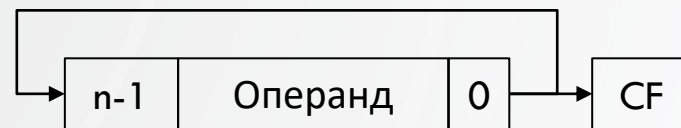
КОМАНДЫ СДВИГА

- SHR операнд, кол-во бит сдвига
- SAR операнд, кол-во бит сдвига
- SHL операнд, кол-во бит сдвига
- SAL операнд, кол-во бит сдвига



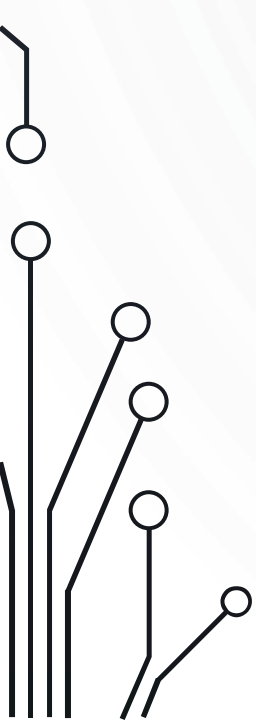
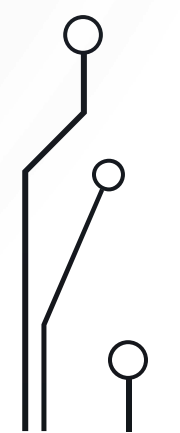
КОМАНДЫ СДВИГА

- ROR операнд, кол-во бит сдвига
- ROL операнд, кол-во бит сдвига
- RCR операнд, кол-во бит сдвига
- RCL операнд, кол-во бит сдвига





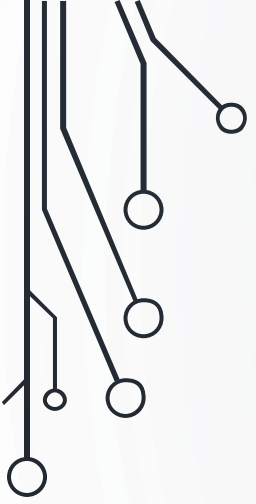
ЭТАПЫ ВЫПОЛНЕНИЯ КОМАНДЫ

- Выборка команды и формирование адреса следующей команды
 - Декодирование команды
 - Формирование исполнительных адресов операндов
 - Выборка операндов
 - Исполнение операции
 - Запись результата
- 
- 

СПЕЦИАЛЬНЫЕ РЕГИСТРЫ

- Счетчик команды IP (Instruction Pointer) или PC (Program Counter)
- Регистр команд IR (Instruction Register)
- Регистр адреса операнда AR (Address Register)
- Регистр данных DR (Data Register)
- Регистр флагов FR (Flag Register)

Timing diagram showing the output of the 17-bit DAC, DCa, over 280 ns. The clock (clk) is a 20 ns period square wave. The DAC output (DCa) is a 17-bit digital signal that updates on the rising edge of the clock. The output value increases in steps of 1 LSB (0x0001) for each clock cycle, starting from 0x0000 and reaching 0x000F (15) at the end of the 280 ns period.



БАЛЛЫ ЗА Л.Р.

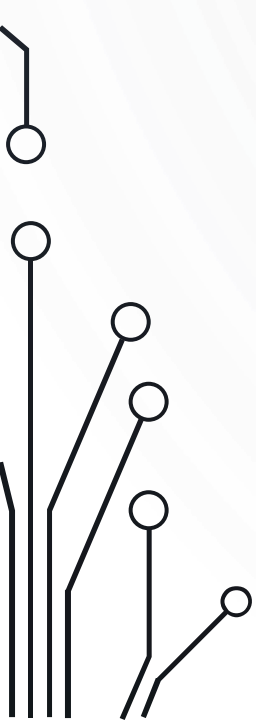
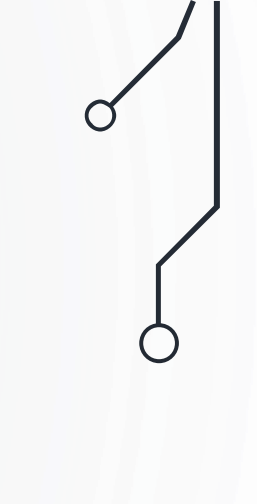
4-8 – за выполнение.

1 – за скорость сдачи.





СОДЕРЖАНИЕ ОТЧЁТА

- Титульный лист
 - Задание согласно варианту
 - АСК
 - Код программы в символьном и числовом виде
 - Содержание памяти до моделирования и после
 - Основные схемы
 - Моделирование схемы
- 
- 
- 