



СиФО ВМ Л.Р. №6

Стракович Андрей Иванович

БГУИР, кафедра ЭВМ

а. 508-5

2023

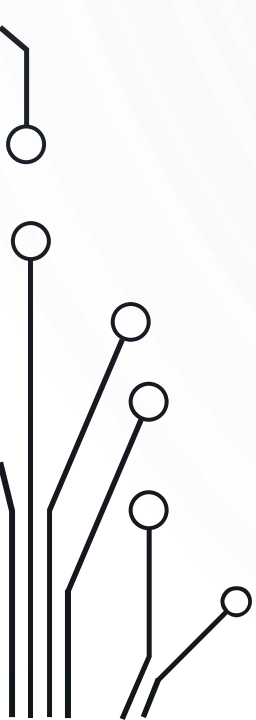
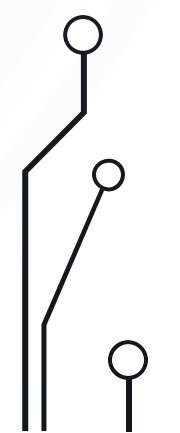
The background features a light gray gradient with faint, concentric circular patterns. In the corners, there are decorative black line art elements resembling circuit traces or neural network connections, with small circles at the endpoints.

СТЕКОВОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

SIFO LAB PRACTICUM PART 1 – Л.Р. 6



ДАННЫЕ ПО ВАРИАНТУ

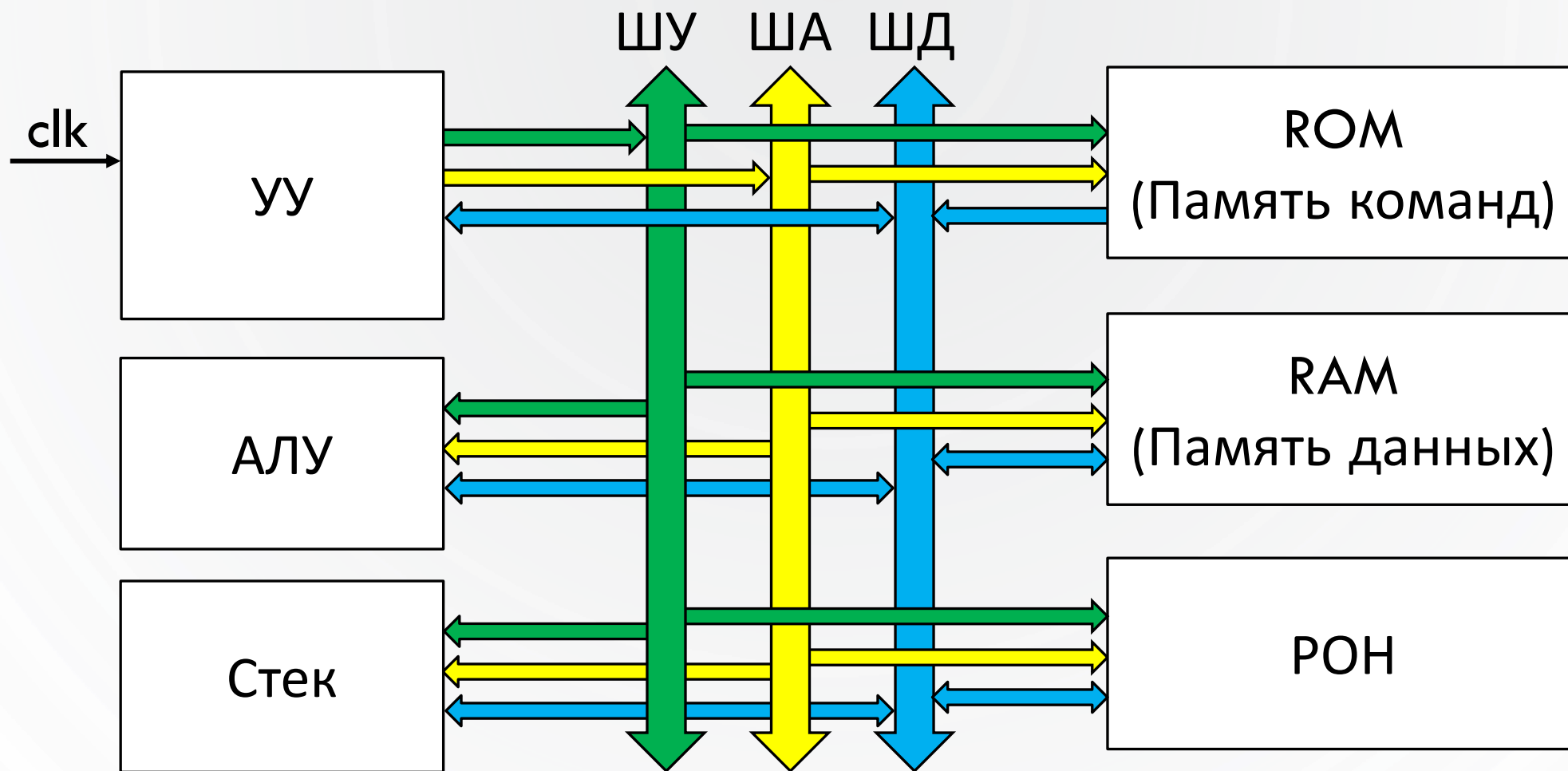
- Объем стека
 - Направление роста стека
 - На что указывает указатель стека
 - Адресация операнда
- 
- 

ЗАДАНИЕ

При выполнении работы необходимо использовать наработки из предыдущей лабораторной работы

1. К архитектуре системы из предыдущей лабораторной работы добавить блок стекового ЗУ и управление для него.
2. Реализовать стековое ЗУ на регистрах, количество которых зависит от объема стека, заданного по варианту.
3. Для работы со стеком добавить команды PUSH и POP.
4. Должен присутствовать порт, показывающий переполнение стека.

СТРУКТУРНАЯ СХЕМА

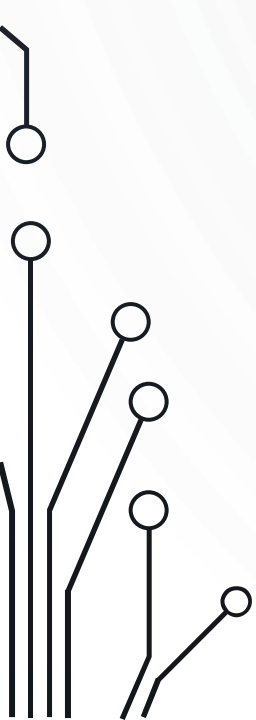
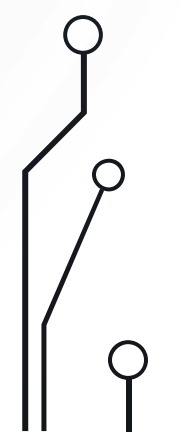


АДРЕСАЦИЯ ОПЕРАНДА

Адресация операнда	Команды
Прямая	PUSH Mem, POP Mem
Прямая регистровая	PUSH Reg, POP Reg



ЭТАПЫ ВЫПОЛНЕНИЯ КОМАНДЫ

- Выборка команды и формирование адреса следующей команды
 - Декодирование команды
 - Формирование исполнительных адресов операндов
 - Выборка операндов
 - Исполнение операции
 - Запись результата
- 
- 

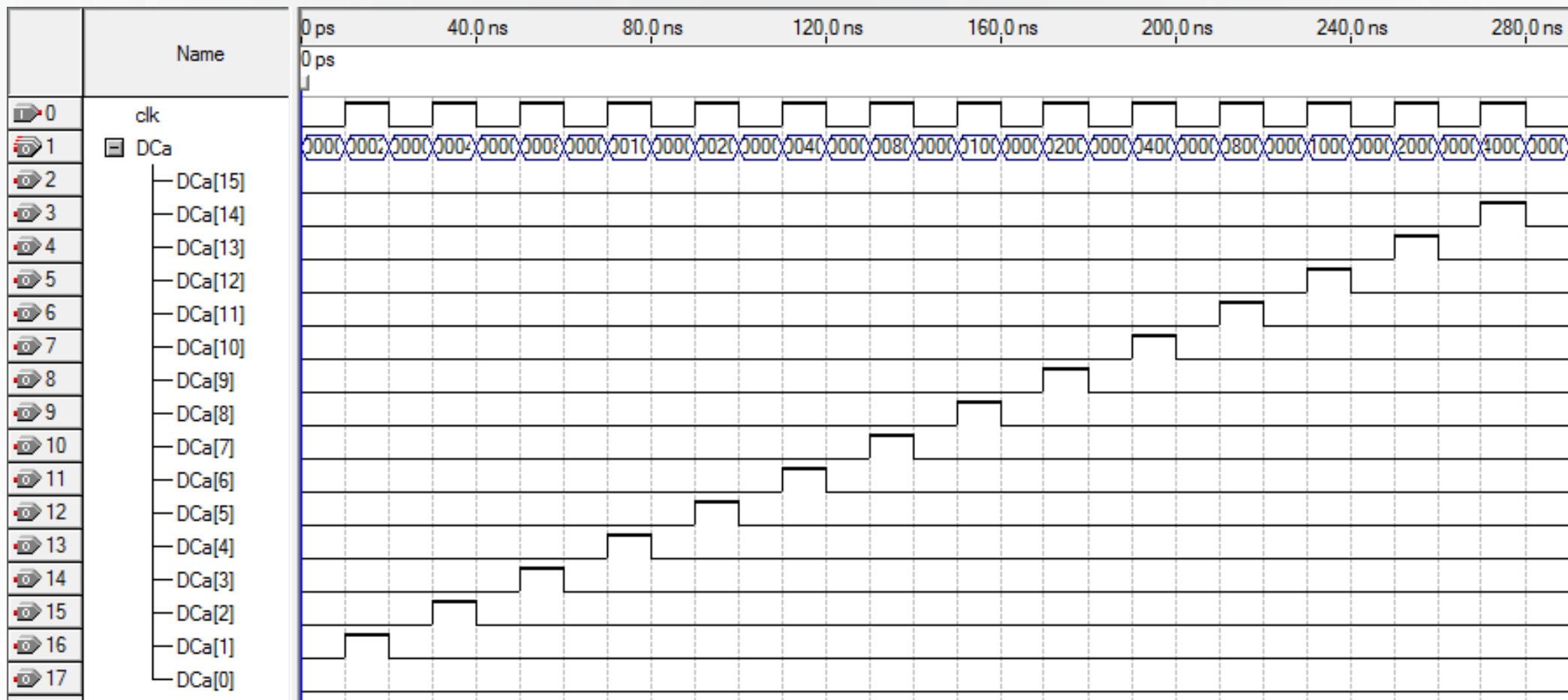
СПЕЦИАЛЬНЫЕ РЕГИСТРЫ

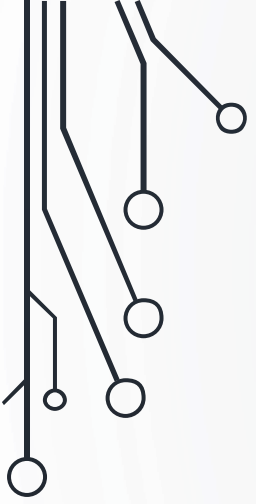
- Счетчик команды IP (Instruction Pointer) или PC (Program Counter)
- Регистр команд IR (Instruction Register)
- Регистр адреса операнда AR (Address Register)
- Регистр данных DR (Data Register)
- Регистр флагов FR (Flag Register)

ИСПОЛЬЗОВАНИЕ БЛОКА ОПОРНЫХ СИГНАЛОВ

The screenshot displays a logic simulator interface. On the left, a list of signals is shown, including a clock signal 'clk' and a 17-bit counter 'DCa' with outputs from DCa[15] down to DCa[0]. The main area shows a timing diagram for these signals over a 280 ns period. The clock signal is a square wave with a period of 20 ns. The counter output 'DCa' is shown as a staircase waveform, where each output bit transitions from low to high at a specific time, corresponding to the clock edges. The counter value is displayed in hexadecimal on the clock line, starting at 0000 and increasing by 1 at each clock edge, reaching 000F at the end of the simulation.

Signal	Value / State
clk	0 ps, 40.0 ns, 80.0 ns, 120.0 ns, 160.0 ns, 200.0 ns, 240.0 ns, 280.0 ns
DCa[15]	0
DCa[14]	0
DCa[13]	0
DCa[12]	0
DCa[11]	0
DCa[10]	0
DCa[9]	0
DCa[8]	0
DCa[7]	0
DCa[6]	0
DCa[5]	0
DCa[4]	0
DCa[3]	0
DCa[2]	0
DCa[1]	0
DCa[0]	0

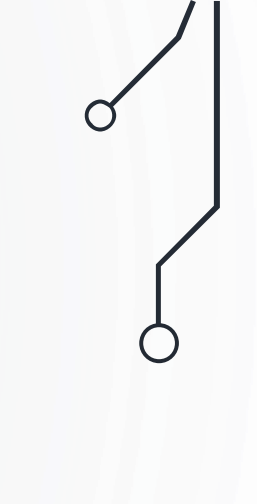
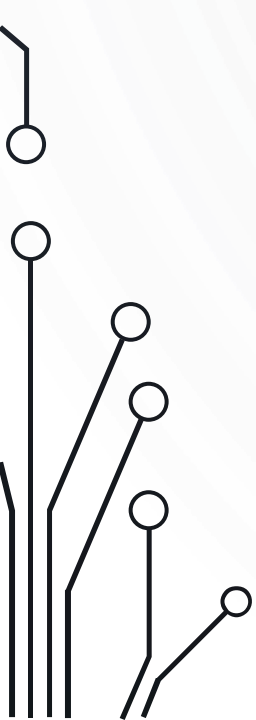




БАЛЛЫ ЗА Л.Р.

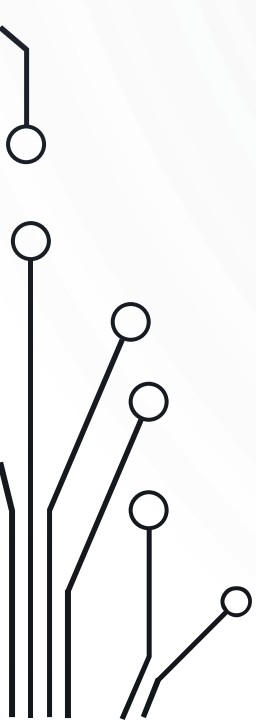
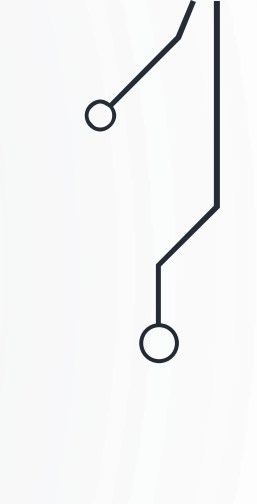
4-8 – за выполнение.

1 – за скорость сдачи.





СОДЕРЖАНИЕ ОТЧЁТА

- Титульный лист
 - Задание согласно варианту
 - АСК
 - Код программы в символьном и числовом виде
 - Содержание памяти до моделирования и после
 - Основные схемы
 - Моделирование схемы
- 
- 
- 