

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 3
Тема: «Исследование работы триггеров»

Выполнил:
студент группы 150501 Климович А.Н.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучение работы триггеров.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется на лабораторных модулях dLab7, dLab8, dLab9 с помощью макетной платы лабораторной станции NI ELVIS.

Будут выполнены следующие задачи:

1. Исследование работы RS-триггера, JK-триггера и D-триггера;
2. Построение таблиц истинности и диаграмм состояний для каждого триггера;
3. Заполнение таблицы переходов по результатам таблицы истинности и диаграммы состояний для каждого триггера.
4. Выявление для RS-триггера, при каких переключениях входных сигналов состояние триггера изменяется, а при каких – нет;
5. Определение для JK-триггера, какие комбинации входных сигналов “J” и “K” соответствуют режимам работы JK-триггера и заполнение соответствующей таблицы для данного триггера;
6. Определение по данным таблиц истинности для D-триггера, при каких значениях входного сигнала происходит установка триггера в состояния “1” и “0”.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 RS-триггер

Триггером называется простейшее устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначается: $Q=1$ и $Q=0$. В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Если триггер не имеет входов синхронизации, то его называют асинхронным. В этом случае его поведение однозначно определяется в момент прихода активного сигнала на информационный вход. В зависимости от

устройства входных цепей триггер будет изменять своё состояние или под действием уровня входного сигнала, или под действием фронта этого сигнала.

Если триггер имеет хотя бы один вход синхронизации, то он считается синхронным. У такого триггера имеются информационные входы, приём информации по которым происходит в момент активного состояния синхросигнала. При этом триггер может иметь и другие информационные входы, которые асинхронно определяют его поведение.

Асинхронный RS-триггер является базовым при создании более сложных триггеров. В простейшем случае асинхронный RS-триггер имеет два входа: S (Set) – вход установки триггера в единичное состояние, R (Reset) – вход установки триггера в нулевое состояние. Активный сигнал по входу S в момент появления заставляет триггер перейти в единичное состояние. Активный сигнал по входу R в момент появления заставляет триггер перейти в нулевое состояние.

На рисунке 3.1 приведена схема асинхронного RS-триггера, построенного на логических элементах И-НЕ.

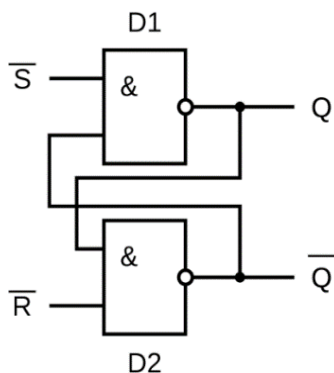


Рисунок 3.1 – Схема RS-триггера на логических элементах И-НЕ

Будем считать выход элемента D1 прямым выходом триггера Q. По заданному положению прямого выхода определим положение входов установки триггера в нуль (R) и в единицу (S). Если предположить, что сигнал логической единицы присутствует на верхнем входе, то состояние выходного сигнала элемента D1 будет зависеть от сигнала на выходе элемента D2. Следовательно, единица на верхнем входе не заставляет схему непременно менять своё состояние. Это пассивный уровень сигнала на верхнем входе.

Если выход элемента D1 имеет нулевое состояние и на верхний вход поступит нулевой логический сигнал, то на выходе элемента D1 спустя время задержки одного элемента $t_{зд}$ появится логическая единица независимо от состояния сигнала на нижнем входе схемы. Сформированная на выходе D1 единица, поступая на верхний вход элемента D2 (при наличии единицы на нижнем его входе) приведёт к появлению нуля на выходе D2 спустя время задержки $t_{зд}$. То есть через время $2t_{зд}$ триггер перейдет в новое, единичное состояние.

Таким образом, активным сигналом на верхнем входе является логический нуль, этот вход является входом установки S, поскольку приводит к появлению логической единицы на прямом выходе – Q. Поскольку схема симметрична, можно предположить, что нижний вход схемы является входом сброса триггера в нуль – R, причём активным сигналом для этого входа также является логический нуль. Временная диаграмма работы RS-триггера с учётом задержки сигнала в элементах показана на рисунке 3.2.

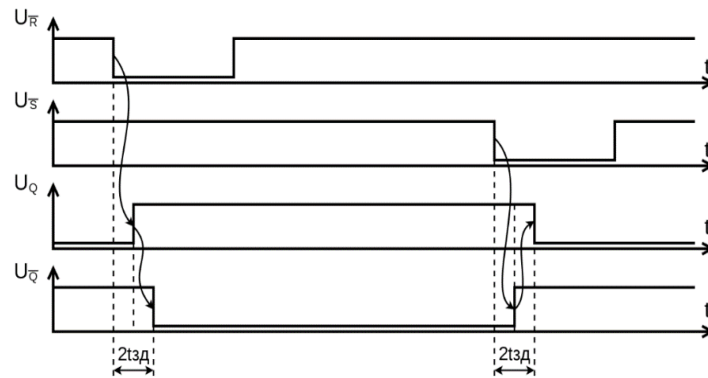


Рисунок 3.2 – Временная диаграмма работы RS-триггера

Для RS-триггера комбинация $S=0$ и $R=0$ является запрещенной. После такой комбинации информационных сигналов состояние триггера будет неопределенным: на его выходе Q может быть 0 или 1. Существуют разновидности RS-триггеров, называемые E-, R- и S-триггера, для которых сочетание $S=R=1$ не является запрещенным. E-триггер при $S=R=1$ не изменяет своего состояния ($Q_{n+1}=Q_n$). S-триггер при $S=R=1$ устанавливается в состояние $Q=1$, а R-триггер в этом случае устанавливается в состояние $Q=0$.

На рисунке 3.3 приведено условное графическое изображение RS-триггера, где символами инверсии показано, что активным сигналом для входов S и R является нулевой логический уровень.

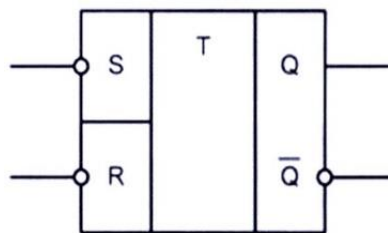


Рисунок 3.3 – Условное графическое обозначение асинхронного RS-триггера

Функционирование RS-триггера определяется уравнением (3.1):

$$Q_{n+1} = S_n \vee Q_n \overline{R_n}, \quad (3.1)$$

где Q_n и Q_{n+1} – соответственно предыдущее и новое состояния триггера.

Поведение триггера можно определить сокращённой таблицей истинности (см. таблицу 3.1), в которой на входах R и S определены для момента времени n , а состояние триггера определяется для следующего момента времени, который определяют как $n+1$.

Таблица 3.1 – Таблица истинности RS-триггера

S_n	R_n	Q_{n+1}	Примечание
0	0	-	запрещено
0	1	1	запись единицы
1	0	0	запись нуля
1	1	Q_n	хранение

Поведение триггера также можно описать таблицей переходов (таблица 3.2). Эта таблица определяет значения сигналов на входах, при которых происходит переход триггера из исходного состояния Q_n в состояние Q_{n+1} . Исходное и конечное состояние триггера записаны, соответственно в столбцах Q_n и Q_{n+1} , а значения сигналов в момент времени « n » на его входах – в столбцах S_n и R_n .

Рассмотрим принцип построения матрицы переходов для первой строки таблицы. Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала S_n на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению. Произвольное состояние сигнала помечено в таблице символом \times .

Таблица 3.2 – Таблица переходов RS-триггера

Q_n	S_n	R_n	Q_{n+1}
0	1	\times	0
0	0	1	1
1	1	0	0
1	\times	1	1

3.2 JK-триггер

JK-триггер имеет два информационных входа J и K , предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации C .

На рисунке 3.4 приведен один из вариантов построения синхронного двухступенчатого JK-триггера.

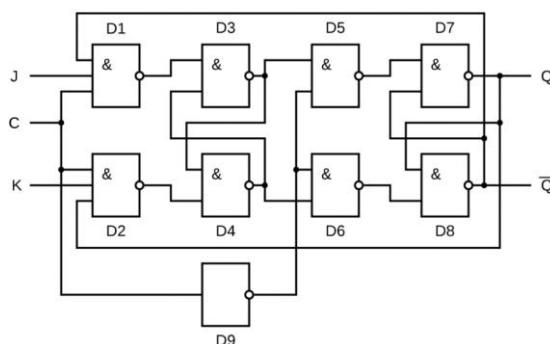


Рисунок 3.4 – Схема синхронного двухступенчатого JK-триггера

Схема состоит из основного RS-триггера на логических элементах D3, D4 и дополнительно – на логических элементах D7, D8. Логические элементы D1 и D2 обеспечивают синхронизацию основного триггера, а элементы D5 и D6 – синхронизацию дополнительного триггера. Основной триггер тактируется потенциалом логической 1, поступающим на вход С. Логический элемент D9 инвертирует тактовый сигнал, поэтому дополнительный триггер тактируется потенциалом логического 0.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ($Q=0$). Тогда на одном из входов элементов D1 и D2 будут, соответственно, логическая 1 ($\bar{Q} = 1$) и логический 0 ($Q=0$). При отсутствии входного тактового импульса, то есть при $C=0$, элементы D1 и D2 закрыты независимо от того, какие сигналы будут на остальных их входах.

Пусть на вход J подан сигнал логической 1 ($J=1$), а на входе К присутствует логический 0 ($K=0$). Тогда с приходом импульса синхронизации $C=1$ элемент D1 откроется, а элемент D2 останется закрытым. Одновременно с этим закроются оба элемента D5 и D6 сигналом логического 0, снимаемым с выхода инвертора D9. Сигнал логического нуля с выхода открытого элемента D1 установит основной триггер в состояние 1. Тогда на одном из входов элемента D5 будет сигнал логической 1, а на входе элемента D6 – сигнал логического 0. Эти сигналы никак не повлияют на состояние дополнительного триггера, так как во время действия импульса синхронизации $C=1$ элементы D5 и D6 закрыты нулевым потенциалом с выхода инвертора D9. По окончании импульса синхронизации элементы D1 и D2 закроются, а на выходе элемента D9 и, следовательно, входах элементов D5 и D6 появится логическая 1. Так как основной триггер находится в состоянии 1, то откроется элемент D5 и установит дополнительный триггер в состояние 1 ($Q=1$).

Аналогично можно показать, что при $J=0$ и $K=1$ с приходом импульса синхронизации, триггер установится в состояние логического нуля: $Q=0$. Таким образом, в триггере данного типа изменение выходного сигнала

происходит только в моменты, когда потенциал на входе синхронизации С переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются срезом тактового импульса в отличие от триггеров, тактируемых потенциалом.

Временная диаграмма работы JK-триггера показана на рисунке 3.5.

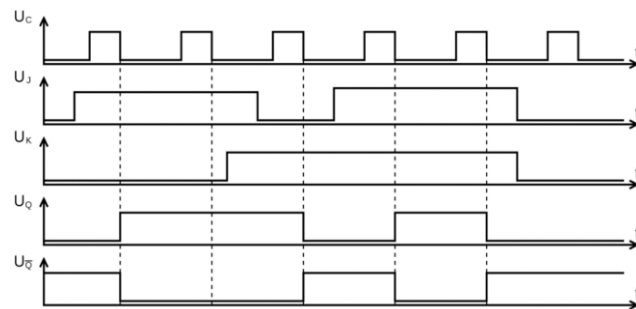


Рисунок 3.5 – Временная диаграмма работы JK-триггера

Функционирование JK-триггера определяется уравнением (3.2):

$$Q_{n+1} = J_n \overline{Q_n} \vee \overline{K_n} Q_n. \quad (3.2)$$

Работа JK-триггеров описывается таблицей истинности (см. таблицу 3.3) и таблицей переходов (см. таблицу 3.4). Произвольное состояние сигнала помечено в таблице 3.4 символом ×.

Таблица 3.3 – Таблица истинности JK-триггера

J_n	K_n	Q_{n+1}	Примечание
0	0	Q_n	хранение
0	1	0	запись нуля
1	0	1	запись единицы
1	1	$\overline{Q_n}$	счетный режим

Таблица 3.4 – Таблица переходов JK-триггера

Q_n	J_n	K_n	Q_{n+1}
0	0	×	0
0	1	×	1
1	×	1	0
1	×	0	1

В отличие от RS-триггера, в JK-триггере наличие $J=K=1$ приводит к переходу выхода Q триггера в противоположное состояние. Эта особенность JK-триггера используется на практике – при объединении входов J и K получается так называемый Т-триггер, или счетный триггер, который изменяет состояние выхода по фронту импульса на входе С. Т-триггер может иметь подготовительный вход Т (точка объединения входов J и K). Сигнал на этом входе разрешает (при $T=1$) или запрещает (при $T=0$) срабатывание

триггера от фронтов импульсов на входе С. Функционирование Т-триггера определяется уравнением (3.3):

$$Q_{n+1} = T_n \overline{Q_n} \vee \overline{T_n} Q_n. \quad (3.3)$$

Из этого уравнения следует, что при $T=1$ соответствующий фронт сигнала на входе С переводит триггер в противоположное состояние. Частота изменения потенциала на выходе Т-триггера в два раза меньше частоты импульсов на входе С. Это свойство Т-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа Т ведет себя так же, как и Т-триггер при $T=1$.

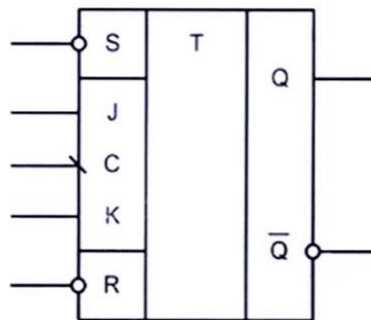


Рисунок 3.6 – Условное графическое обозначение JK-триггера

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S, которые имеют приоритет по отношению к другим входам. На рисунке 3.6 представлен JK-триггер К555ТВ9. При подаче логического нуля на вход S триггер асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

3.3 D-триггер

D-триггер или триггер задержки (delay) относится к синхронным триггерам. При поступлении синхросигнала на вход С устанавливается в состояние, соответствующее потенциалу на входе D. Уравнение функционирования D-триггера определяется уравнением (3.4):

$$Q_{n+1} = D_n. \quad (3.4)$$

Это уравнение показывает, что выходной сигнал Q_{n+1} изменяется не сразу после изменения входного сигнала D, а только с приходом синхросигнала, то есть с задержкой на один период импульсов синхронизации.

Основой D-триггера с потенциальным управлением является асинхронный RS-триггер, выполненный на элементах D3 и D4.

Схема D-триггера с потенциальным управлением показана на рисунке 3.7.

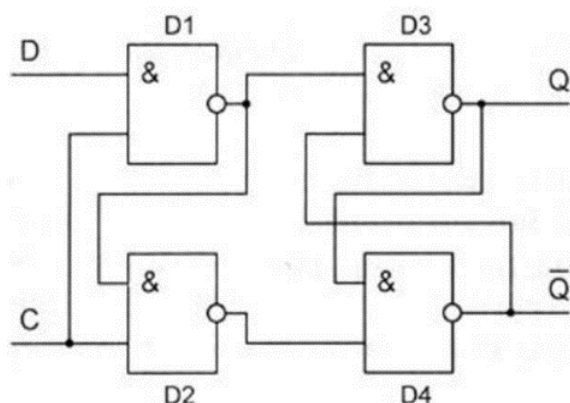


Рисунок 3.7 – Схема D-триггера с потенциальным управлением

При $C=0$ триггер хранит информацию, поскольку на выходах D1, D2 присутствуют единицы, что соответствует пассивным сигналам асинхронного триггера D3, D4. При $C=1$ в триггер записывается состояние сигнала D. Если $D=0$, то на выходе D1 формируется единица, а на выходе D2 формируется нуль, что приводит к записи в триггер нуля.

Наряду с приведенным выше уравнением (3.4) поведение такого триггера можно описать таблицей истинности (см. таблицу 3.5) и таблицей переходов (см. таблицу 3.6).

Таблица 3.5 – Таблица истинности D-триггера

D_n	Q_{n+1}
0	0
1	1

Таблица 3.6 – Таблица переходов D-триггера

Q_n	D_n	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Из приведенных таблиц видно, что для D-триггера нет запрещенной комбинации сигналов на входах D и C.

Изменение состояния D-триггера при воздействии входных сигналов показано на временной диаграмме (см. рисунок 3.8).

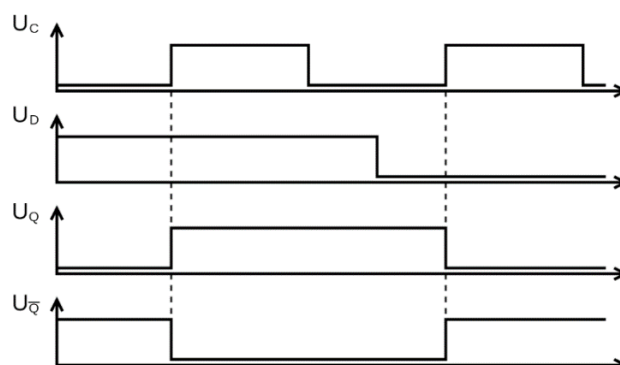


Рисунок 3.8 – Временная диаграмма работы D-триггера с потенциальным управлением

При активном синхросигнале нежелательно менять состояние сигнала на информационном входе D. В момент окончания действия активного синхросигнала происходит переход триггера из режима записи в режим хранения принятой информации. Триггера как бы защёлкивается в новом состоянии. Поэтому подобные триггеры иногда называют триггерами-защёлками.

При активном синхросигнале изменение состояния сигнала на входе D повторяется на выходе. То есть триггера превращается в повторитель входного сигнала. Этим фактом иногда пользуются, например, для повышения нагрузочной способности схемы.

Особенностью триггеров с динамическим управлением является то, что они принимают информацию в течение короткого интервала времени вблизи активного фронта синхросигнала.

На рисунке 3.9 показана схема D-триггера с динамическим управлением, которая реализована в составе микросхемы ТТЛ типа К555ТМ2.

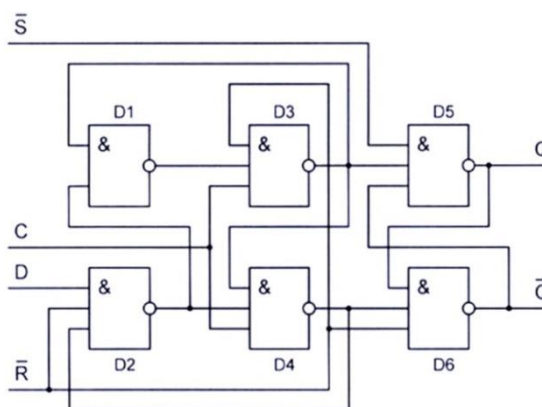


Рисунок 3.9 – Схема D-триггера с динамическим управлением

Пусть в исходном состоянии $C=0$ и $D=0$ (входы асинхронной установки S и R находятся в пассивном единичном состоянии и при анализе работы схемы не рассматриваются). Триггер сохраняет свое состояние. При этом на выходе элемента $D2$ присутствует логический нуль, в результате чего выход элемента $D1$ находится в единичном состоянии.

С приходом нарастающего фронта синхросигнала все входы элемента $D3$ имеют единичное состояние, что приводит, спустя время задержки элемента, к появлению логического нуля на его выходе. Этот нуль поступает на входы элементов $D1$ и $D4$, блокируя информационный вход триггера D , то есть спустя время задержки всего одного элемента после прихода фронта синхросигнала изменение сигнала D не вызывает изменение состояния триггера. При этом ноль на выходе $D3$ переводит выходной сигнал $D5$ в единицу, а $D6$ – в нуль.

Таким образом, после прихода синхросигнала произойдет переключение выходного сигнала триггера через интервал времени, равный утроенному времени задержки логического элемента.

Аналогично триггер ведёт себя при $D=0$, только в этом случае блокирование информационного сигнала происходит нулём с выхода элемента $D4$ на вход элемента $D2$.

Предложенный анализ работы входной логики триггера, выполненной на элементах $D1$, $D2$ показывает, что с появлением нарастающего фронта на входе синхронизации спустя время задержки всего одного элемента происходит блокирование информационного входа так, что изменение состояния сигнала после этого не приводит к изменению состояния триггера. Только с приходом следующего нарастающего фронта синхросигнала возможна запись в триггер нового состояния информационного сигнала.

Наличие асинхронных входов расширяет функциональные возможности триггера. При подаче активного (в данном случае нулевого) сигнала на любой из асинхронных входов блокируется запись в триггер состояния информационного входа D . Условное обозначение рассмотренного триггера с учётом асинхронных входов S и R представлено на рисунке 3.10.

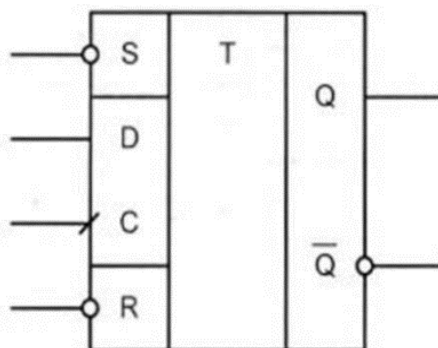


Рисунок 3.10 – Условное графическое обозначение D-триггера K555TM2

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Изучение работы RS-триггера

После установки лабораторного модуля dLab7 на макетную плату NI ELVIS и загрузки файла dLab7.vi на экране появляется изображение ВП, необходимого для выполнения работы (см. рисунок 4.1).

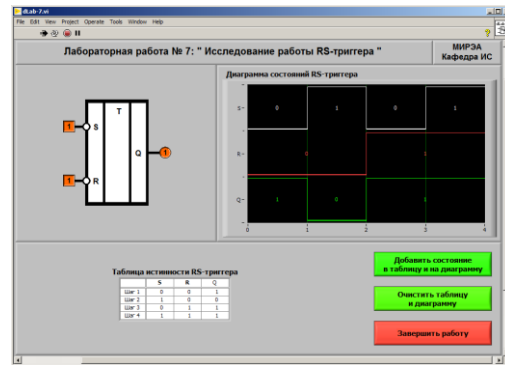


Рисунок 4.1 – Лицевая панель при работе с RS-триггером

Далее, подавая на входы R (Reset) и S (Set) триггера всевозможные значения логических сигналов, получим его диаграмму состояний (см. рисунок 4.2) и таблицу истинности (см. рисунок 4.3).

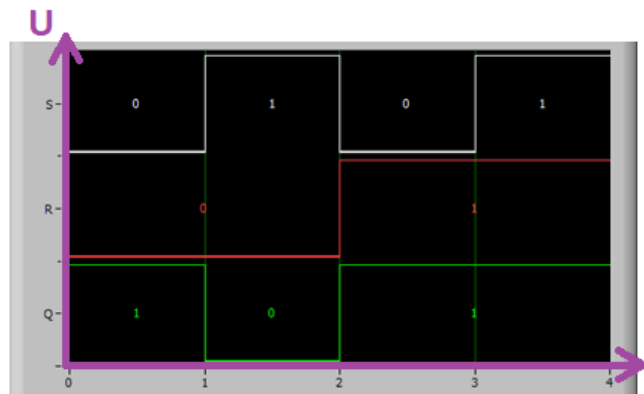


Рисунок 4.3 – Временная диаграмма состояний RS-триггера

	S	R	Q
Шаг 1	0	0	1
Шаг 2	1	0	0
Шаг 3	0	1	1
Шаг 4	1	1	1

Рисунок 4.3 – Таблица истинности RS-триггера

Подав всевозможные значения на входы триггера, можно заполнить таблицу переходов состояний RS-триггера (см. таблицу 4.1), в которой символ \times означает неопределенное состояние.

Таблица 4.1 – Таблица переходов состояний RS-триггера

Выход Q_n	Вход R	Вход S	Выход Q_{n+1}
0	0	0	\times
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	\times
1	0	1	1
1	1	0	0
1	1	1	1

Рассмотрим принцип построения таблицы переходов для первой строки таблицы. Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала S_n на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению.

Следует также отметить, что комбинации из логических единиц на входах R и S являются запрещенными комбинациями, так как при их подаче на входы, точно нельзя сказать, в какое состояние перейдет триггер.

4.2 Исследование работы JK-триггера в статическом режиме

Установим лабораторный модуль dLab8 на макетную плату NI ELVIS и загрузим файл dLab8.vi. На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.4).

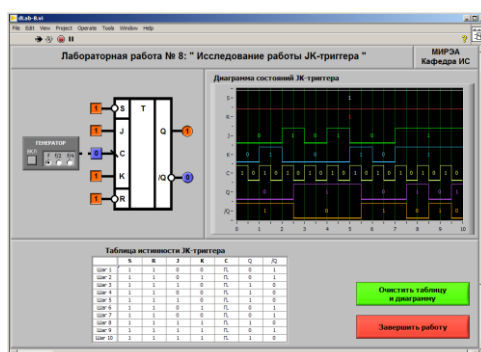


Рисунок 4.4 – Лицевая панель при работе с JK-триггером

Сначала установим значения логической «1» на входах R и S JK-триггера, а также последовательно подавая различные значения на входы J и K электронного устройства, получим таблицу истинности и диаграмму состояний JK-триггера, представленные на рисунках 4.5 и 4.6 соответственно. При таком подходе будет изучен JK-триггер в статическом режиме.

	S	R	J	K	C	Q	/Q
Шаг 1	1	1	0	0	П	0	1
Шаг 2	1	1	0	1	П	0	1
Шаг 3	1	1	1	0	П	1	0
Шаг 4	1	1	0	0	П	1	0
Шаг 5	1	1	1	0	П	1	0
Шаг 6	1	1	0	1	П	0	1
Шаг 7	1	1	0	0	П	0	1
Шаг 8	1	1	1	1	П	1	0
Шаг 9	1	1	1	1	П	0	1
Шаг 10	1	1	1	1	П	1	0

Рисунок 4.6 – Таблица истинности JK-триггера

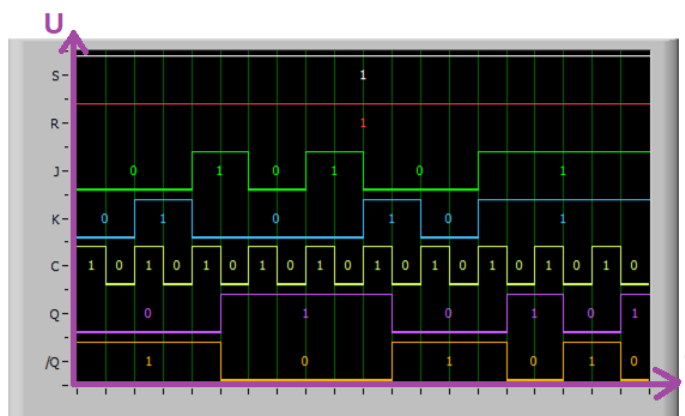


Рисунок 4.7 – Временная диаграмма состояний JK-триггера

Проанализировав таблицу истинности и временную диаграмму состояний триггера была построена таблица переходов (см. таблицу 4.2).

Таблица 4.2 – Таблица переходов состояний JK-триггера

Выход Q_n	Вход J	Вход K	Выход Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Сделав анализ таблицы истинности и таблицы переходов JK-триггера, можно сформировать таблицу режимов данного электронного устройства (см. таблицу 4.3).

Таблица 4.3 – Таблица режимов JK-триггера

Режим работы	Вход J	Вход K
Хранение информации	0	0
Установка “1”	1	0
Установка “0”	0	1
Переключение	1	1

4.3 Изучение работы JK-триггера в динамическом режиме

Изучая JK-триггер в динамическом режиме, можно определить уровень сигнала асинхронного управления триггером. На рисунках 4.8, 4.9, 4.10, 4.11 представлены временные диаграммы электронного устройства с различными значениями S и R.

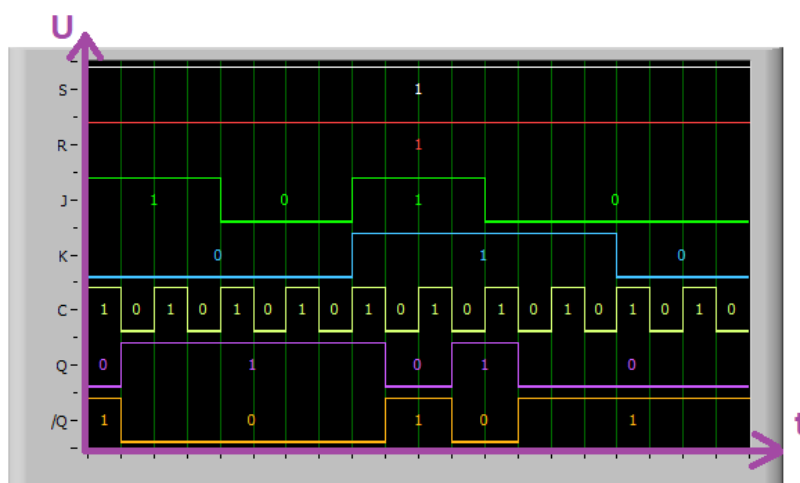


Рисунок 4.8 – Работа JK-триггера при $S = 1$ и $R = 1$

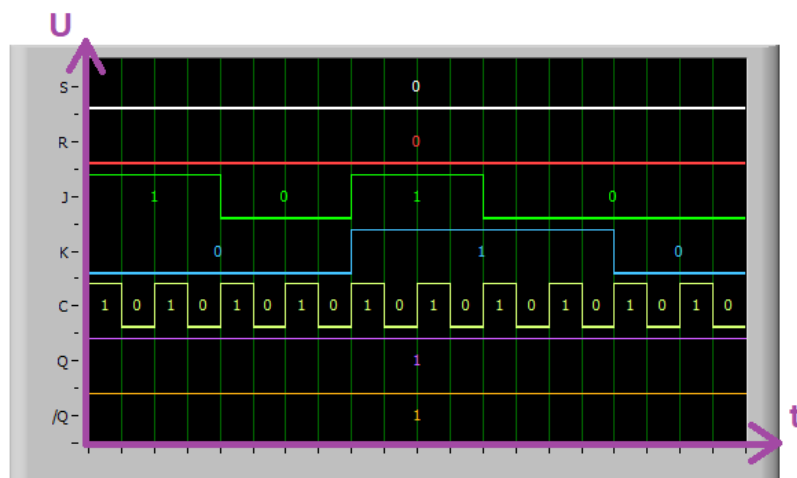


Рисунок 4.9 – Работа JK-триггера при $S = 0$ и $R = 0$

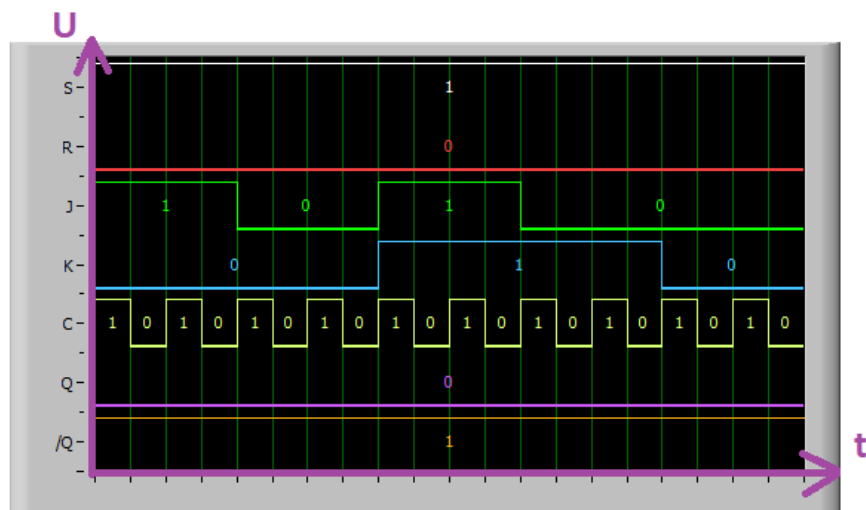


Рисунок 4.10 – Работа JK-триггера при $S = 1$ и $R = 0$

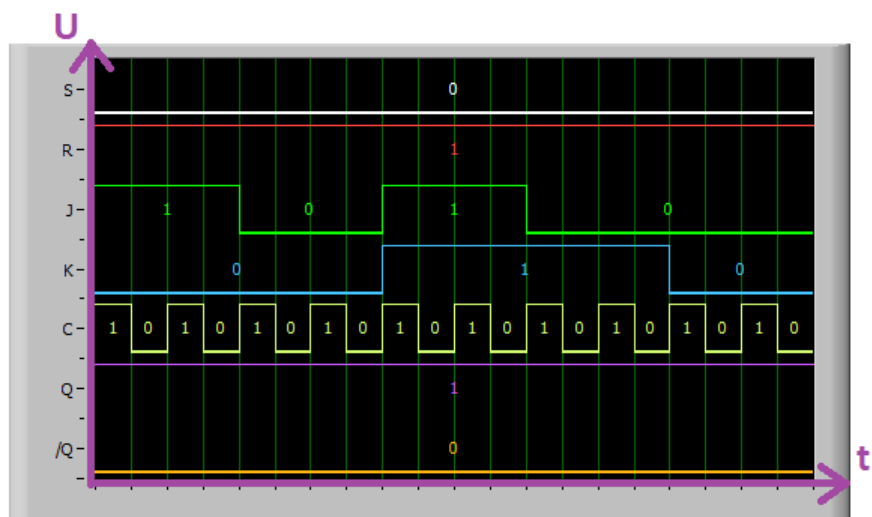


Рисунок 4.11 – Работа JK-триггера при $S = 0$ и $R = 1$

Проанализировав данные диаграммы можно сделать вывод, что активным уровнем асинхронного управления для данного триггера является уровень логического “0”.

Временные диаграммы, приведенные выше, говорят о том, что при активных уровнях асинхронного управления на входах R и S , входы J , K и C не оказывают влияния на работу триггера.

Переключение JK-триггера происходит по перепаду тактового импульса “С” из 1 в 0.

4.4 Исследование работы D-триггера в статическом режиме

Теперь установим лабораторный модуль dLab9 на макетную плату NI ELVIS и загрузим файл dLab9.vi. Запустим программу, щелкнув левой кнопкой мыши на экранной кнопке RUN. На экране появится изображение ВП, необходимого для выполнения работы (см. рисунок 4.12).

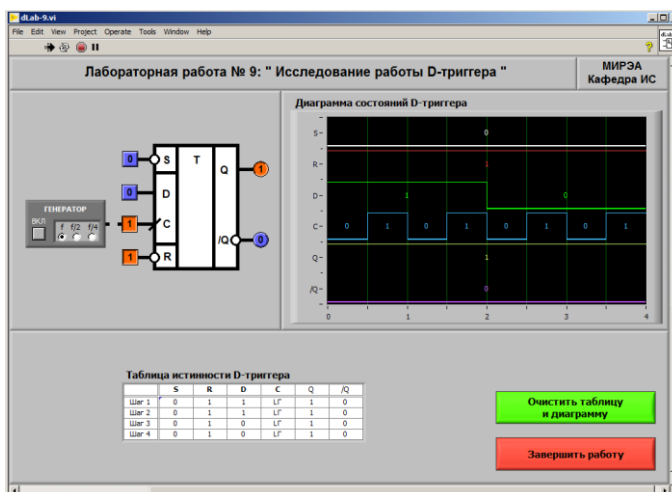


Рисунок 4.12 – Лицевая панель при работе с D-триггером

Для начала установим на входах R и S сигналы “1” и последовательно будем изменять сигнал D. В итоге, получим таблицу истинности (см. рисунок 4.13) и диаграмму состояний D-триггера (см. рисунок 4.14).

	S	R	D	C	Q	/Q
Шаг 1	1	1	0	ЛГ	0	1
Шаг 2	1	1	1	ЛГ	1	0
Шаг 3	1	1	0	ЛГ	0	1

Рисунок 4.13 – Таблица истинности D-триггера

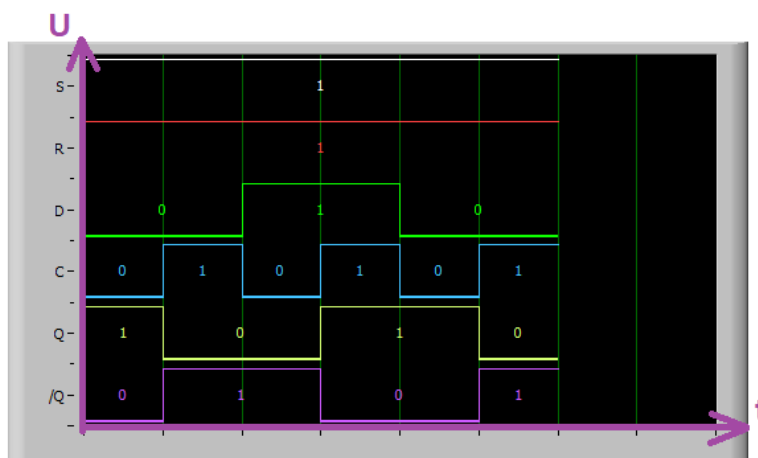


Рисунок 4.14 – Временная диаграмма состояний D-триггера

После анализа таблицы истинности и временной диаграммы состояний триггера была построена таблица переходов (см. таблицу 4.4).

Таблица 4.4 – Таблица переходов D-триггера

Выход Q_n	Вход D	Выход Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Полученная таблица истинности и таблица переходов D-триггера позволяют сформировать таблицу режимов работы данного электрического устройства (см. таблицу 4.5).

Таблица 4.5 – Таблица режимов работы D-триггера

Режим работы	Вход D
Установка "1"	1
Установка "0"	0

4.5 Изучение работы JK-триггера в динамическом режиме

Исследуя триггер в динамическом режиме, будем изменять логические состояния входов S и R, чтобы можно было определить активный уровень сигнала асинхронного управления триггером. На рисунках 4.15, 4.16, 4.17, 4.18 представлены временные диаграммы D-триггера с различными значениями S и R.

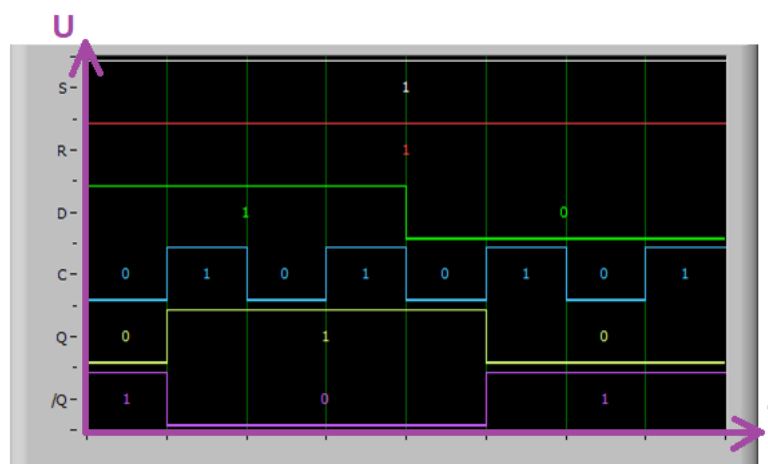


Рисунок 4.19 – Работа D-триггера при $S = 1$ и $R = 1$

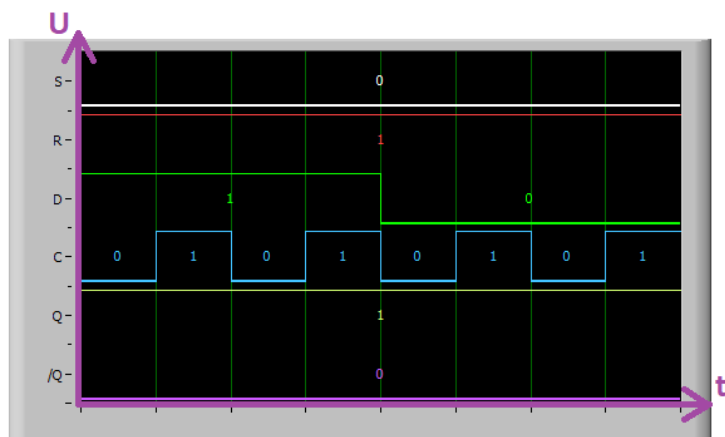


Рисунок 4.19 – Работа D-триггера при $S = 0$ и $R = 1$

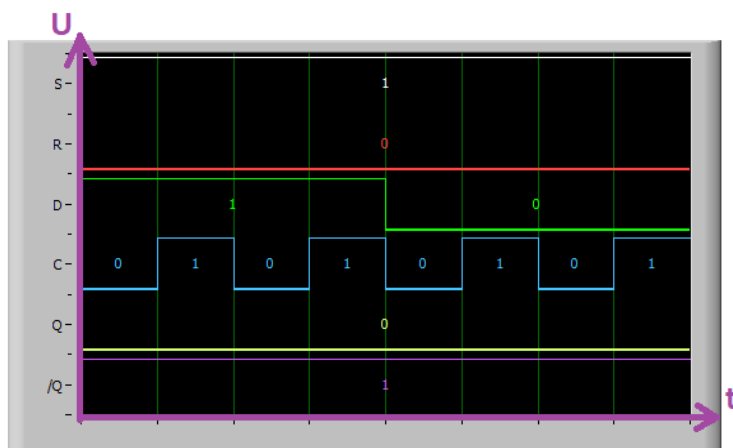


Рисунок 4.19 – Работа D-триггера при $S = 1$ и $R = 0$

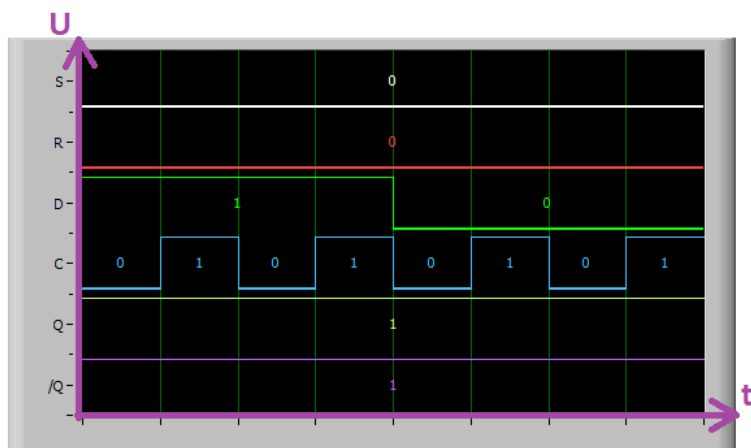


Рисунок 4.19 – Работа D-триггера при $S = 0$ и $R = 0$

Таким образом, временные диаграммы, приведенные выше, говорят о том, что входы С и D не влияют на работу триггера при подаче активного уровня сигнала асинхронного управления S и R.

Переключение D-триггера происходит по перепаду тактового сигнала С из “0” в “1”.

5 ВЫВОДЫ

Были исследованы RS-, JK- и D-триггеры, построены их таблицы истинности и диаграммы состояний. Также были получены таблицы переходов и заполнены таблицы режимов работы для JK- и D-триггера.

Для RS-триггера было выяснено, при каких переключениях входных сигналов состояние триггера изменяется, а при каких - нет.

Для JK-триггера в статическом режиме по таблице истинности и таблицу переходов было определено, какие комбинации входных сигналов “J” и “K” соответствуют режимам работы JK-триггера.

Для JK-триггера в динамическом режиме был определен активный уровень сигналов для асинхронного управления, а также была исследована работа данного триггера в режиме асинхронного управления.

Для D-триггера в статическом режиме были определены значения входного сигнала "D", при которых происходит установка триггера в состояния “1” и “0”.

Для D-триггера в динамическом режиме был определен активный уровень сигналов асинхронного управления триггером, а также было определено, по какому перепаду тактового импульса на входе “С” происходят переключения D-триггера.