

計算機構成論

Lecture 2

コンピュータシステムの構成方法

2023年度春学期

情報理工学部 Rクラス担当

越智裕之

内容

「半導体の基本」を常識として知っておこう！

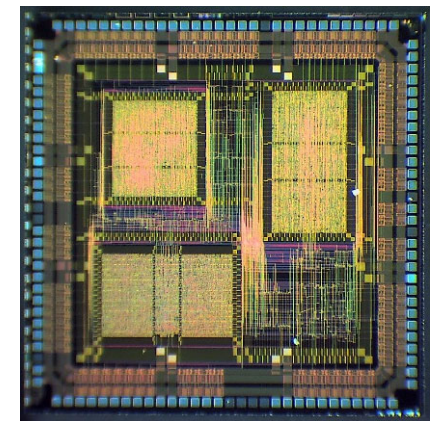
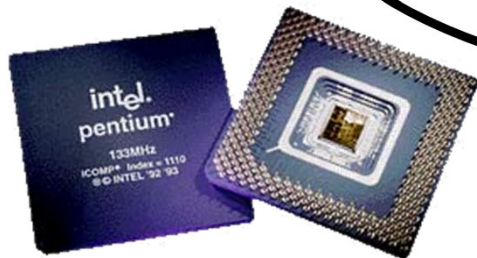
- デジタルシステムの動作最小単位＝スイッチ
 - スwitchの物理的なイメージ＝MOS, CMOS
 - CMOS NAND, CMOS NOR
 - 集積回路に関する諸知識
 - Technology Trend、歩留まり、電力の問題
-
- 教材：教科書の1.5節、1.7節、1.8節
 - ＋教科書にない内容（レジメで説明）

デジタルシステム

- 処理機能を集積回路 (IC) として実現

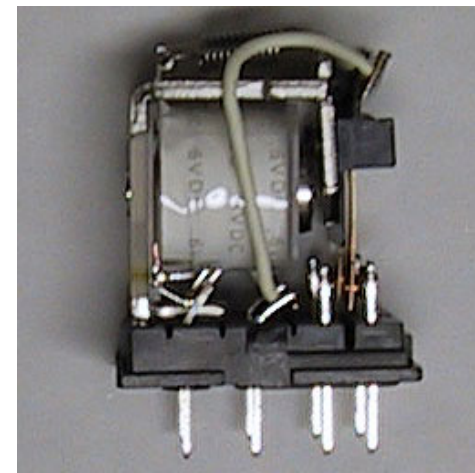


- 信号はデジタル (0 と 1)
- 信号の値によるスイッチ

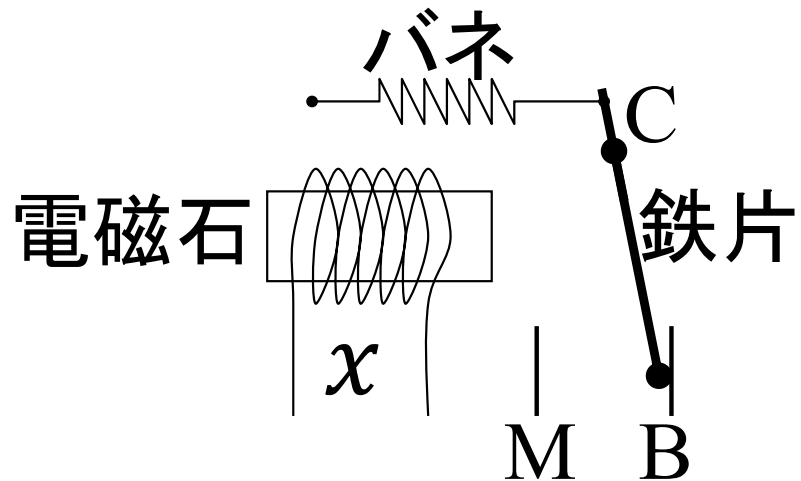


LSIの中身

リレー

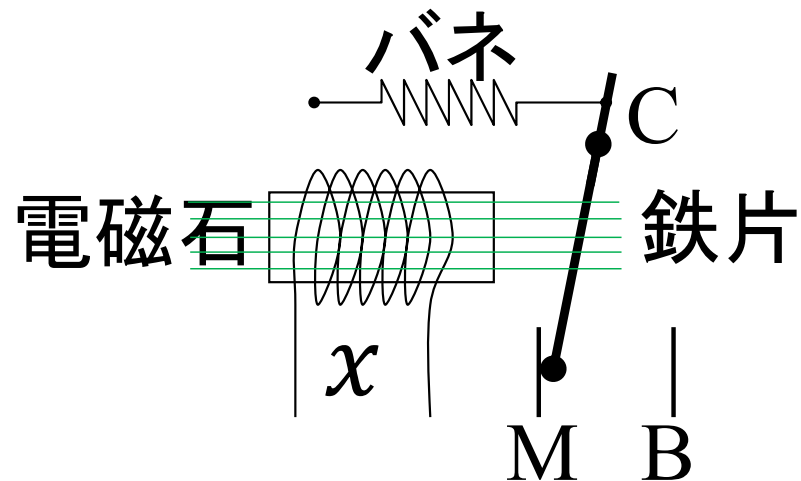


リレー



$x=0$: 電流無し

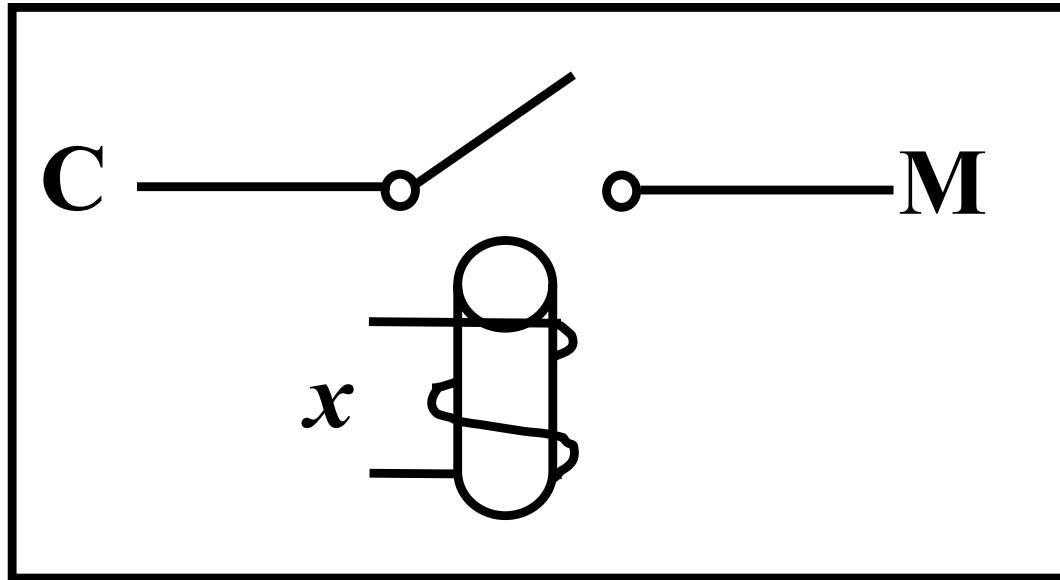
C-M間がOFF
C-B間がON



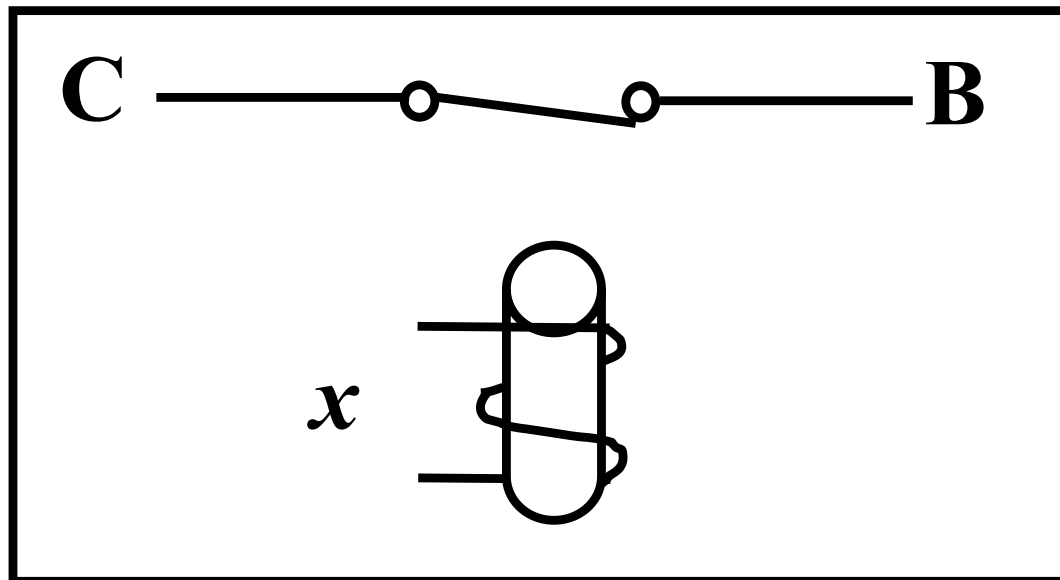
$x=1$: 電流有り

C-M間がON
C-B間がOFF

リレー（スイッチ）で計算できる (1/2)

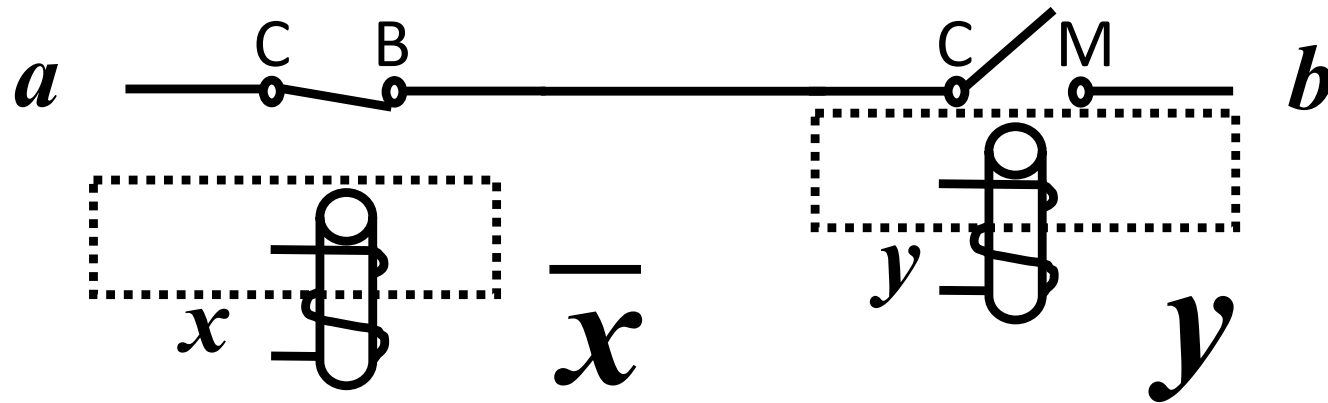


x
☐の時ON



\overline{x}
 x' とも書く
☐の時ON

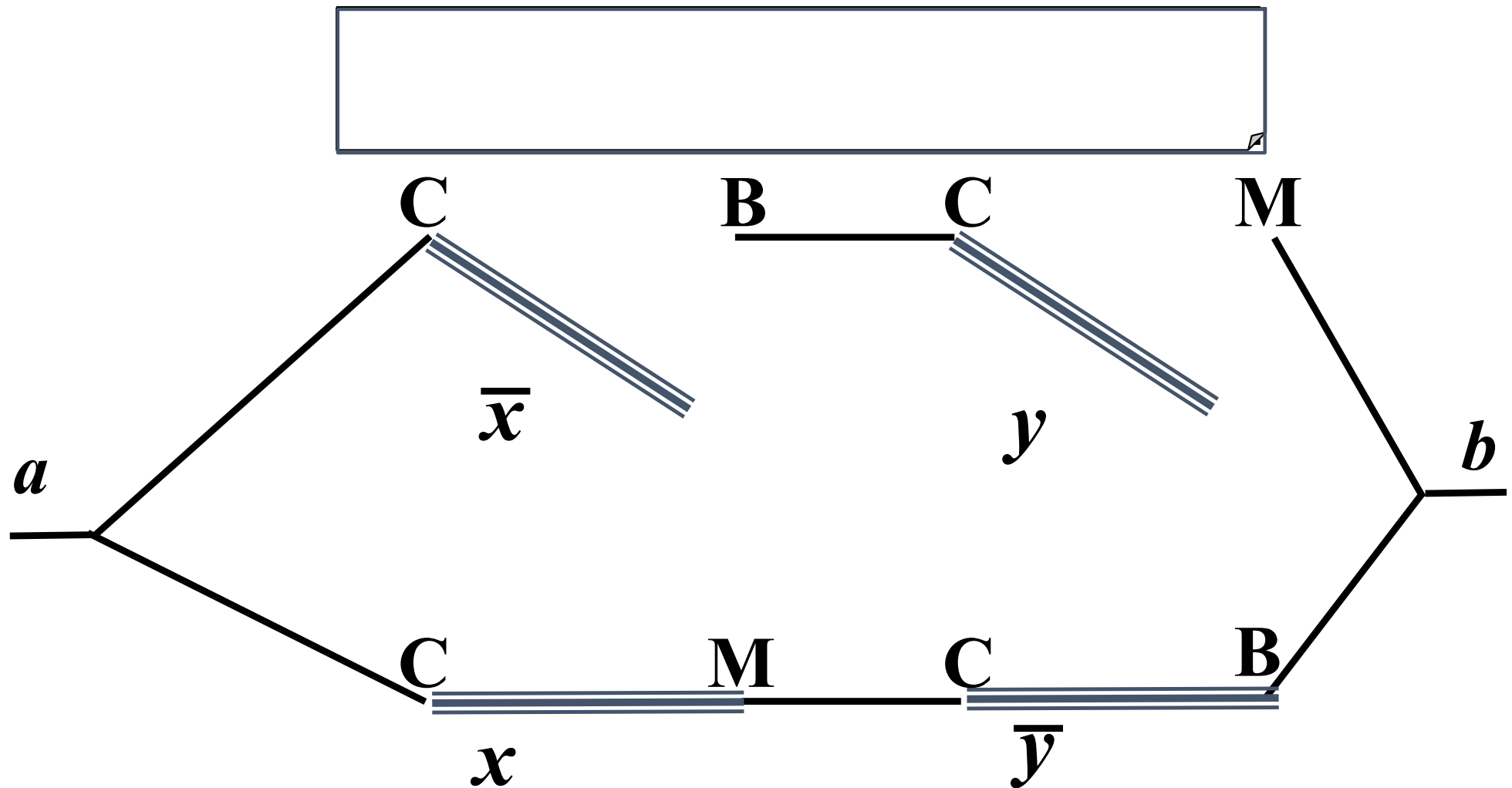
リレー（スイッチ）で計算できる (2/2)



a-b間がONの論理＝

x と y の論理式が空欄に入る

問題：どのような論理を実現しているか？

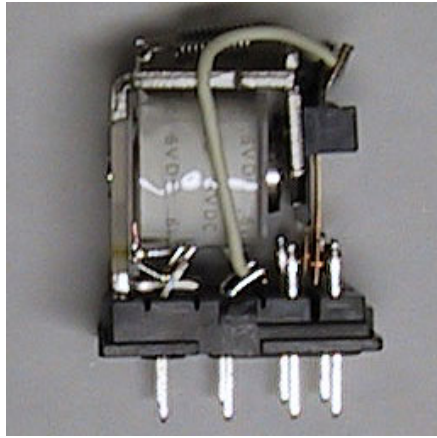


x とは、 $x=1$ で閉じるスイッチ
 \overline{x} とは、 $x=0$ で閉じるスイッチ

上図は $x=1, y=0$ の時

註：「閉じる（close）」とは、スイッチがONになること

スイッチの変遷



リレー

リレー式計算機

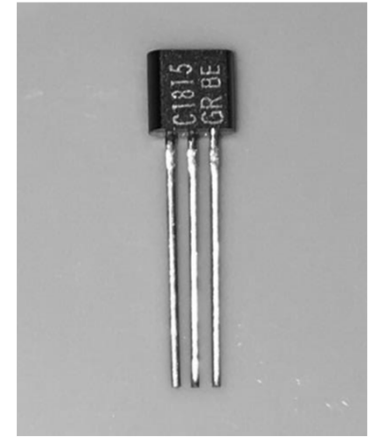
1938年 Z-1



真空管

ENIAC
EDSAC

1940年代



トランジスタ

1947年

1957年

IBM7090

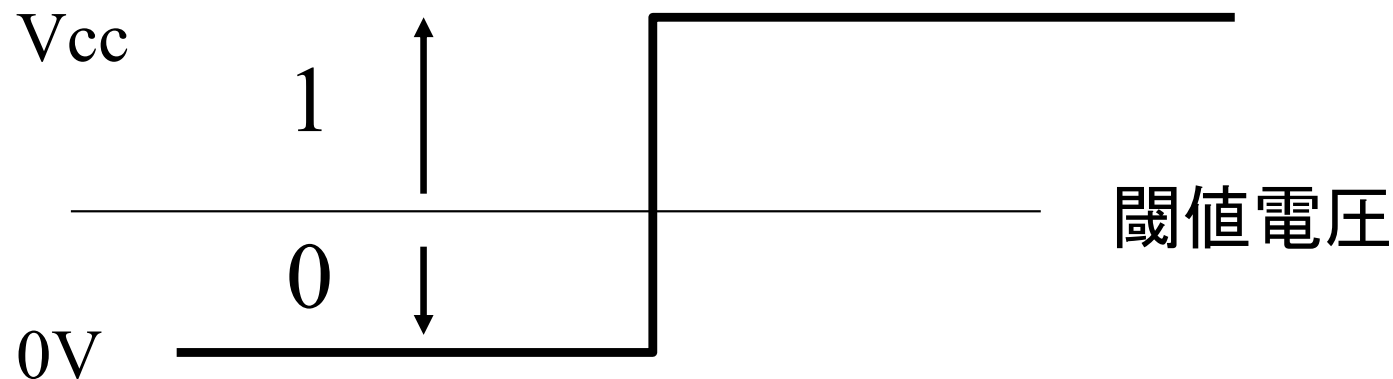
内容

「半導体の基本」を常識として知っておこう！

- デジタルシステムの動作最小単位＝スイッチ
 - スイッチの物理的なイメージ＝MOS, CMOS
 - CMOS NAND, CMOS NOR
 - 集積回路に関する諸知識
 - Technology Trend、歩留まり、電力の問題
-
- 教材：教科書の1.5節、1.7節、1.8節
 - ＋教科書にない内容（レジメで説明）

デジタルな世界：0 と 1

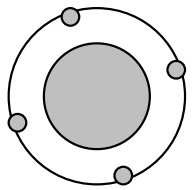
- 0 は 0ボルト (0V) 、 Gnd
- 1 は電源電圧 (5V, 3.3V, 2.5V, 1.35V など)
 - VCC, VDD などと書く



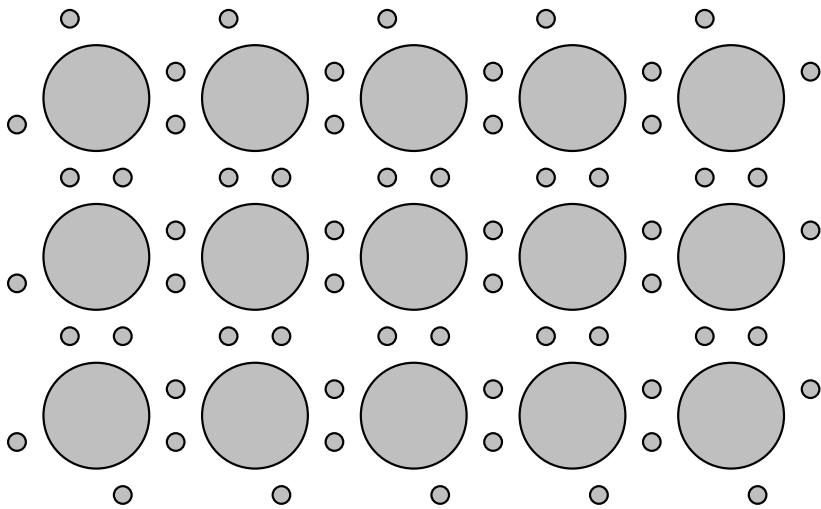
半導体

参考

- 電気抵抗が導体と絶縁体の中間のもの
 - Si や Ge 等の単結晶



第4族原子



第4族原子の単結晶（模式図）

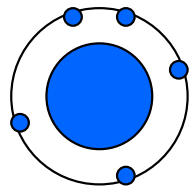
純粋な Si や Ge の単結晶は、自由電子が極めて少ない

参考：電気抵抗の比較

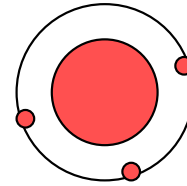
- 銅（導体）の場合：断面積 1mm^2 、長さ 10cm の銅の針金の抵抗は $1.7 \times 10^{-3} \Omega$
- ガラス（絶縁体）の場合：断面積 1mm^2 、長さ 10cm のガラス棒の抵抗は $10^{15} \Omega$
- 純粋なシリコン（ケイ素）単結晶（半導体）の場合：断面積 1mm^2 、長さ 10cm のシリコン棒の抵抗は $2.5 \times 10^8 \Omega$

不純物半導体

参考

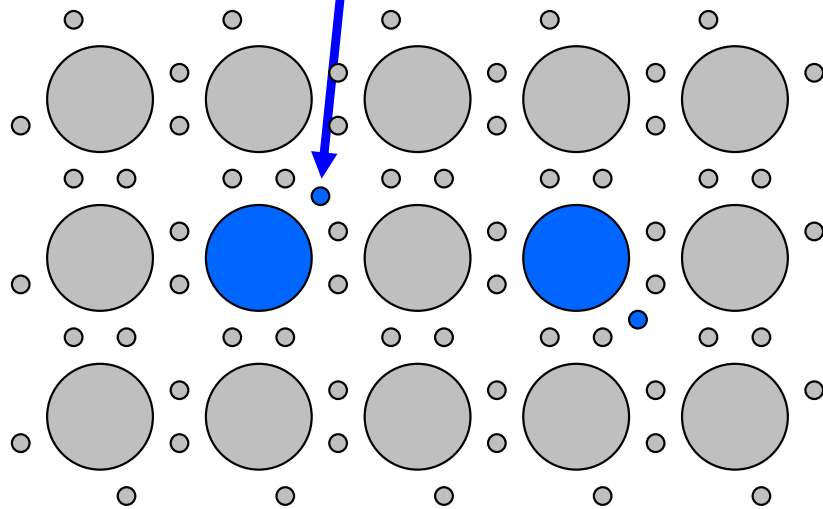


第5族原子
(P、Asなど)



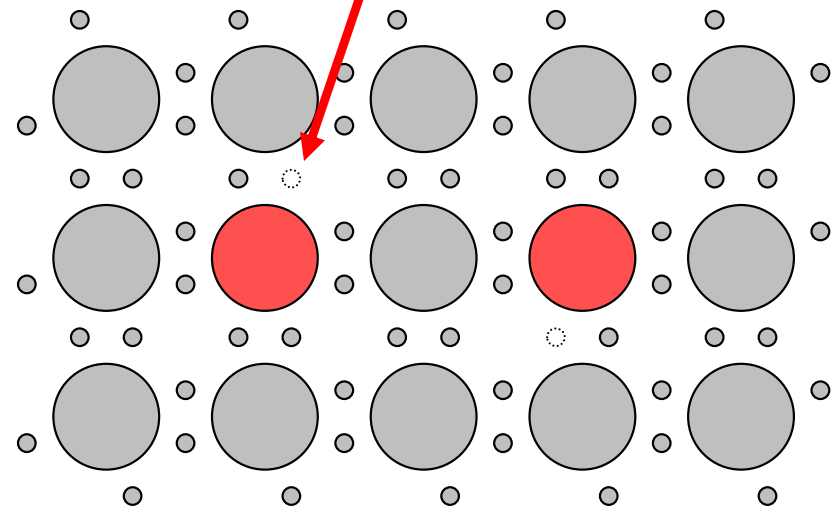
第3族原子
(B、Al、Gaなど)

電子が余る



n型半導体 (模式図)

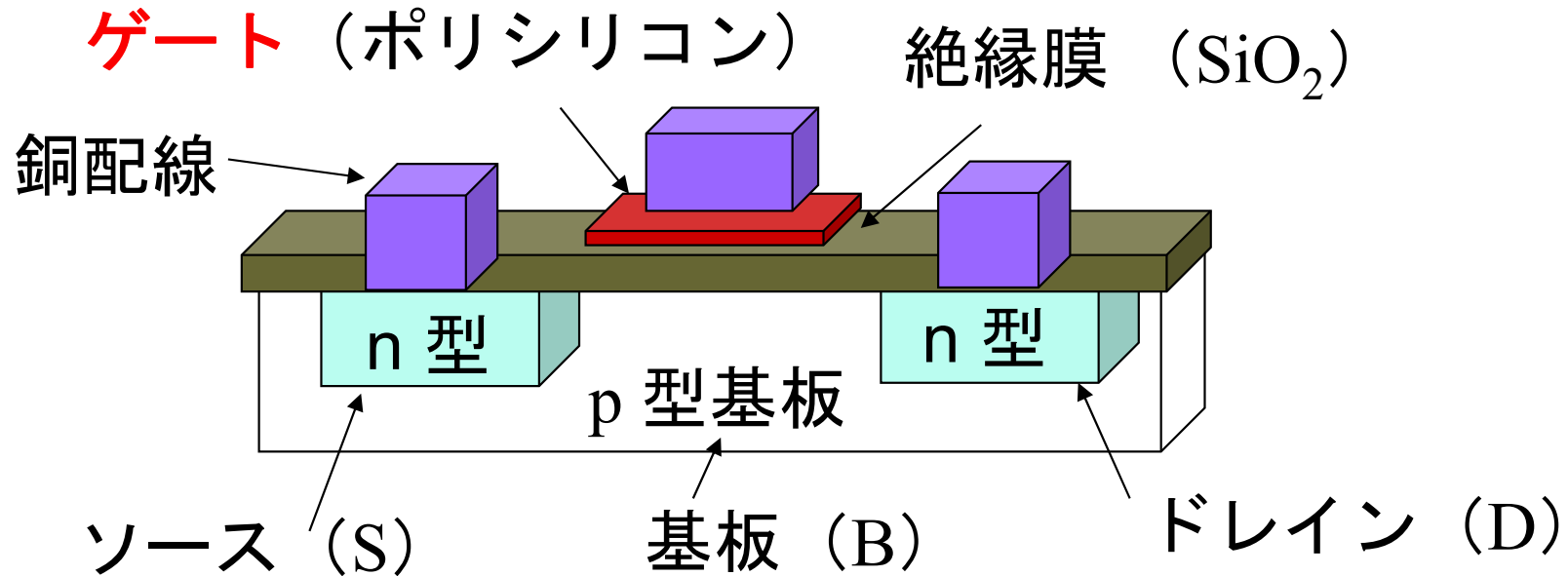
正孔が余る



p型半導体 (模式図)

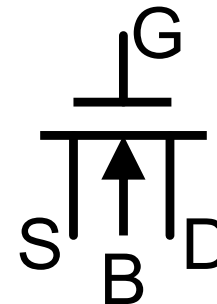
nMOSトランジスタ（スイッチとなる）

参考

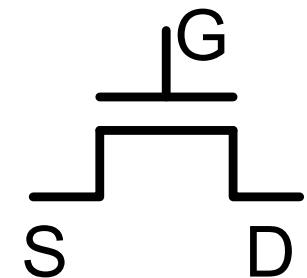


? に正の電圧を加えるとソース、ドレイン間に電子が集まる。→電気が流れる。

- ゲート入力が 0 V だと ?
- ゲート入力が 5 V だと ?



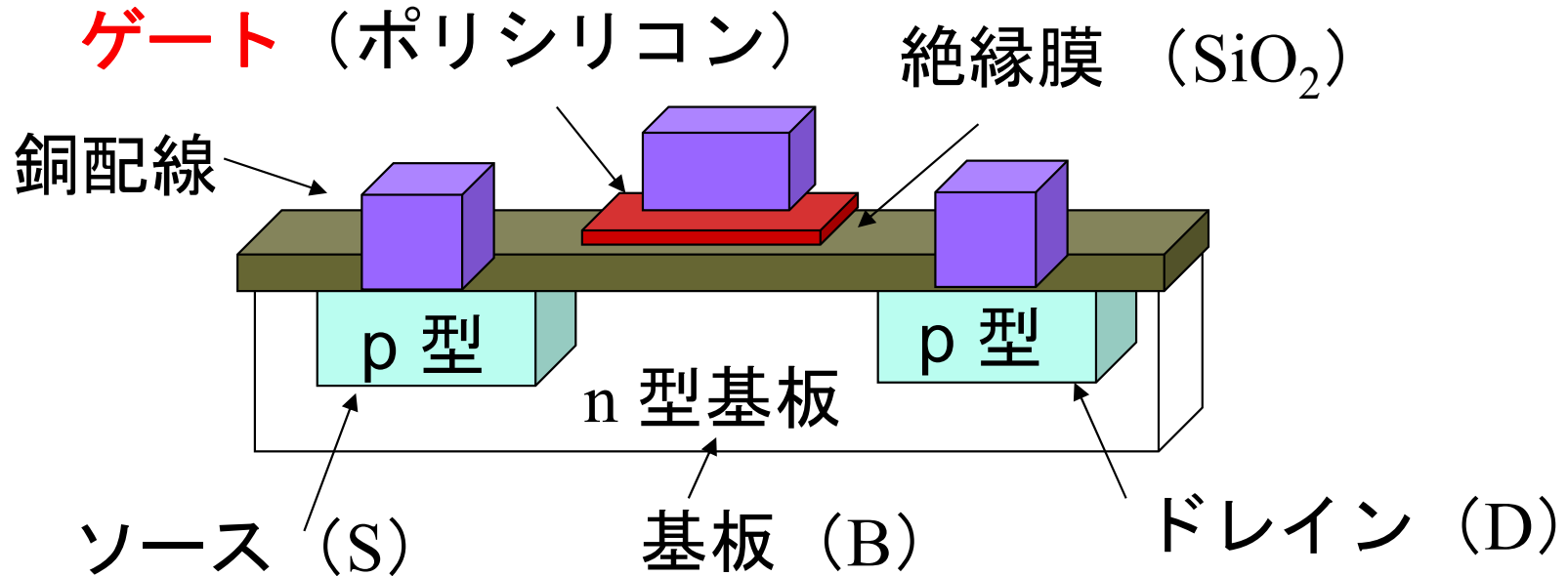
NMOSの回路図記号
(4端子表現)



簡略版の記号
(3端子表現)

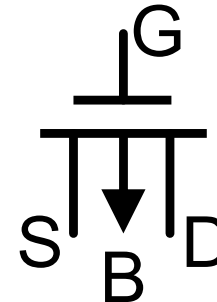
pMOSトランジスタ（nMOSと逆）

参考

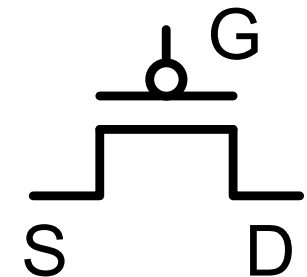


? に負の電圧を加えるとソース、ドレイン間に正孔が集まる。→電気が流れる。

- ゲート入力が 0 V だと ?
- ゲート入力が 5 V だと ?



PMOSの回路図記号
(4端子表現)



簡略版の記号
(3端子表現) **13**

MOS トランジスタ

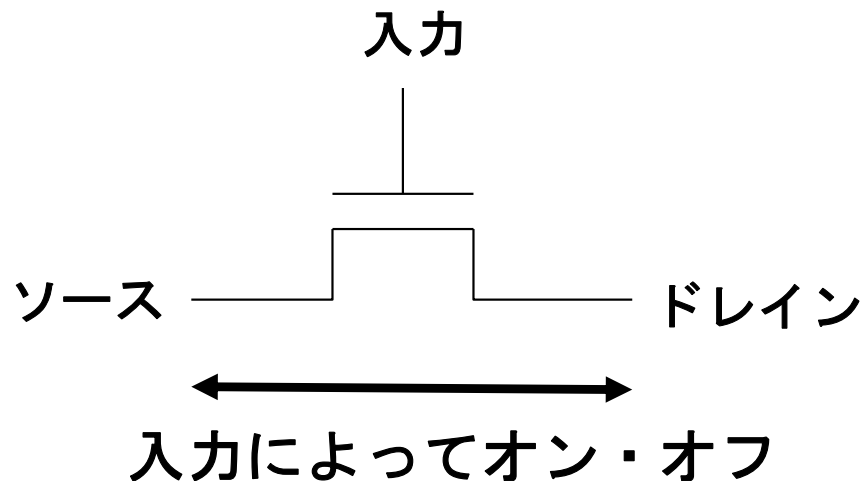
参考

- **M**etal
 - ゲート電極 = ポリ（多結晶）シリコン：導体
- **O**xide
 - SiO_2 (二酸化シリコン)：絶縁体
- **S**emiconductor
 - Si (シリコン)単結晶：半導体
- **電**氣的**ス**イ**ッ**チを実現する **トランジスタ**

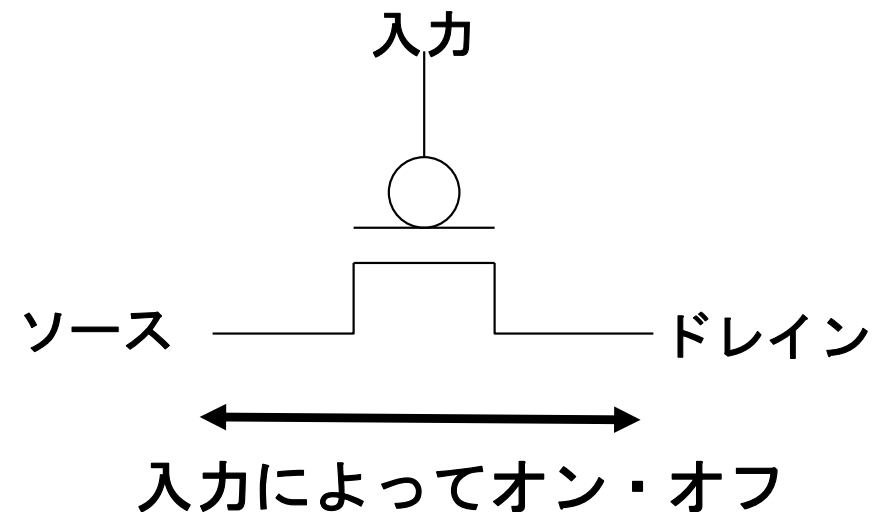
nMOS と pMOS (ここまでのまとめ)

電氣的なことはわからなくても、スイッチとしての論理動作は理解してほしい)

- nMOS トランジスタ
 - 入力が 0 の時オフ
 - 入力が 1 の時オン

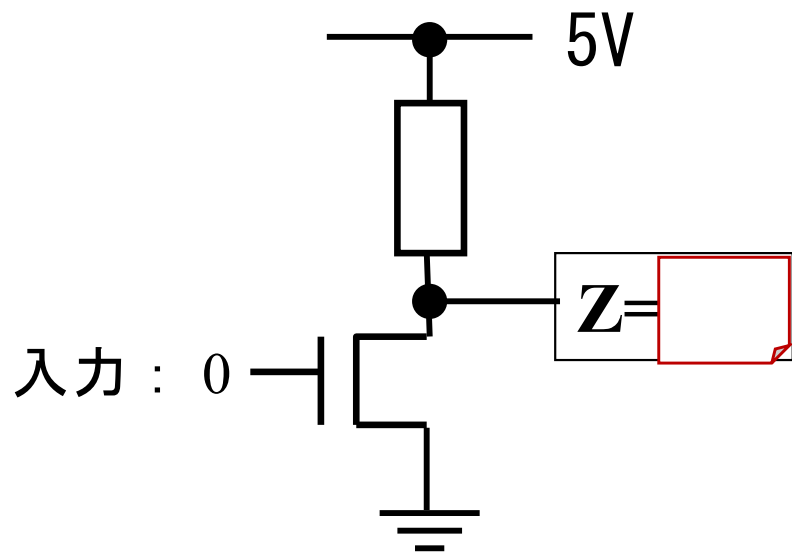


- pMOS トランジスタ
 - 入力が 0 の時オン
 - 入力が 1 の時オフ

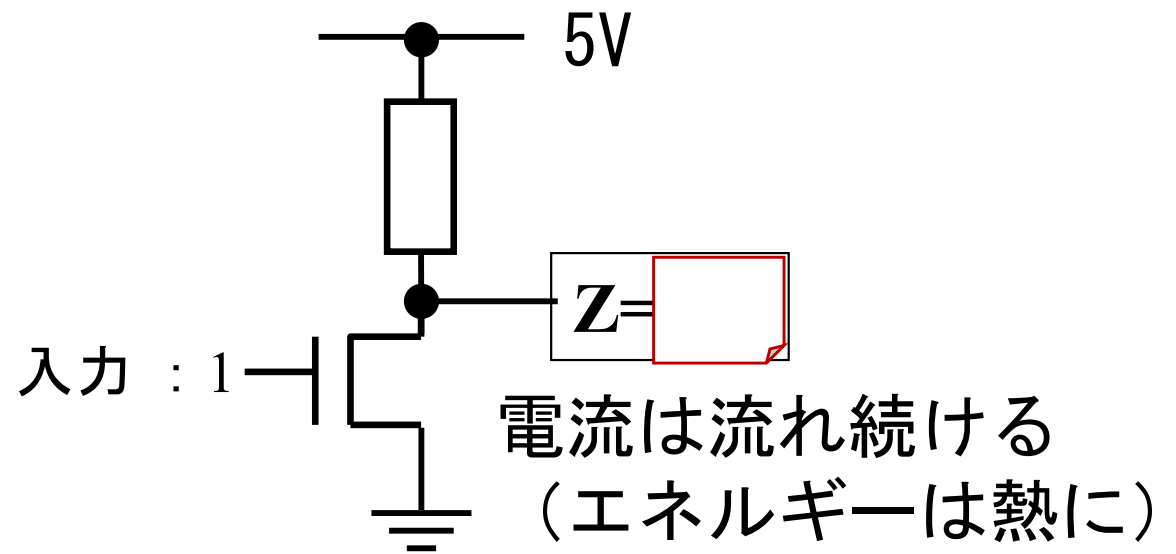


nMOS を用いた NOT ゲート

- 0 と 1 の反転を行うことができる
- 抵抗に電流が流れると電圧が下がる



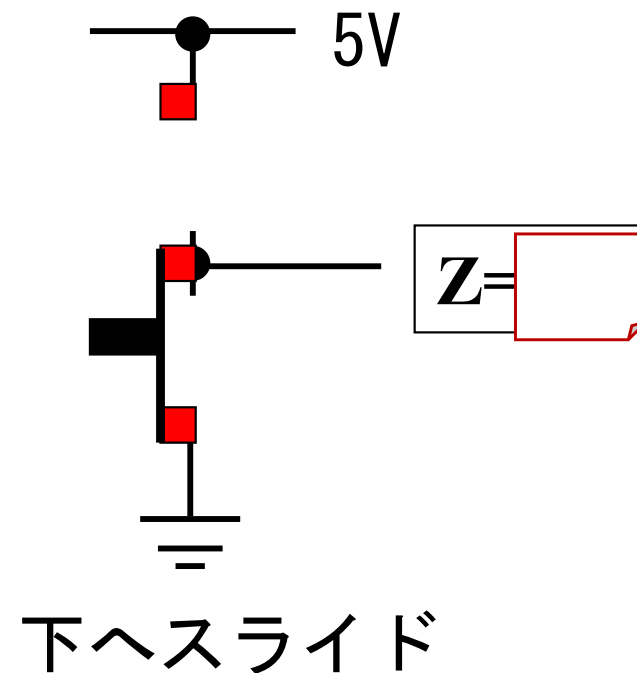
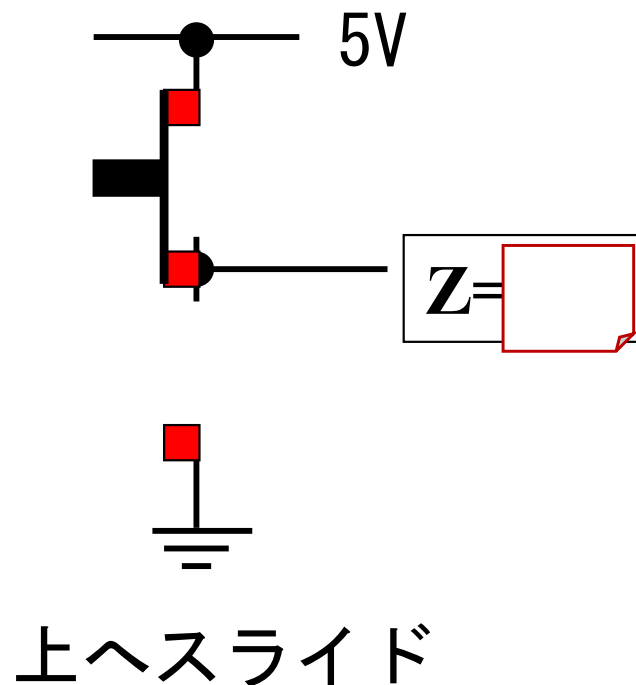
スイッチオフ



スイッチオン

連動スイッチを用いた処理

- 0 と 1 の反転を行うことができる
- にはエネルギーを消費しない

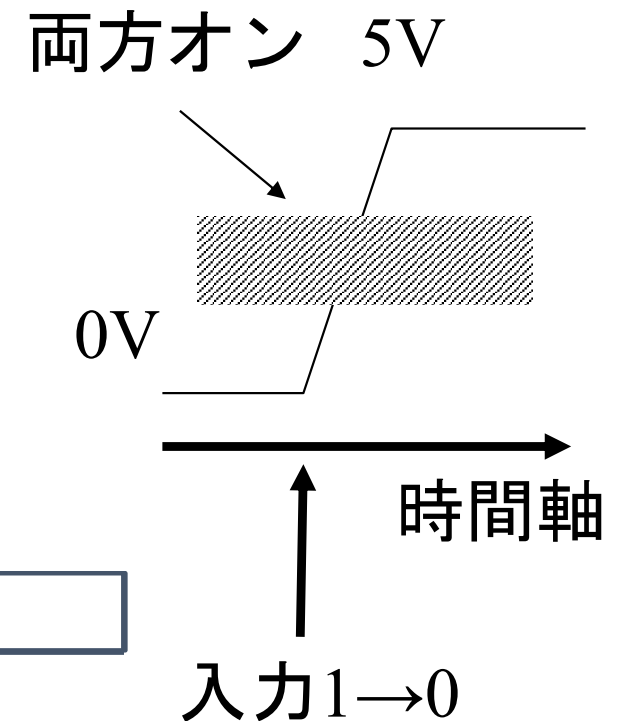
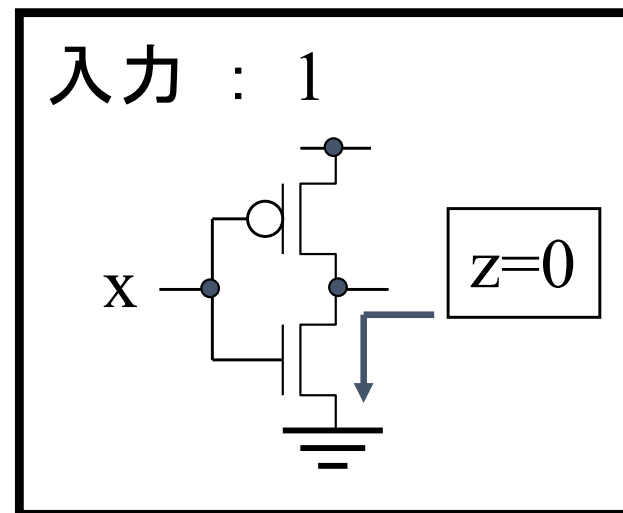
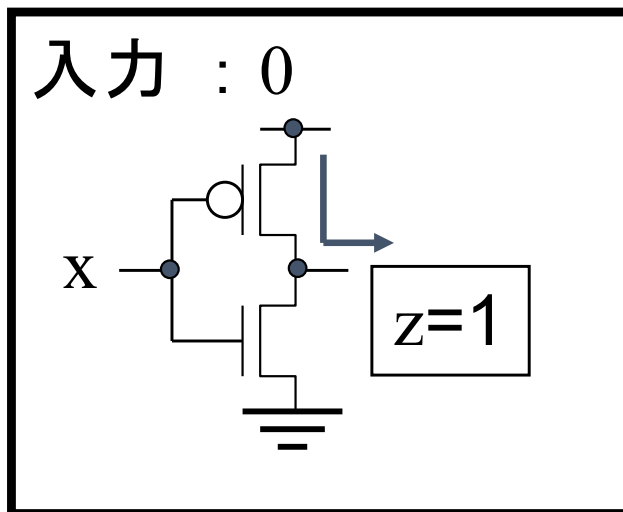


(ポイント) どちらの状態でも電流は流れない！

CMOS インバータ

CMOS: pMOSとnMOSを組み合わせて作る

- 0 と 1 の反転を行うことができる
- はエネルギーを消費しない
 - ただし入力の変化時にはエネルギーを消費



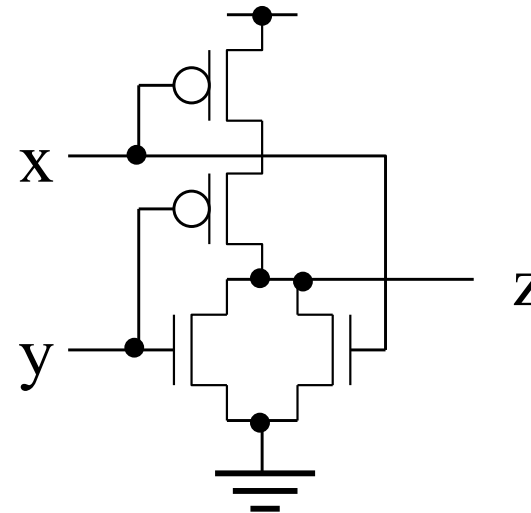
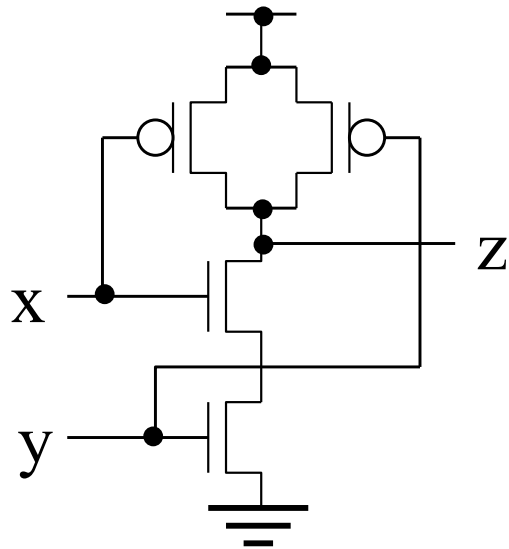
情報の人間には常識

- OR/NAND/NOR/AND/XOR の真理値表をかけ

	OR	AND	NOR	NAND	XOR
00					
01					
10					
11					

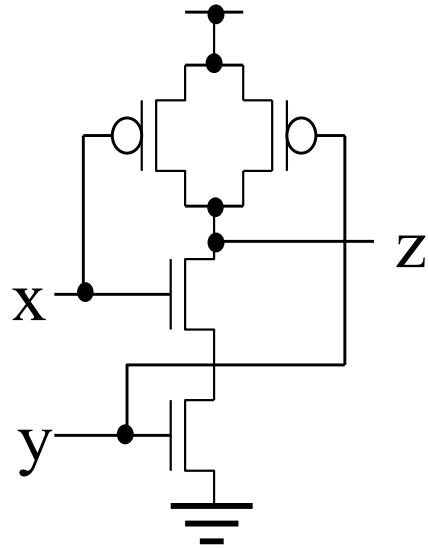
CMOS NAND と NOR

- 2 入力NAND
 - 入力が2つとも1なら0、そうでなければ1
- 2 入力 NOR
 - 入力が2つとも0なら1、そうでなければ0

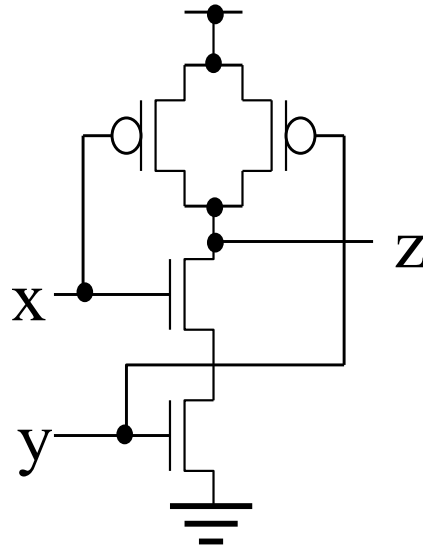


? を組み合わせて、論理ゲートができる。

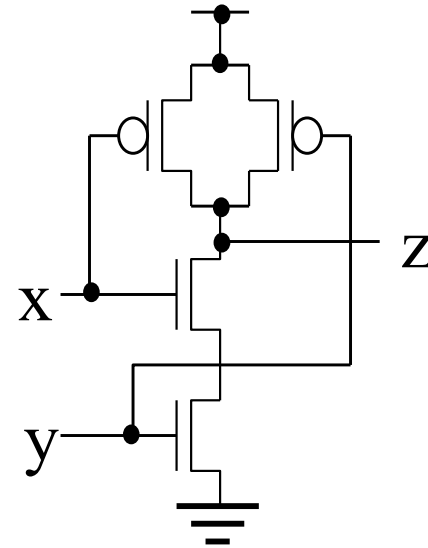
本当にNANDか自分で確かめてください



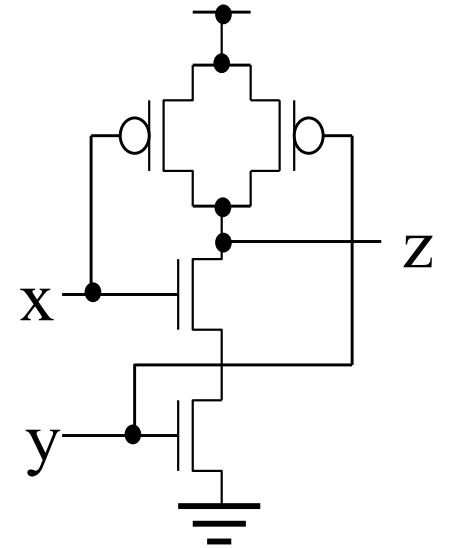
$x,y=0,0$



$x,y=0,1$



$x,y=1,0$



$x,y=1,1$

ミニクイズ

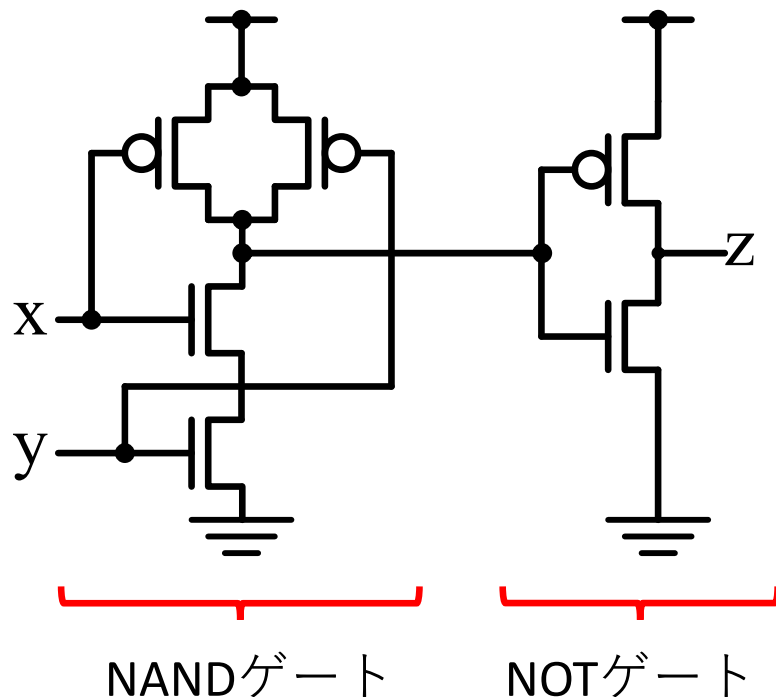
- AND をCMOSで実現するときの最小トランジスタ数は？

ミニクイズ

- AND をCMOSで実現するときの最小トランジスタ数は？

学生Aの解答：

「ネットで検索したら下のような図が見つかりました。
トランジスタ 6 個です。」



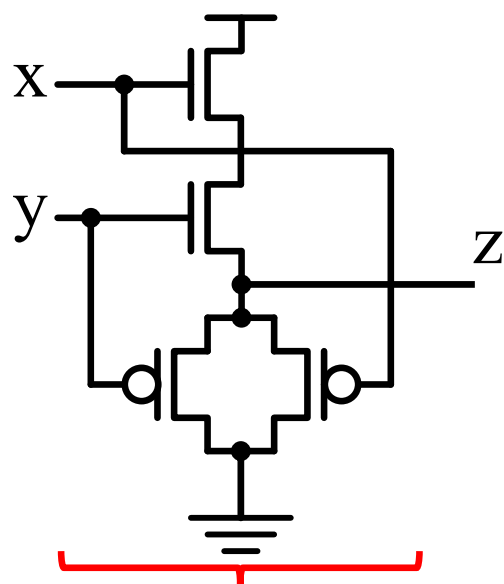
- 論理的には正しい（NANDのNOTだから、AND）
- これより少ないトランジスタ数では実現できないのか？

ミニクイズ

- AND をCMOSで実現するときの最小トランジスタ数は？

学生Bの解答：

「下の回路を考えました。トランジスタ4個です。」



NORゲートのNMOSと
PMOSを逆にしたもの

- 論理的には正しい（NORの入力を否定したので、ドモルガンの定理からANDになる筈）
- 実際は、閾値電圧の関係で十分な駆動力が得られず、使えない（残念！）
 - NMOSは1を通しにくく、PMOSは0を通しにくい
- でも、よく考えた！きっと君は将来、大発明するよ！

- デジタルシステムの動作最小単位＝スイッチ
 - スwitchの物理的なイメージ＝MOS, CMOS
 - CMOS NAND, CMOS NOR
 - 集積回路に関する諸知識
 - Technology Trend、歩留まり、電力の問題
-
- 教材：教科書の1.5節、1.7節、1.8節
 - ＋教科書にない内容（レジメで説明）

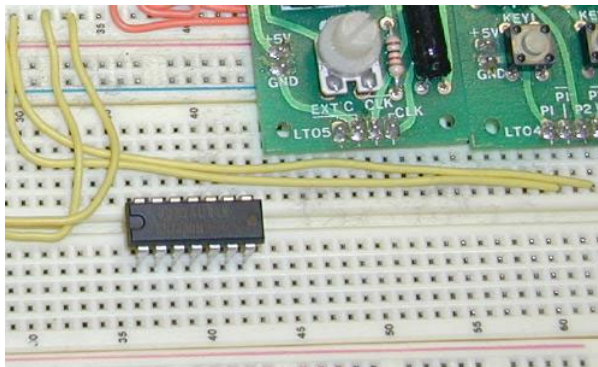
現代用語の基礎知識

下線は試験に出るかも

- **大規模集積回路**

Si (シリコン)基板に実現された論理回路

- IC () (100-1000ゲート)
- LSI () (数千～数万)
- VLSI () (10万以上)
- ULSI () (100万以上)



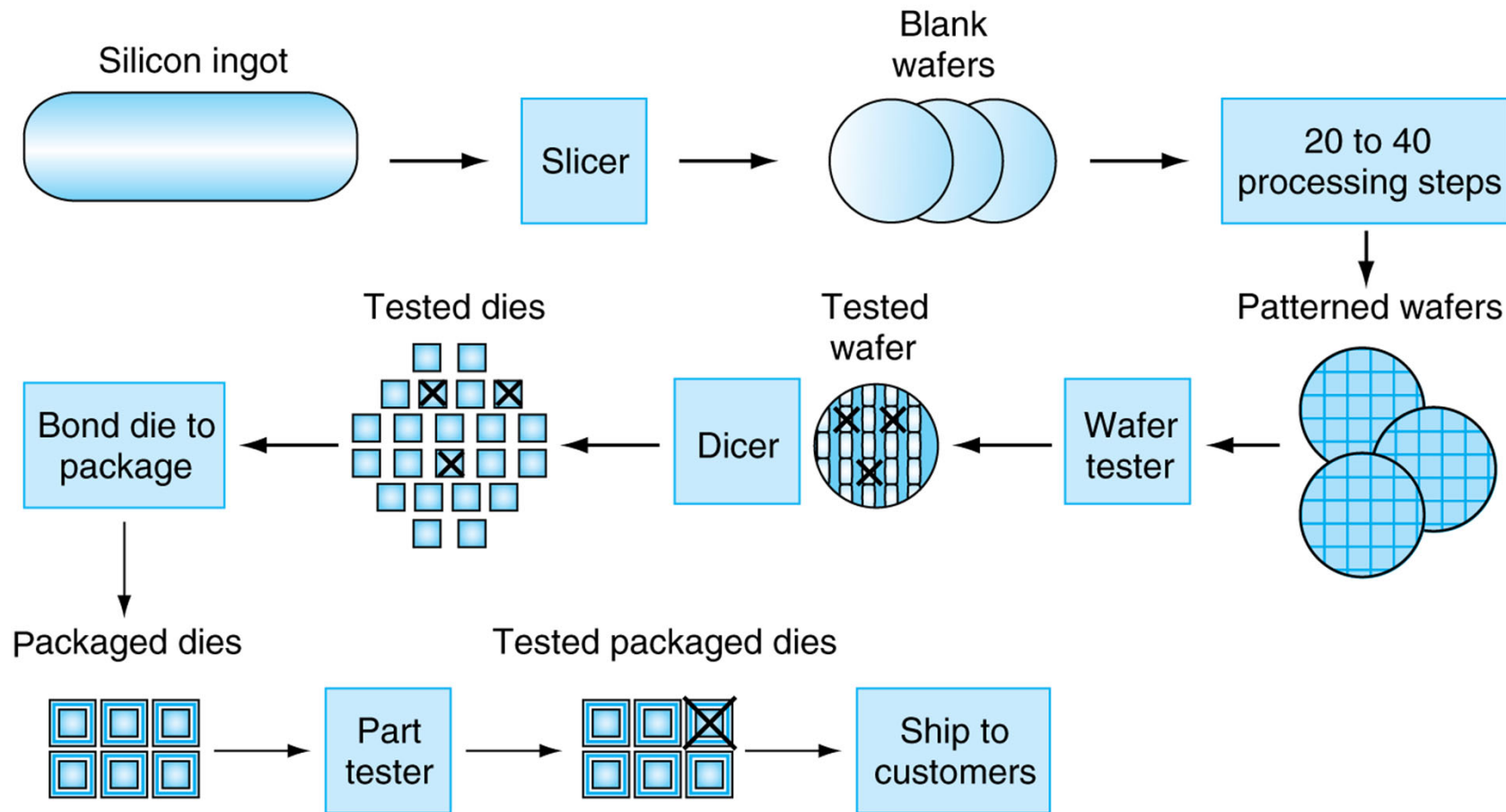
TTL7400 (4ゲート)



Altera Stratix IV FPGA (1500万ゲート相当)

LSIの製造工程の流れ

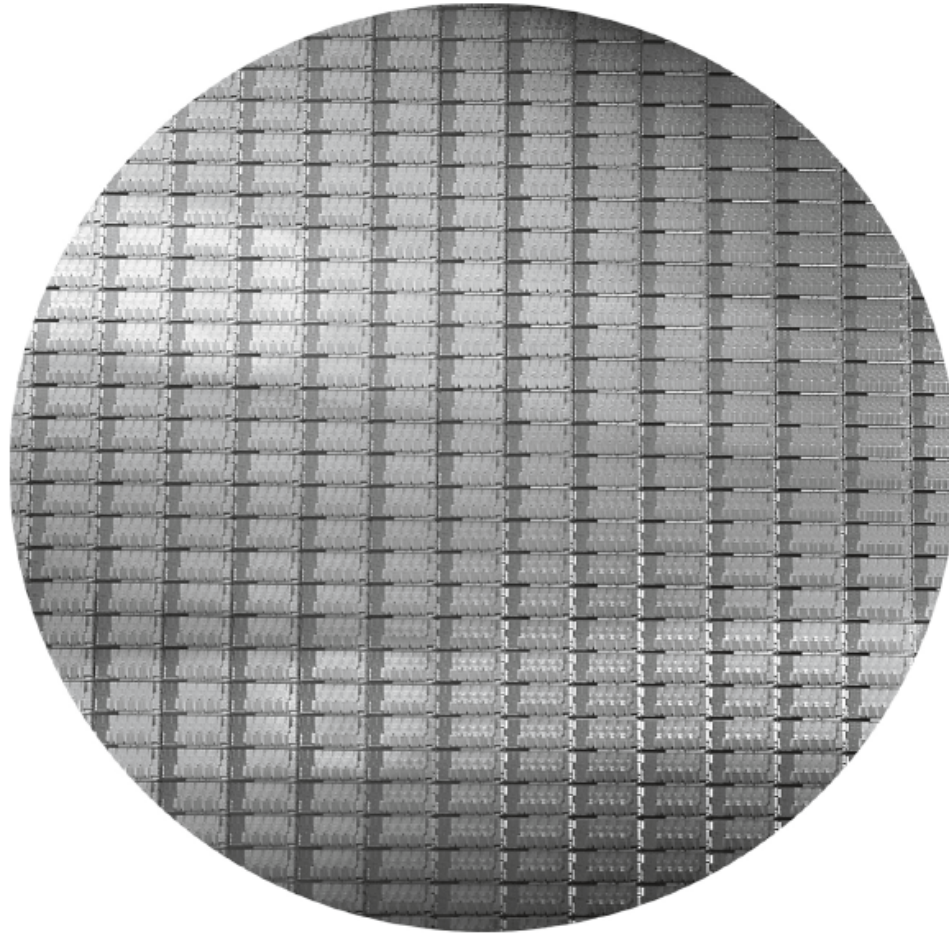
教科書図1.12 (英語版)



• Yield: 歩留まり = of working dies per wafer

• die (1) [動詞]死ぬ, (2) [名詞]サイコロ, さいの目に切ったもの

Intel Core i7 Wafer



教科書図1.13 (英語版)

- 300mm wafer, 32nm technology
- 歩留まりが100%だと280個のダイ

集積回路の製造コスト (教科書p28)

演習問題 A

歩留まりが以下になるとすると、
ダイの面積とコストの関係を説明せよ。
(コストはダイの面積の何次関数となるか?)

$$\text{歩留まり} \propto \frac{1}{\left(1 + \left(\text{単位面積当たりの欠陥数} \times \text{ダイの面積} / 2\right)\right)^2}$$

解答 (続きは自分で考えよう)

$$\text{ダイひとつのコスト} = \frac{\text{ウエーハ 1 枚のコスト}}{\frac{\text{ダイの数}}{\text{ウエーハ}}} \times \boxed{}$$

$$\frac{\text{ダイの数}}{\text{ウエーハ}} \approx \frac{\text{ウエーハの面積}}{\text{ダイの面積}}$$

演習 A の解答の続き

2つ目の式に、1つ目と3つ目の式を代入すればOK

ダイひとつのコスト

$$= \frac{\text{ウエーハ 1 枚のコスト}}{\frac{\text{ダイの数}}{\text{ウエーハ}} \times \text{歩留まり}}$$

$$\approx \frac{\text{ウエーハ 1 枚のコスト}}{\frac{\text{ウエーハの面積}}{\text{ダイの面積}} \times \text{歩留まり}}$$

$$\propto \frac{\text{ウエーハ 1 枚のコスト} \times \text{ダイの面積} \times \left(1 + \left(\text{単位面積当たりの欠陥数} \times \text{ダイの面積} / 2\right)\right)^2}{\text{ウエーハの面積}}$$

最後の式で「ダイの面積」以外は製品ごとには変わらない、その生産現場（技術）固有の定数と考えられる。

コストは「ダイの面積」の3次関数となる（係数はすべて正）
→できるだけ面積を減らしたほうがよい

内容

「半導体の基本」を常識として知っておこう！

- デジタルシステムの動作最小単位＝スイッチ
 - スwitchの物理的なイメージ＝MOS, CMOS
 - CMOS NAND, CMOS NOR
 - 集積回路に関する諸知識
 - Technology Trend、電力の問題
-
- 教材：教科書の1.5節、1.7節、1.8節
 - ＋教科書にない内容（レジメで説明）

Technology Trends

ムーアの法則

1.5年で一定面積当たりのトランジスタ数が2倍ぐらいに

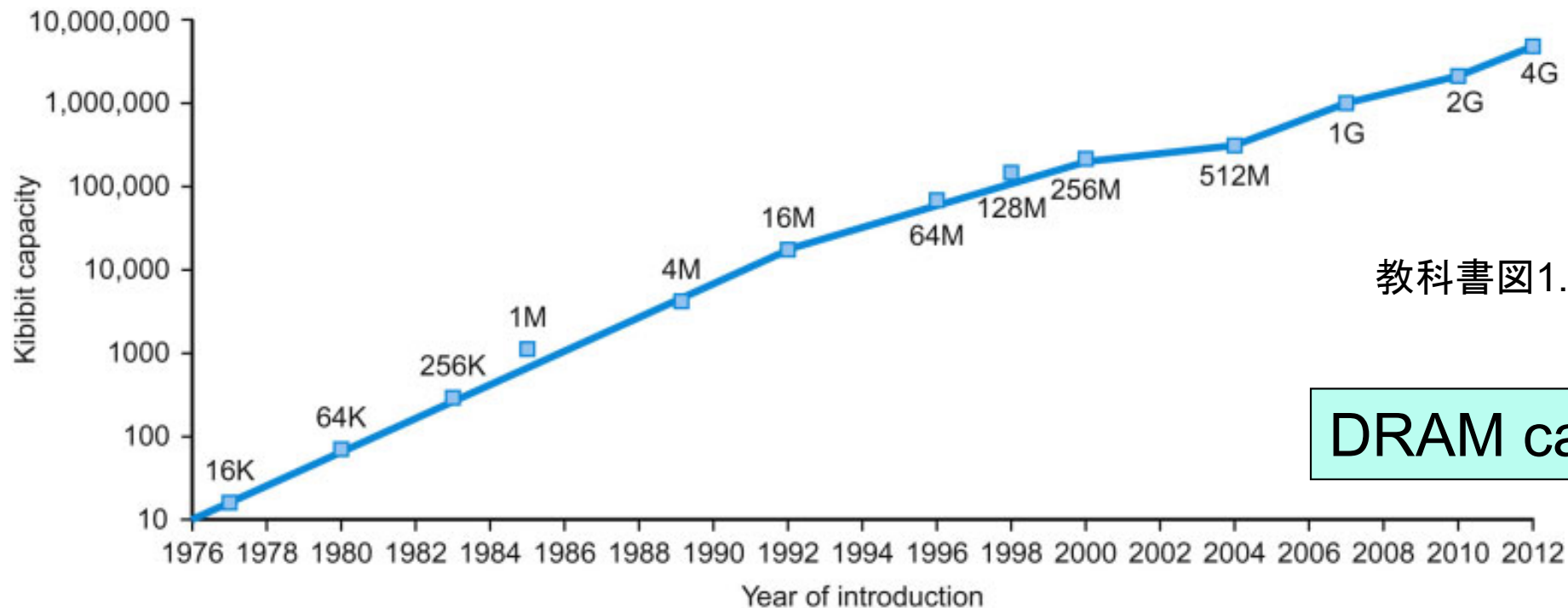
- 容量 Up
 - 性能 Up
 - コスト Down
- 】につながる

相対コスト性能比の変遷

教科書図1.10 (英語版)

Year	Technology used in computers	Relative performance/unit cost
1951	Vacuum tube	1
1965	Transistor	35
1975	Integrated circuit	900
1995	Very large-scale integrated circuit	2,400,000
2013	Ultra large-scale integrated circuit	6,200,000,000

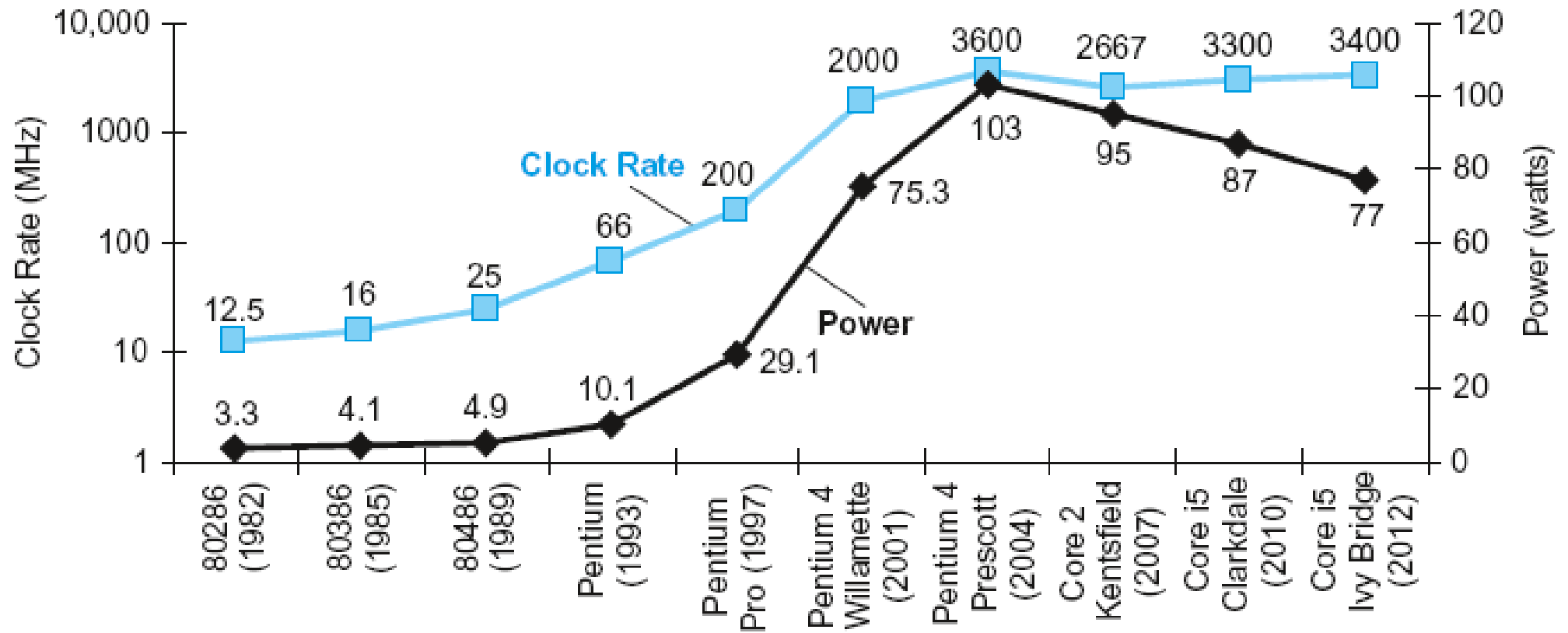
←トランジスタの線幅が1.5年で $1/\sqrt{2}$ 倍になるといっている。



教科書図1.11 (英語版)

Power Trends

教科書図1.16 (英語版)



- CMOSの場合

$$\text{Power} = \text{Capacitive load} \times \text{Voltage}^2 \times \text{Frequency}$$

大幅増

減少

微減

大幅増

電力の壁

教科書p41の相対電力の計算問題

- 新しいCPUは従来に比べて
 - 容量性負荷，電圧，周波数がすべて85%とすると電力はどうなるか？

$$\frac{P_{\text{new}}}{P_{\text{old}}} = \frac{C_{\text{old}} \times 0.85 \times (V_{\text{old}} \times 0.85)^2 \times F_{\text{old}} \times 0.85}{C_{\text{old}} \times V_{\text{old}}^2 \times F_{\text{old}}} = 0.85^4 = 0.52$$

■ 電力の壁：

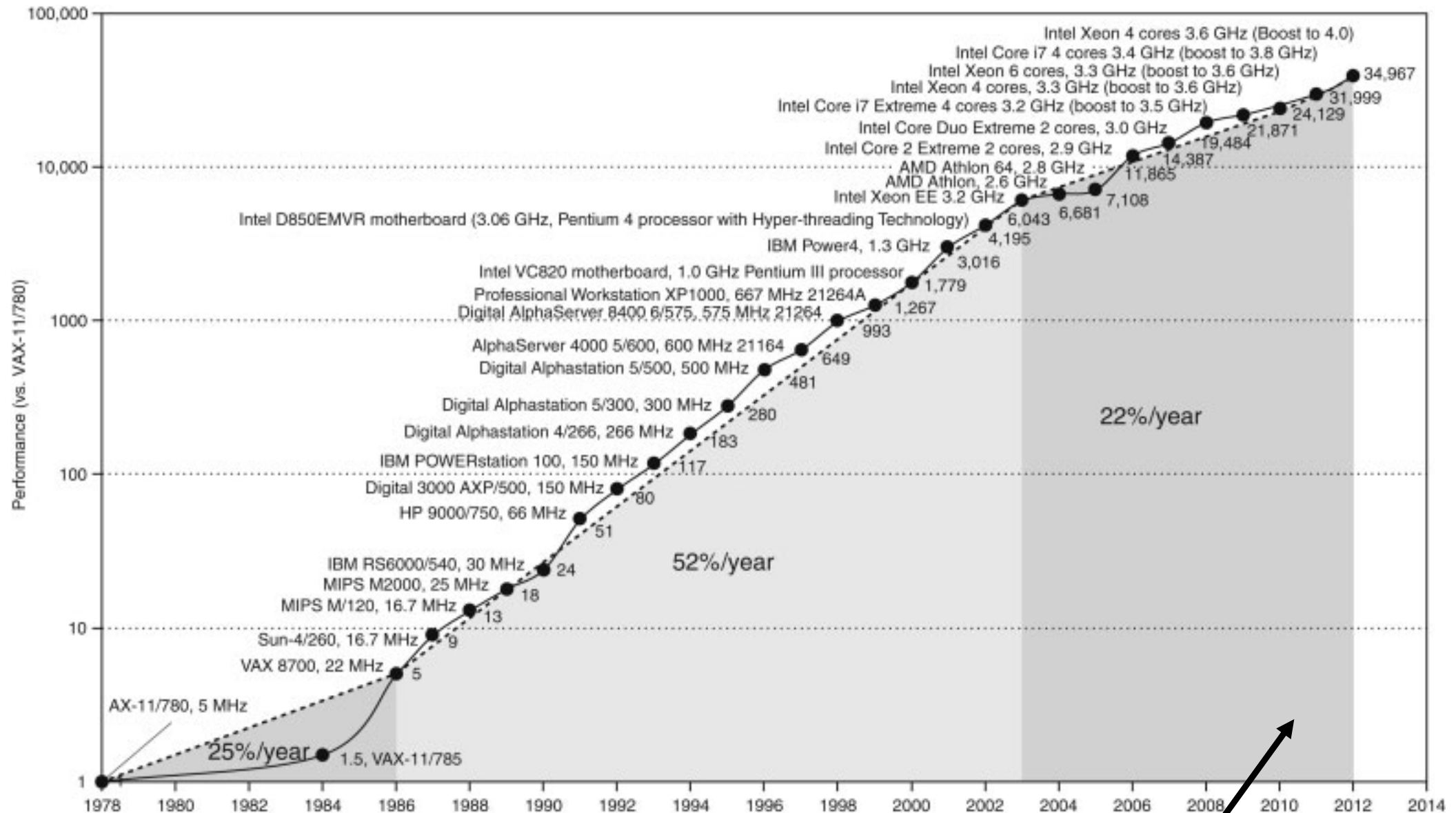
- 現状の電圧をさらに下げるのは難しい
- 発熱の問題

→ 単体プロセッサの性能向上の限界（次ページ）

→ マルチプロセッサ，マルチコアへ

単体プロセッサの性能向上

教科書図1.17 (英語版)



Constrained by **power**, instruction-level parallelism, memory latency

CMOS の消費電力

演習問題 B

**CMOSトランジスタの消費電力が何に比例するかを、
C: トランジスタの寄生容量、F: (クロック)周波数、
V: 電圧 を用いて議論せよ。**

演習問題 C

1. CMOS 3NAND (3 入力 NAND) の回路図を示し、入力 (A,B,C) が (0,0,1) の時、(0,0,0) の時および (1,1,1) の時を例にとり、各トランジスタの ON, OFF がどうなっているかを示して、その3つの場合に正しく NAND の出力をしていることを説明せよ。(トランジスタに適当に番号などを打って、わかりやすく説明すること)

$$F = \overline{A \cdot B \cdot C}$$

3入力 NAND : (入力が 3 つとも 1 なら 0、それ以外は 1)

2. 上記の回路において、入力に変化しない場合には(十分時間がたった後は)電流が流れない(VddからGNDに電流が流れ続けることがない)ことを説明せよ。

Lec. 2での要チェック用語集

pMOS

nMOS

CMOS

NAND

NOR

半導体

トランジスタ

IC (Integrated Circuit)

LSI (Large Scale Integration)

VLSI (Very LSI)

ULSI (Ultra LSI)

SoC

歩留まり (Yield)