

電気電子回路

第6回：電界効果トランジスタ

field effect transistor (FET)

今週の目標

- 電界効果トランジスタ(FET)の仕組みと動作原理を理解する
 - 接合型FET(3端子)とMOS型FET(4端子)
 - nチャネルFETとpチャネルFET
 - 端子名:ゲート、ドレイン、ソース、(基板)
- FETの主要な特性を理解する
 - 遮断領域、線形領域、飽和領域
- MOSFETを用いた基本的な回路の動作を理解する

MOSFETは実用的に重要！

- 大規模集積回路(数ミリ角のチップ上に数億個！)
- 高効率な電力制御(電気自動車など)

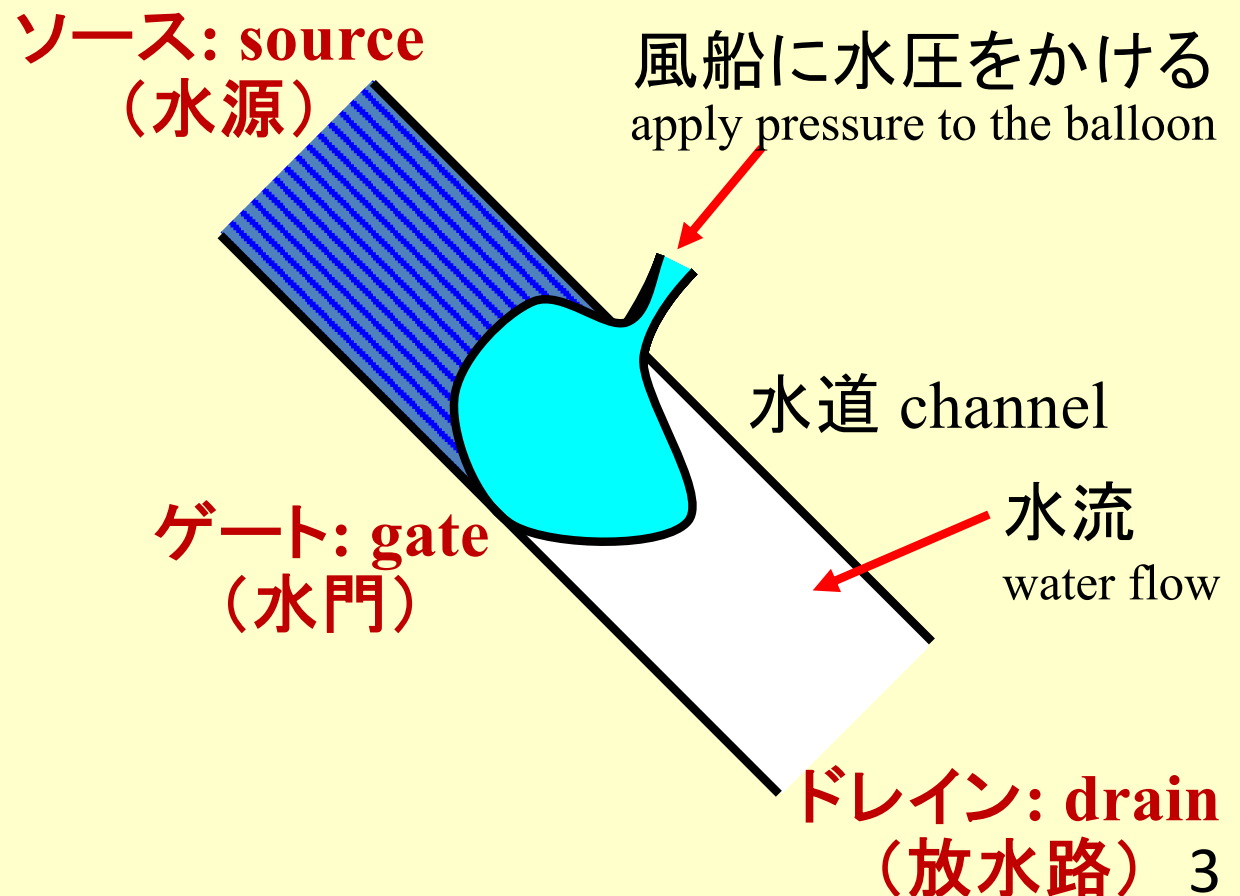
電界効果トランジスタ(FET)の概要

- 半導体に電界(electric field)をかけることにより、キャリア(電子 or 正孔)の通り道(チャンネル channel)の大きさを覚えて電流を制御する素子

水流に例えると...

an analogy to water flow...

- 風船に水圧をかけると、風船が膨らみ、水道管を水が流れにくくなる
- 「風船の中の水」と「水道管の中の水」は混ざり合わない



電界効果トランジスタ(FET)の分類

軽く説明する

- 最初に発明されたのは「接合型」
- 「MOS型FET」は現在の集積回路の主流

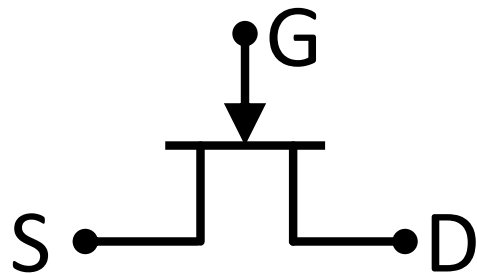
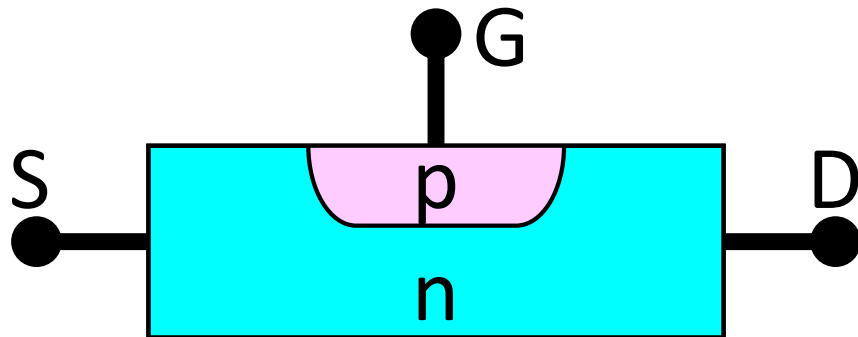
今日の
メイン

構造(structure)	閾値電圧(threshold voltage)	チャネル(channel)
接合型FET junction FET (JFET) ・ゲートはPN接合	デプレッション型 depletion type ・ $V_{GS} = 0$ で導通	nチャネル
		pチャネル
MOS型FET metal-oxide semiconductor FET (MOSFET) ・ゲートは絶縁された電極	デプレッション型 depletion type ・ $V_{GS} = 0$ で導通	nチャネル
		pチャネル
	エンハンスメント型 enhancement type ・ $V_{GS} = 0$ では非導通	nチャネル
		pチャネル

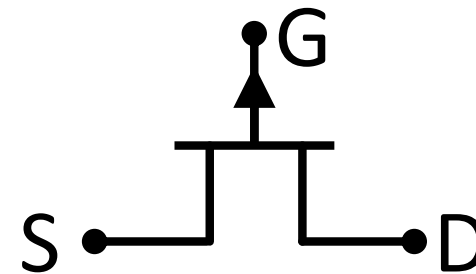
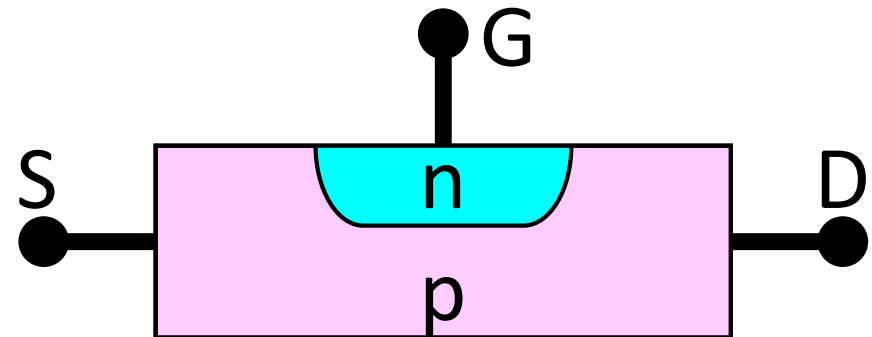
junction FET (JFET)

接合型FET(教科書 図6.3)

- pn接合でゲート電極を付けたFET



nチャネル接合型FETの
構造と回路図記号



pチャネル接合型FETの
構造と回路図記号

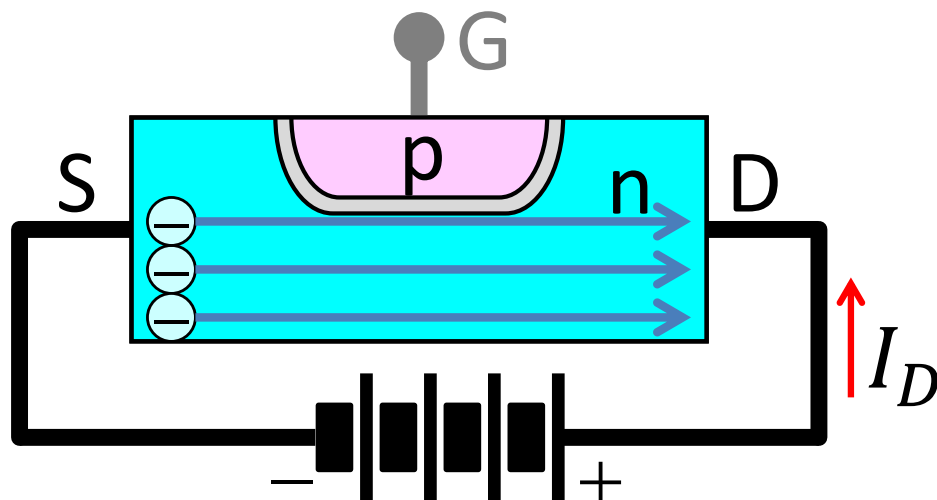
接合型FETの動作原理(教科書 図6.4)

※ 接合型FETでゲートーソース間に順方向電圧をかける使い方は禁止

- nチャネルの場合を説明する
 - pチャネルはキャリアが正孔となり、電圧・電流の向きが逆になる

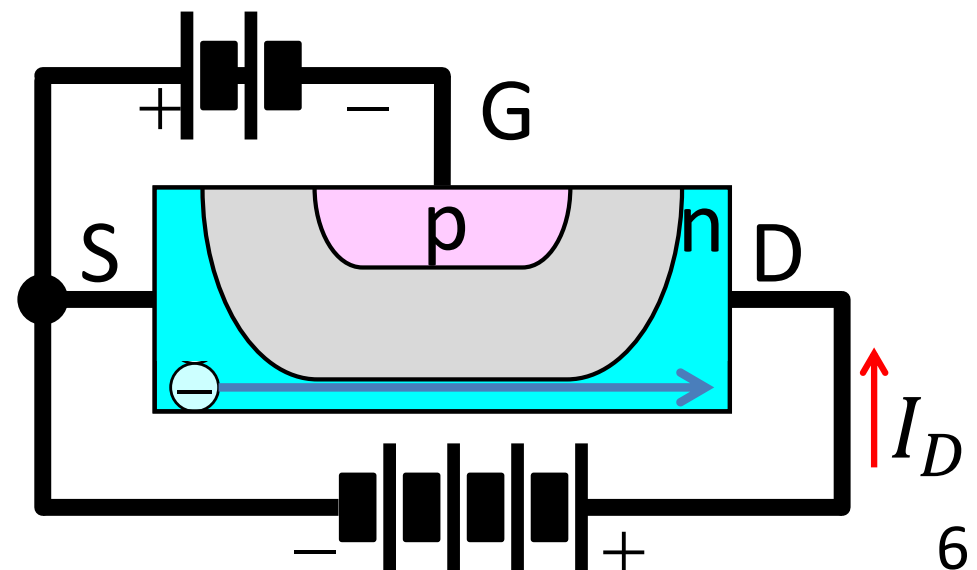
ゲートに電圧をかけない時

- ドレインーソース間に電圧をかけると、n型半導体内を電子が移動できるため、ドレイン電流 I_D が流れる



ゲートに負の電圧をかけた時

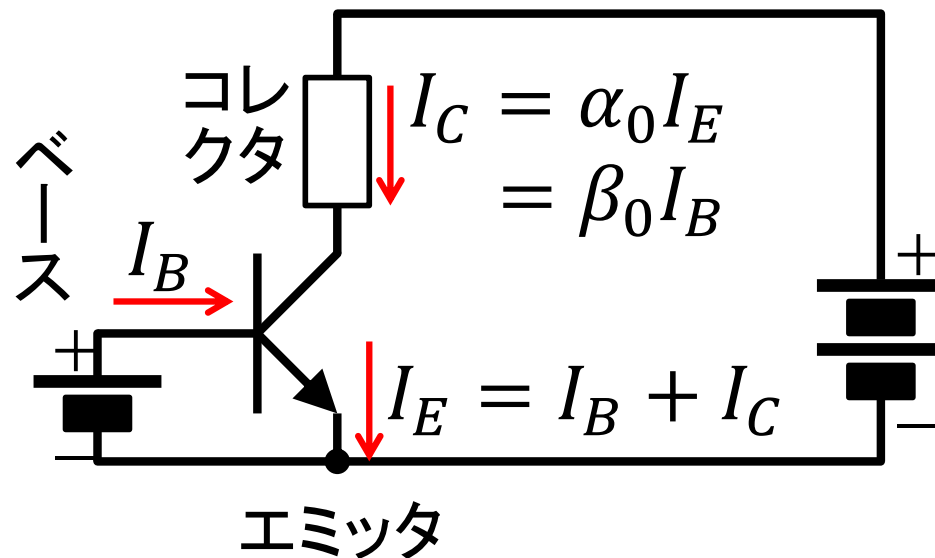
- ゲート周囲の電子が電界に反発して空乏層が広がり、電流の通路(チャネル)が狭くなり、 I_D が減少



バイポーラトランジスタと接合型FETの違い

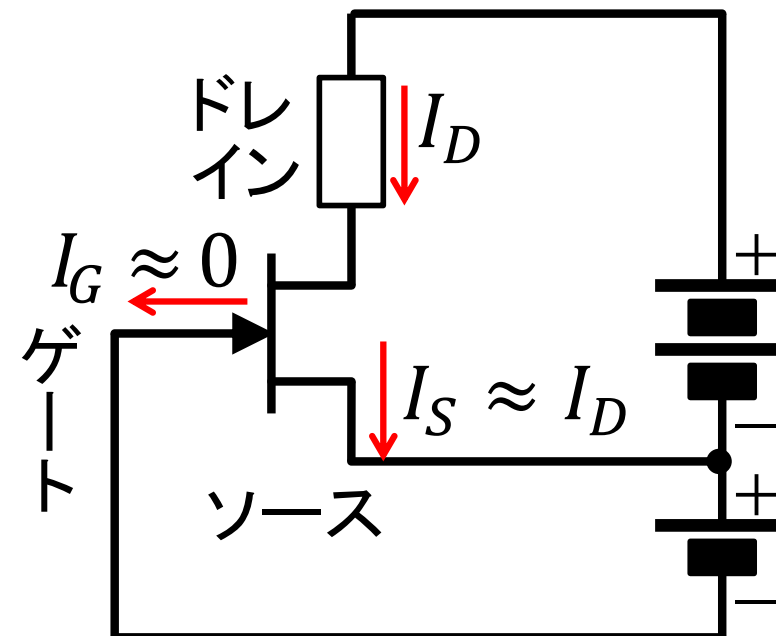
バイポーラトランジスタ

- ベース電位はエミッタ電位より高くする(順バイアス)
- ベースに電流が流れる



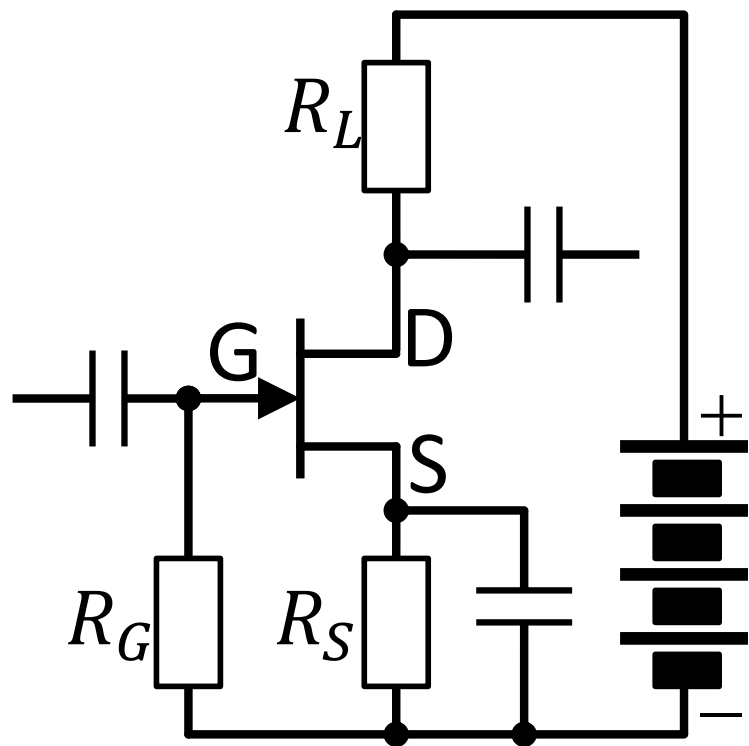
接合型FET

- ゲート電位はソース電位より低くする(逆バイアス)
- ゲート電流はほぼゼロ



〔参考〕接合型FETのバイアス回路

- nチャネル接合型FETはゲート電位をソースよりも低くしなければならない（デプレッション型）
- このため、実用的には例えば下図のようなバイアス回路が使われる

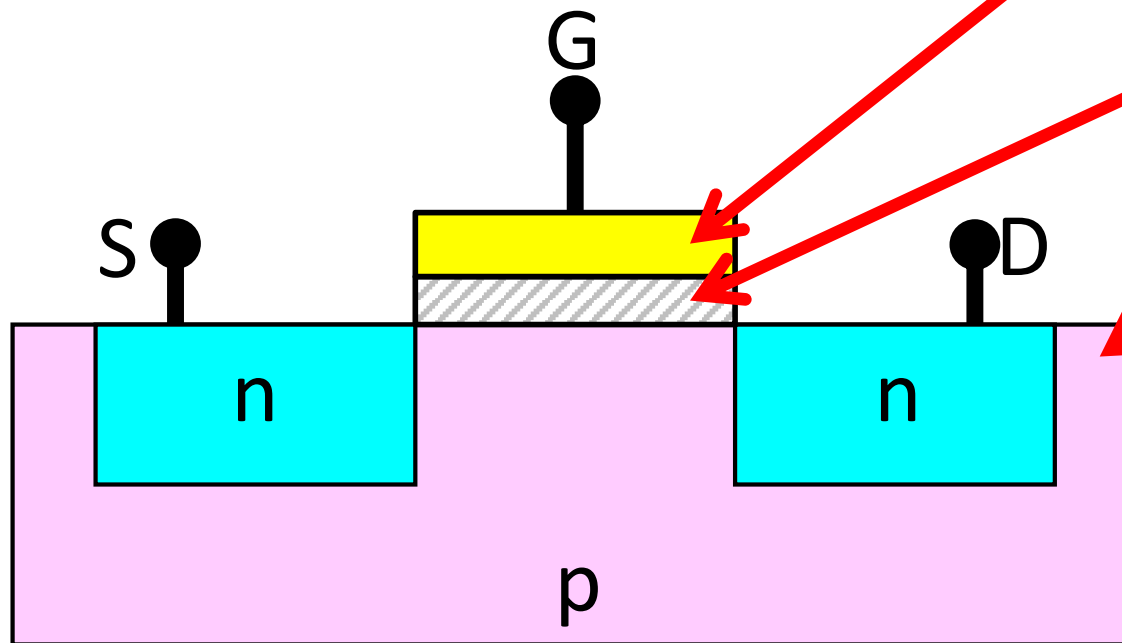


- R_G はゲートの直流電位を固定するためのもの
 - $1\text{M}\Omega$ 程度の高抵抗にする
- R_S によりソースの直流電位がゲートより高くなる
 - 例えば R_S が $1\text{k}\Omega$ 、 $I_S (= I_D)$ が 2mA なら、ソース電位はゲート電位より 2V 高くなる

MOS型FET

今日の
メイン

- 半導体基板上に薄い酸化物絶縁膜を形成し、この膜を介して電界をかける



金属(Metal)

普通は多結晶シリコン

酸化物(Oxide)

普通は二酸化シリコン

半導体(Semiconductor)

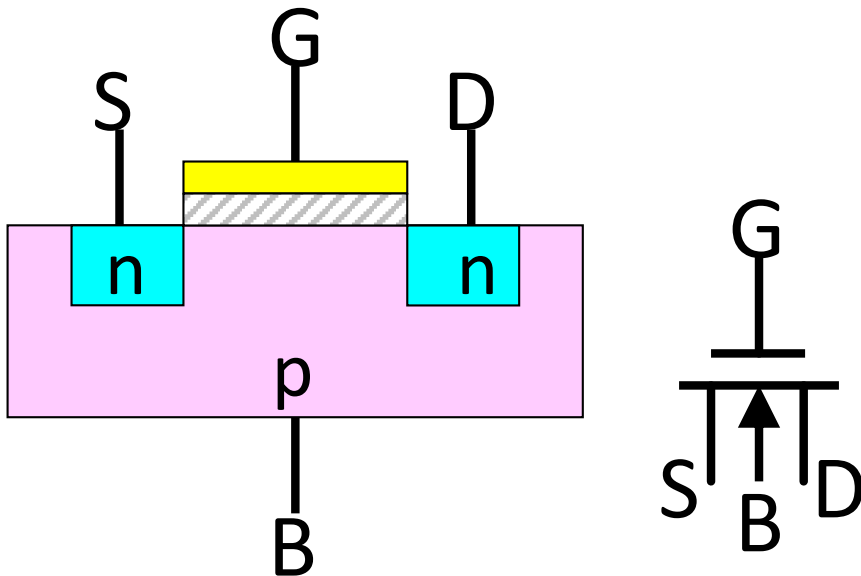
普通は単結晶シリコン

● B : base, body, substrate, backgate等
いろいろな呼び方が使われている 9

NMOSとPMOS

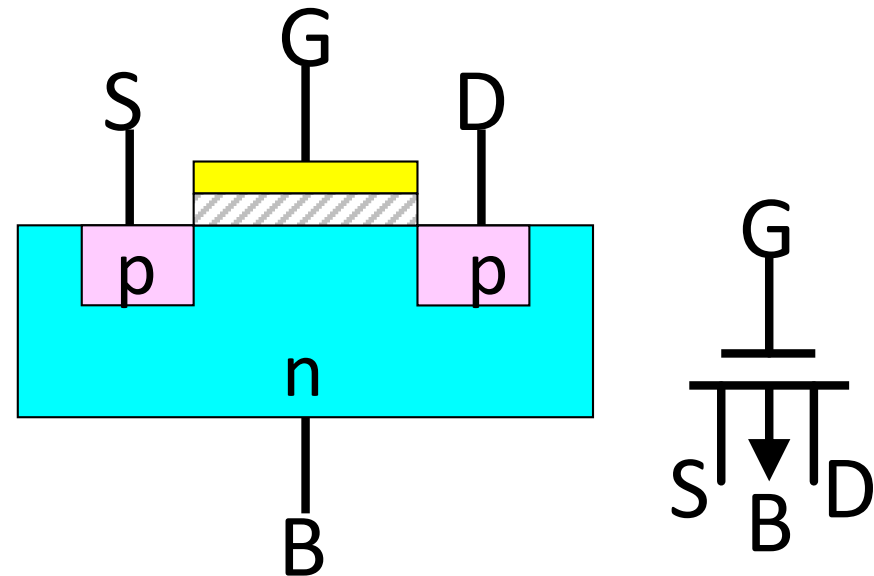
nチャネルMOS型FET(NMOS)

- **p型** 半導体基板上に形成
- ゲートに**正**の電圧をかけると、ソースドレイン間に**n型**の領域(チャネル)が生じ、**電子**が移動できるようになる



pチャネルMOS型FET(PMOS)

- **n型** 半導体基板上に形成
- ゲートに**負**の電圧をかけると、ソースドレイン間に**p型**の領域(チャネル)が生じ、**正孔**が移動できるようになる



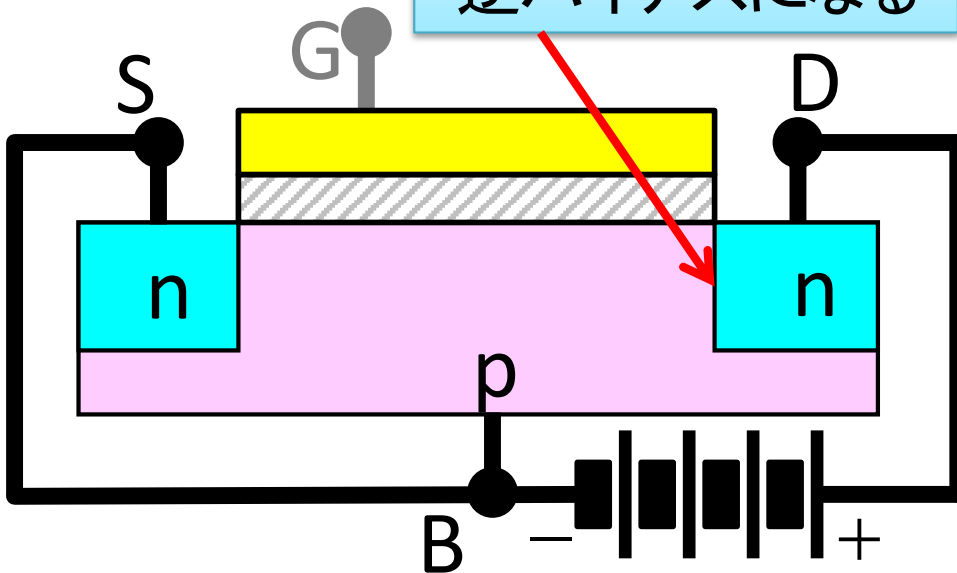
MOSFETの動作原理の概要

- nチャネルの場合を説明する
 - pチャネルはキャリアが正孔となり、電圧・電流の向きが逆になる

ゲートに電圧をかけない時

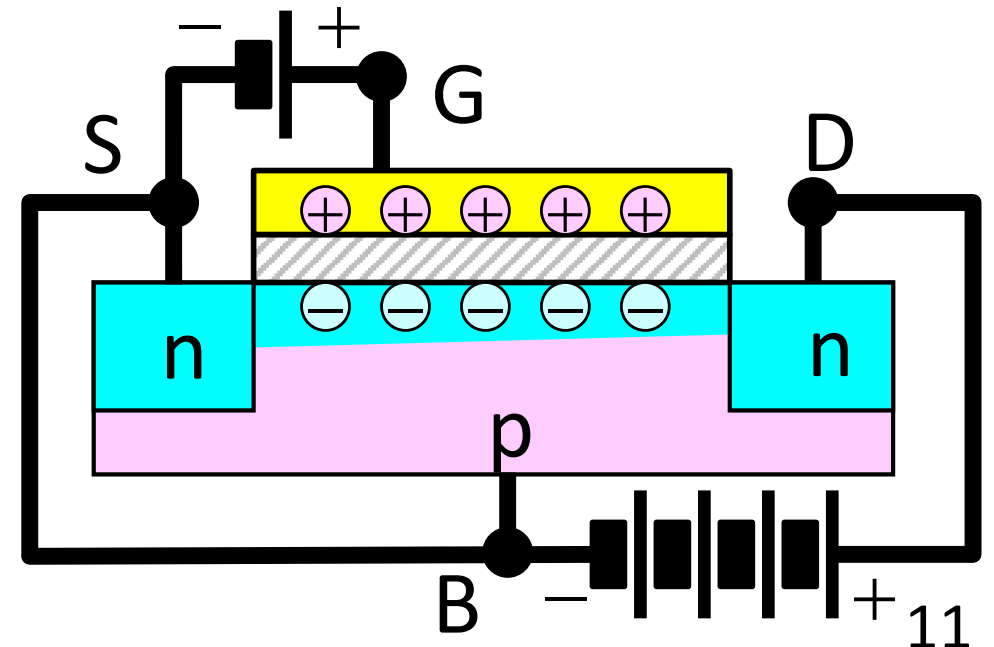
- ドレインに正電圧をかけても、ドレイン電流 I_D は流れない

このpn接合が
逆バイアスになる



ゲートに正の電圧をかけた時

- ゲート周囲に電子が引き寄せられ、電流の通路(チャネル)が生じ、 I_D が流れる

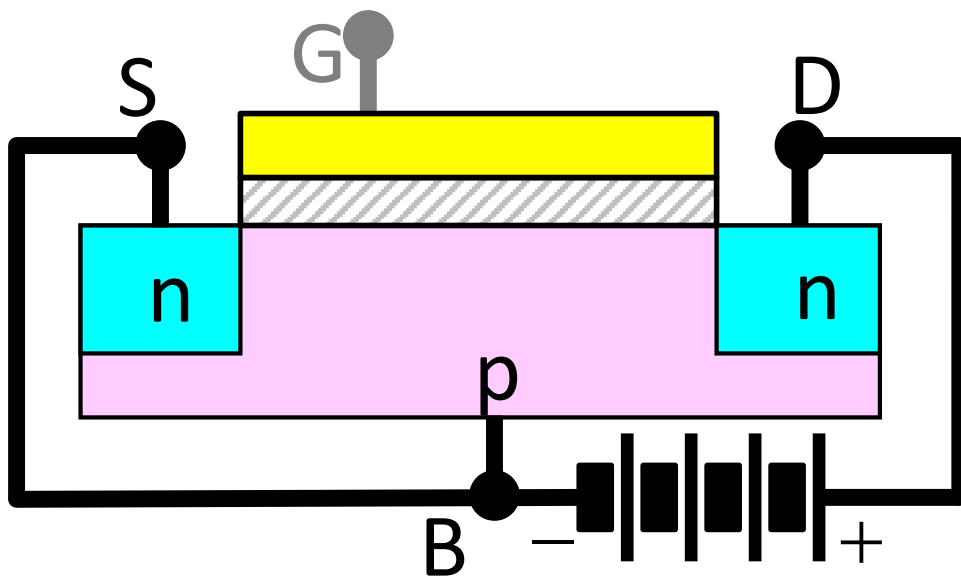


デプレッション型とエンハンスメント型

- nチャネルの場合を説明する

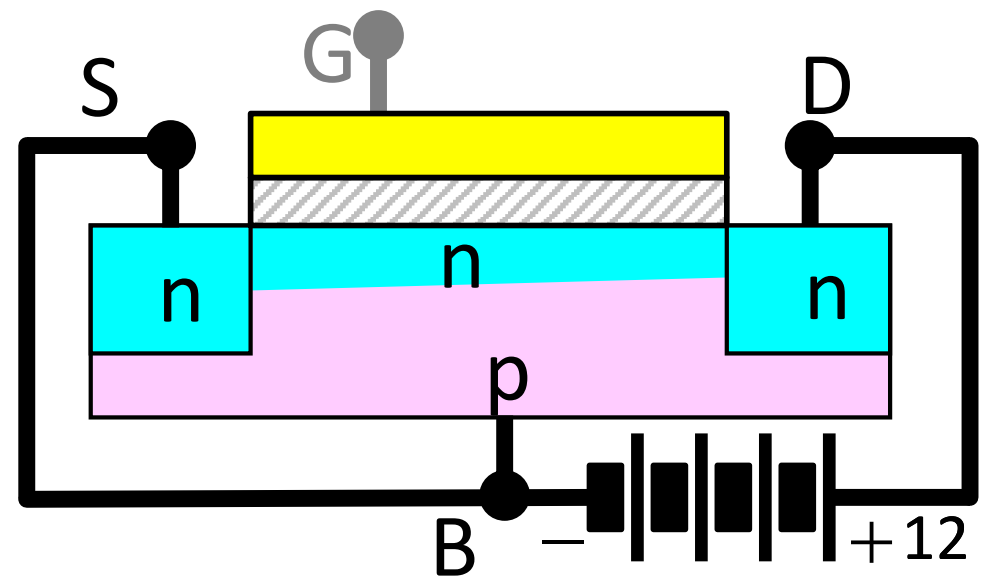
エンハンスメント型

- ソースドレイン間はp型
- $V_G = 0$ のとき、 I_D は流れない
- $V_G > 0$ にしてONにする



デプレッション型

- ソースドレイン間はn型
- $V_G = 0$ のとき、 I_D は流れる
- $V_G < 0$ にしてOFFにする

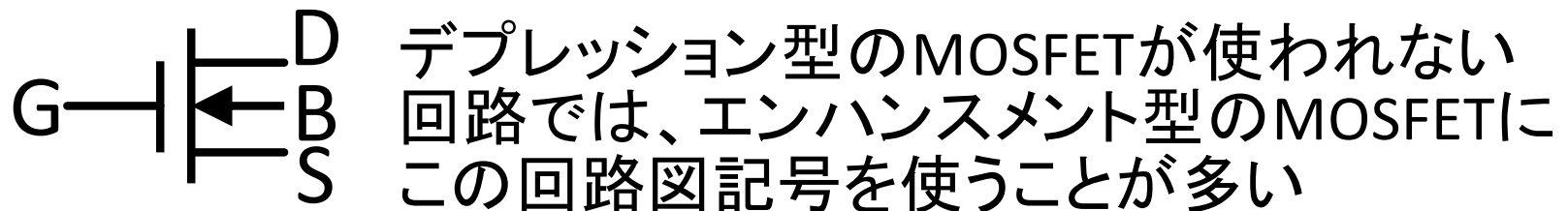


最近のMOSFETはエンハンスメント型

- 30年以上前は、デプレッション型とエンハンスメント型のNMOS が混載された集積回路が使われていた
 - デプレッション型とエンハンスメント型を区別するため、下のような回路図記号が使われていた



- しかし、最近では、エンハンスメント型のNMOS と PMOS が混載された集積回路がほとんど (デプレッション型はほとんど使われない)
 - 下の回路図記号がエンハンスメント型に使われるようになった

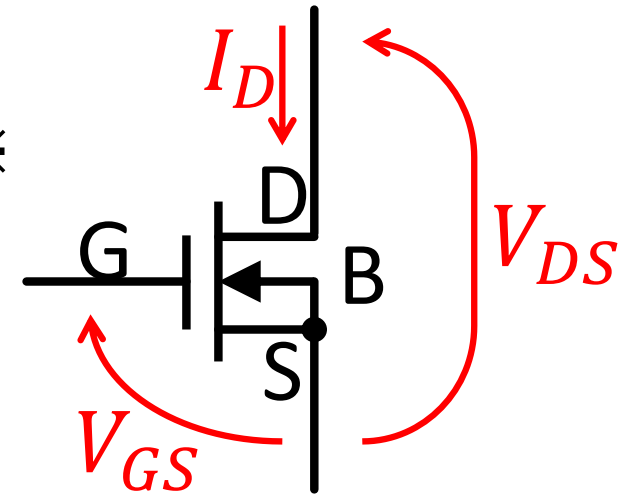


FETの動作—3つの動作領域

- FETのドレイン電流 I_D は ゲート電圧 V_{GS} とドレイン電圧 V_{DS} で決まる
- FETの動作は下の3つに場合分けされる (nチャネルの場合)
 - cut-off region **遮断** 領域: $V_{GS} < V_T$ のとき
⇒ I_D はゼロ
 - linear region **線形** 領域: $V_{GS} > V_T$ だが $V_{DS} < V_{GS} - V_T$ のとき
⇒ I_D は V_{GS} の1次関数、 V_{DS} の2次関数
 - saturate region **飽和** 領域: $V_{GS} > V_T$ かつ $V_{DS} > V_{GS} - V_T$ のとき
⇒ I_D は V_{GS} の2次関数 (V_{DS} を変えても **一定**)
- 上の V_T を しきいち **閾値電圧** (threshold voltage) という
 - エンハンスメント型は $V_T > 0$

NチャネルMOSFETの動作

- MOSFETの3つの動作領域(NMOSの場合)
 - 遮断領域 ($V_{GS} < V_T$) $I_D = 0$
 - 線形領域 ($V_{DS} < V_{GS} - V_T$) $I_D = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T - \frac{1}{2} V_{DS}) V_{DS}$
 - 飽和領域 ($V_{DS} > V_{GS} - V_T$) $I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2$
- 以下のパラメータでMOSFETの特性が決まる
 - V_T : 閾値電圧 ☆
 - μ_n : n型半導体のモビリティ※
 - C_{OX} : ゲート酸化膜容量
 - W : チャンネル幅 channel width
 - L : チャンネル長 channel length

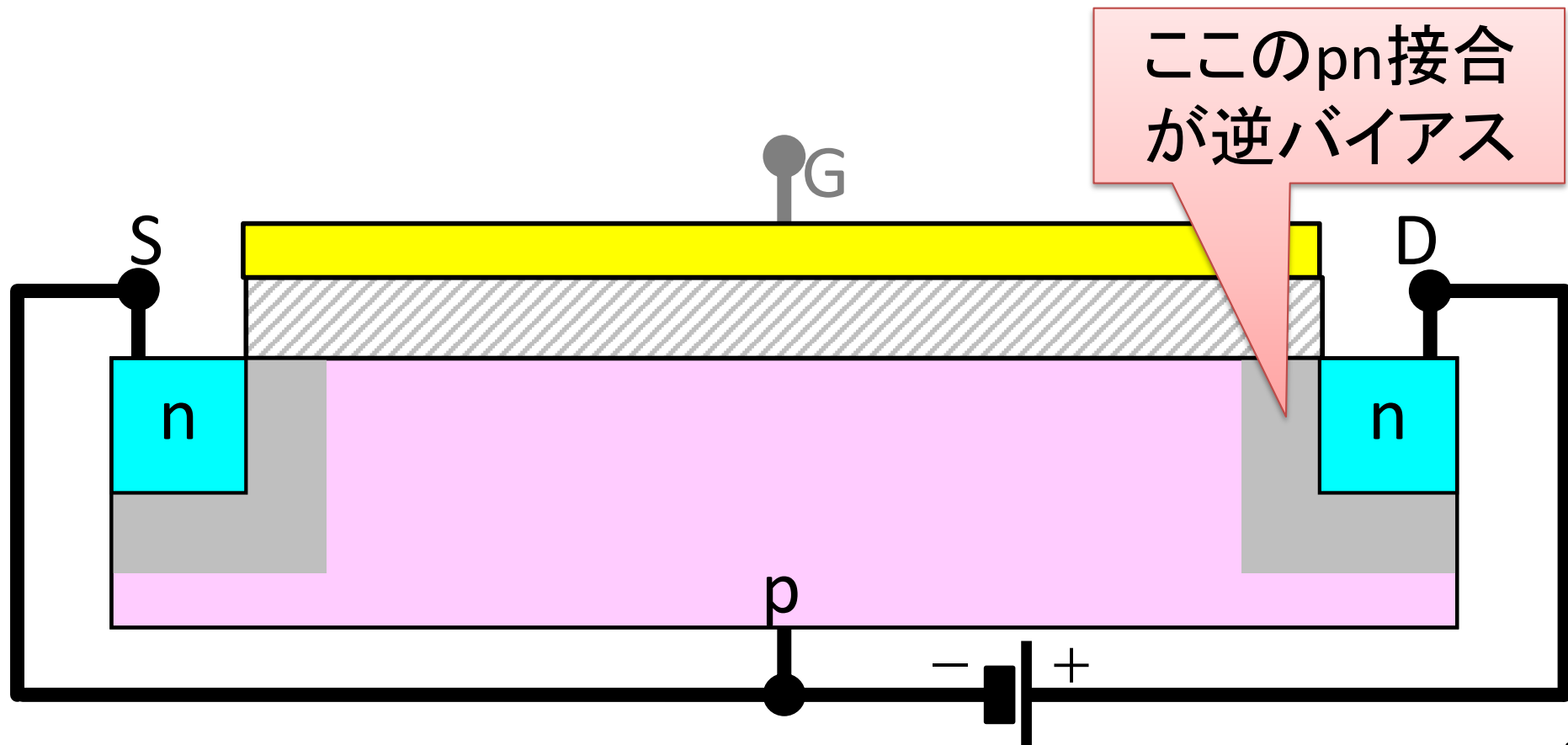


☆ ダイオードの「熱温度」とは別物である。

※ μ という記号でFETの増幅率を表す伝統的な教科書もあるが、それとは別物である。

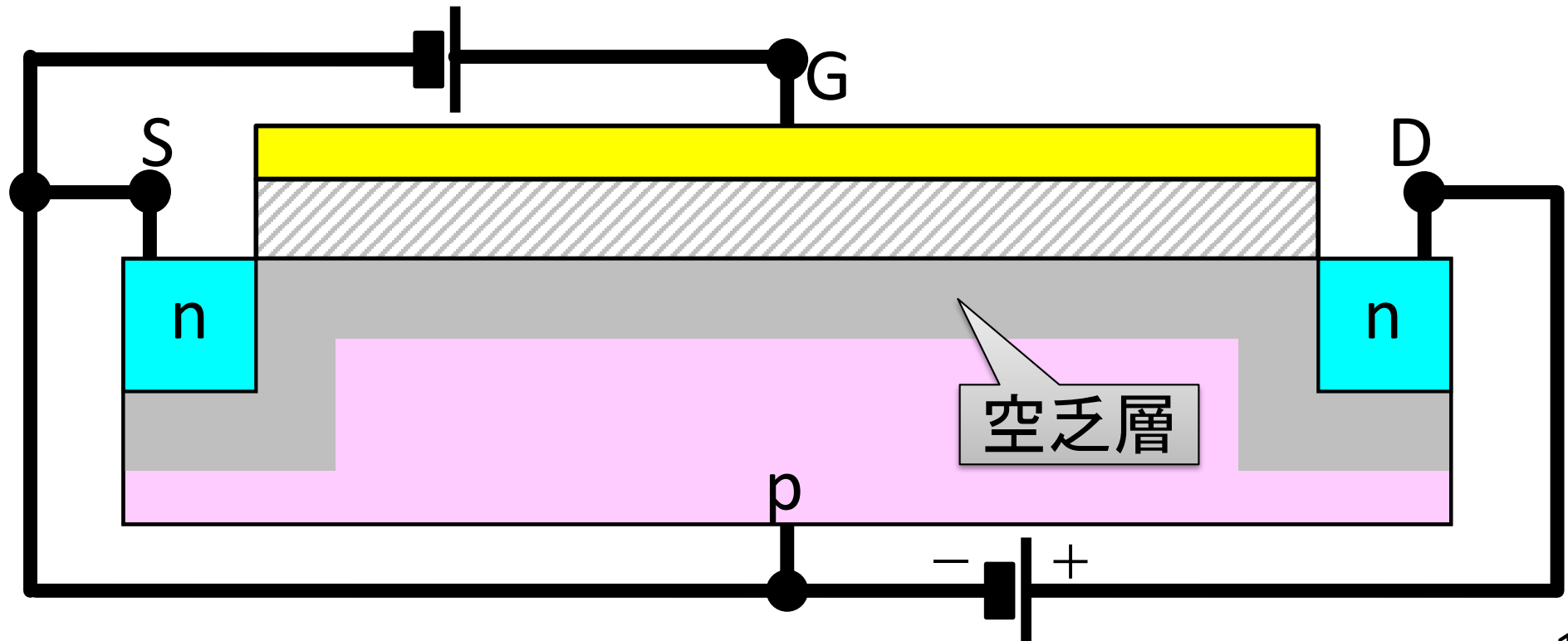
(1) 遮断領域(その1)

- エンハンスメント型nチャネルMOSFETは、ソースドレイン間がp型半導体なので、ソースドレイン間に電圧をかけただけでは電流は **流れない**



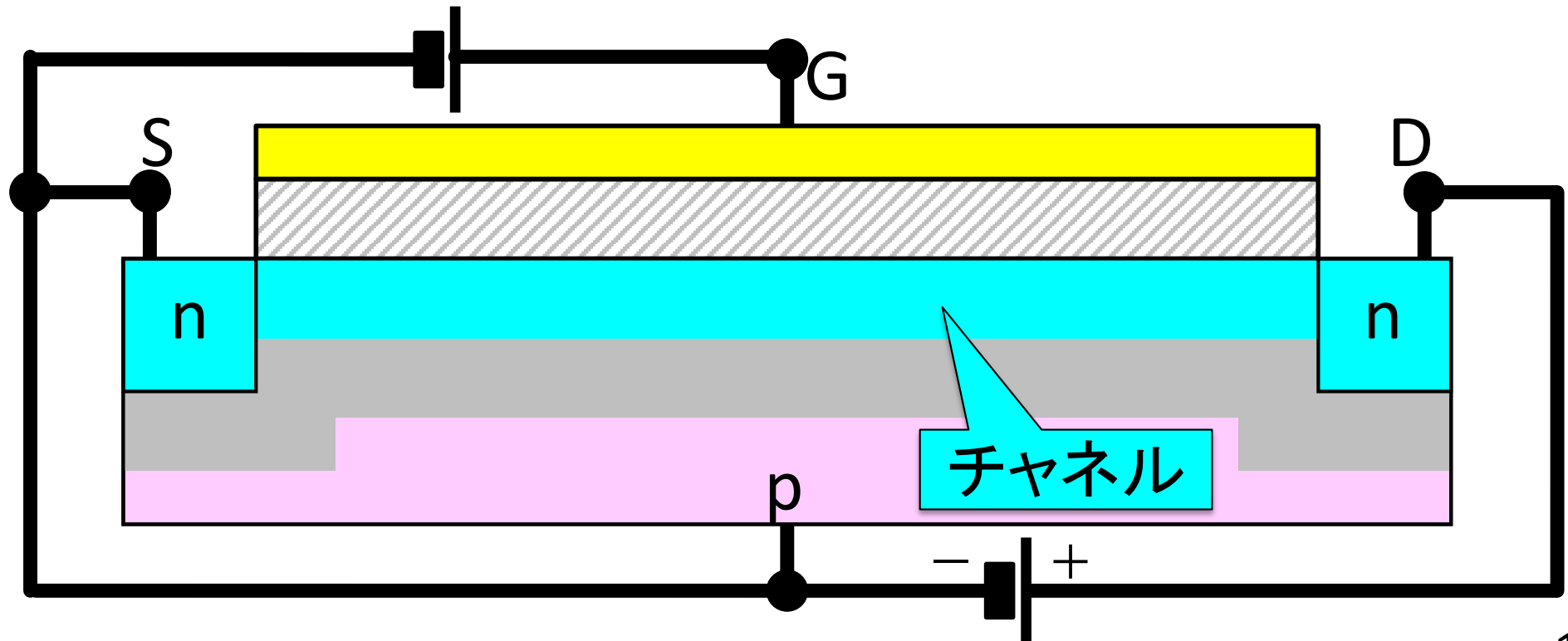
(1) 遮断領域(その2)

- ゲートに少し正の電圧をかけると、p型半導体内の正孔が電界に反発し、正孔も電子も無い領域(空乏層)が生じる
- しかし、まだドレイン電流は流れない



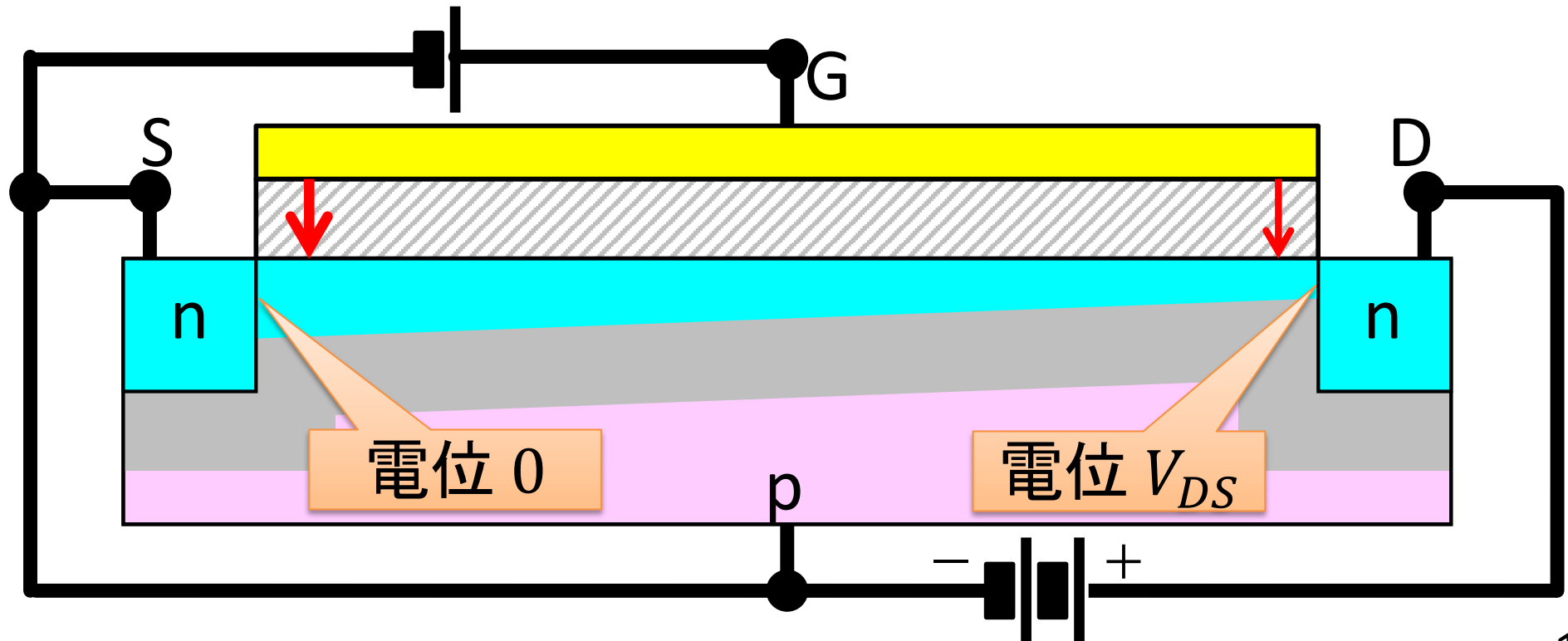
(2) 線形領域(その1)

- V_{GS} がある電圧 V_T を越えると電子が引き寄せられた領域(チャネル)が生じる(チャネルは電子が移動できるので、ドレイン電流が流れるようになる)
 - V_T (閾値電圧) は p 型半導体のアクセプタ濃度等で決まる



(2) 線形領域 (その2)

- $V_{GS} > V_T$ の状態で V_{DS} を少しずつ大きくすると、ドレイン側の方がチャネルの電位が高くなる
- これに伴い、ゲートからチャネルにかかる電界も弱くなるので、ドレイン側はチャネルが浅くなる



(2) 線形領域(その3)

単位距離あたりに分布する

- $I_D =$ 電荷量 $Q \times$ 電子の速度 v
- v はソースドレイン方向の電界の強さ E に比例

$$v = \mu_n E = \mu_n \cdot \frac{V_{DS}}{L}$$

- 比例係数 μ_n をモビリティと言う(半導体の性質で決まる)
- L はソースドレイン間の距離(チャネル長)

- Q はゲートーチャネル方向の電位差に比例

$$Q = C \cdot V = (C_{OX} W) (V_{GS} - V_T - \frac{1}{2} V_{DS})$$

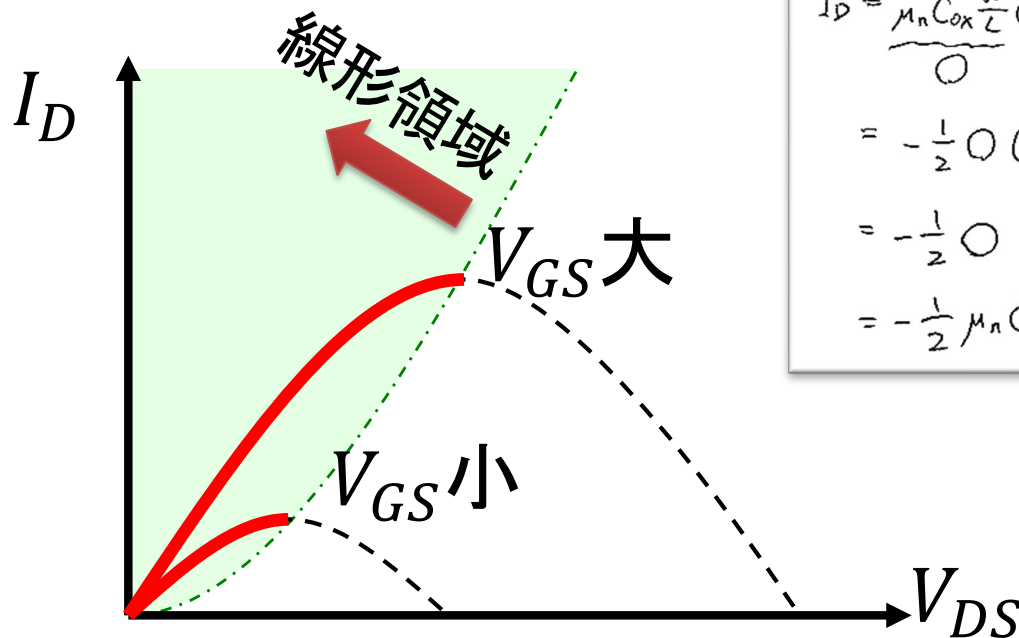
単位距離あたりの

面積あたりの

- C はゲート酸化膜の容量、 C_{OX} はその単位容量、 W はチャネルの幅
- V はゲートーチャネル方向の電位差の平均値(ソース側は $V = V_{GS} - V_T$ 、ドレイン側は $V = V_{GS} - V_T - V_{DS}$)

(2) 線形領域 (その4)

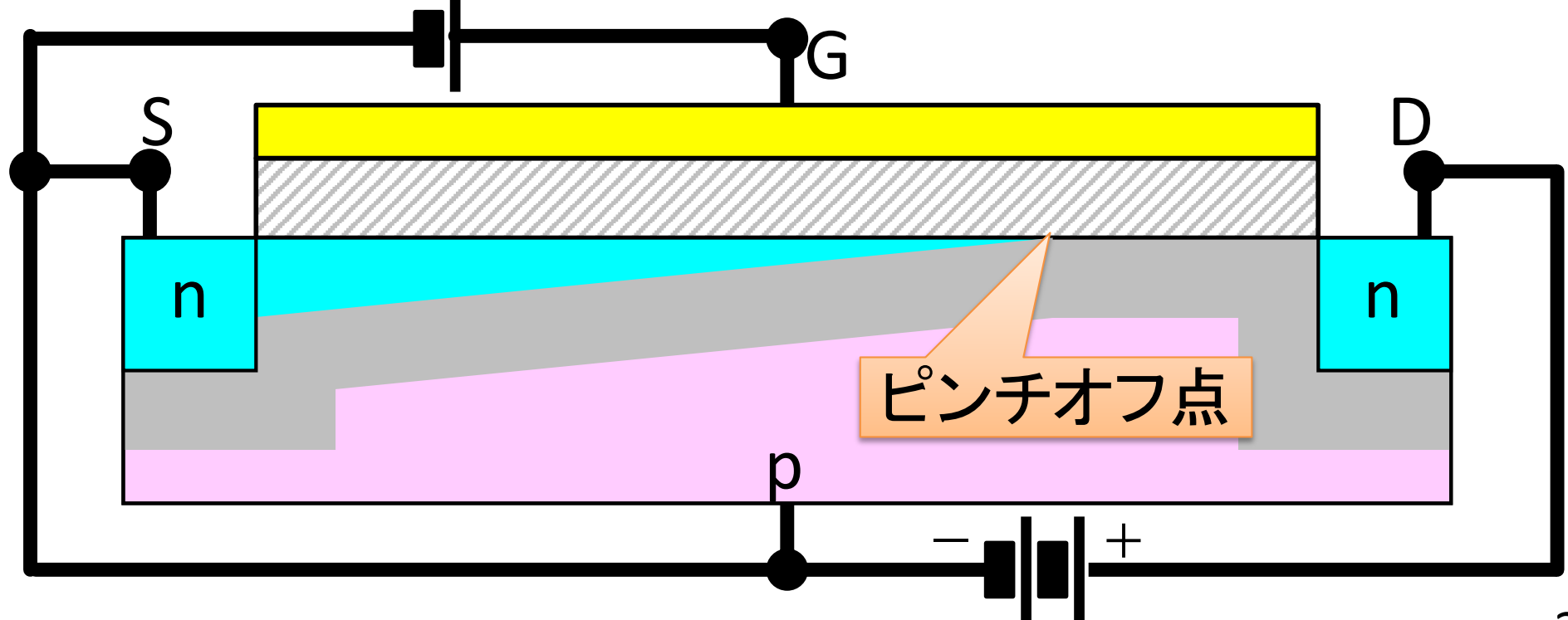
- よって、 $I_D = Qv = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T - \frac{1}{2} V_{DS}) V_{DS}$
- 上式を V_{DS} の2次関数と考えると
 - $V_{DS} = 0$ のとき $I_D = 0$
 - $V_{DS} = V_{GS} - V_T$ のとき最大値 $I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2$



$$\begin{aligned}
 I_D &= \underbrace{\mu_n C_{OX} \frac{W}{L}}_0 \underbrace{(V_{GS} - V_T - \frac{1}{2} V_{DS})}_{\Delta} V_{DS} \\
 &= -\frac{1}{2} 0 (V_{DS}^2 - 2\Delta V_{DS} + \Delta^2) + \frac{1}{2} 0 \Delta^2 \\
 &= -\frac{1}{2} 0 (V_{DS} - \Delta)^2 + \frac{1}{2} 0 \Delta^2 \\
 &= -\frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{DS} - V_{GS} + V_T)^2 + \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2
 \end{aligned}$$

(3) 飽和領域(その1)

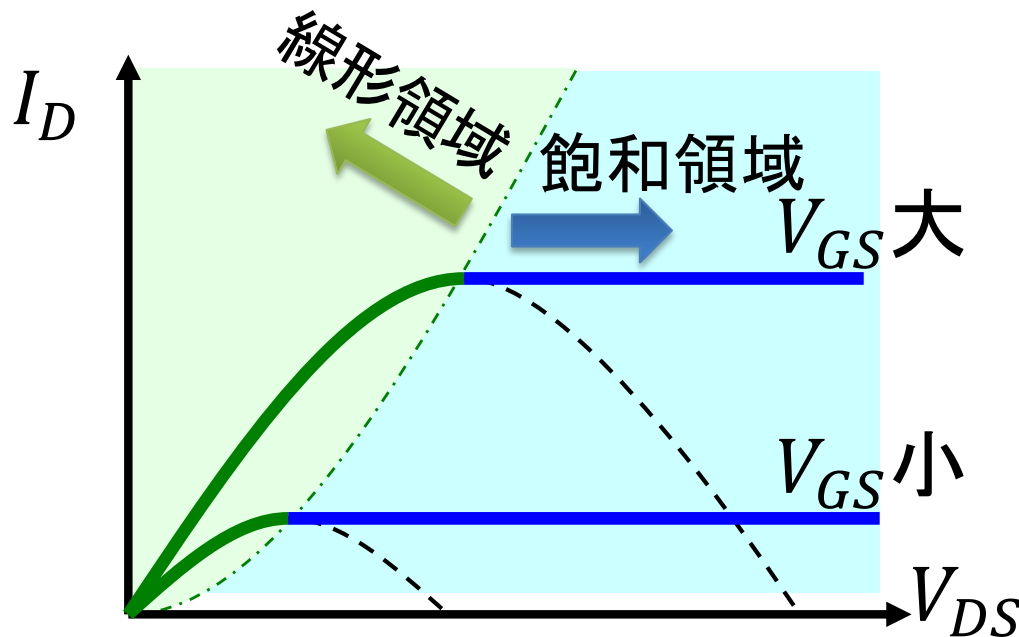
- $V_{DS} = V_{GS} - V_T$ のときドレイン端でチャネルが消滅し、 $V_{DS} > V_{GS} - V_T$ になるとチャネルは途中で消滅する
- ^{pinch-off}ピンチオフ点に到達した電子はドレインの電界に引かれて空乏層内を移動する



(3) 飽和領域(その2)

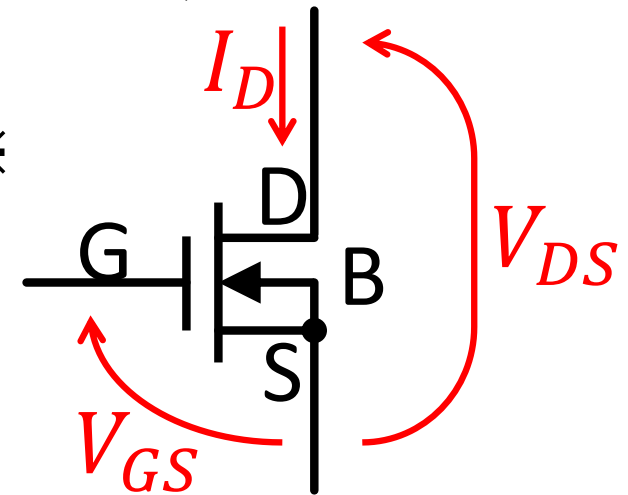
- チャンネルのピンチオフ点の電位は $V_{GS} - V_T$ である
– V_{DS} を大きくしてもほとんど変化しない
- よって、チャンネルを流れる電流 I_D は、線形領域の I_D の式に $V_{DS} = V_{GS} - V_T$ を代入した下の値となる

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2$$



NチャネルMOSFETの動作のまとめ

- MOSFETの3つの動作領域(NMOSの場合)
 - 遮断 領域 ($V_{GS} < V_T$) $I_D = 0$
 - 線形 領域 ($V_{DS} < V_{GS} - V_T$) $I_D = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T - \frac{1}{2} V_{DS}) V_{DS}$
 - 飽和 領域 ($V_{DS} > V_{GS} - V_T$) $I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2$
- 以下のパラメータでMOSFETの特性が決まる
 - V_T : 閾値電圧 ☆
 - μ_n : n型半導体のモビリティ※
 - C_{OX} : ゲート酸化膜容量
 - W : チャンネル幅 channel width
 - L : チャンネル長 channel length



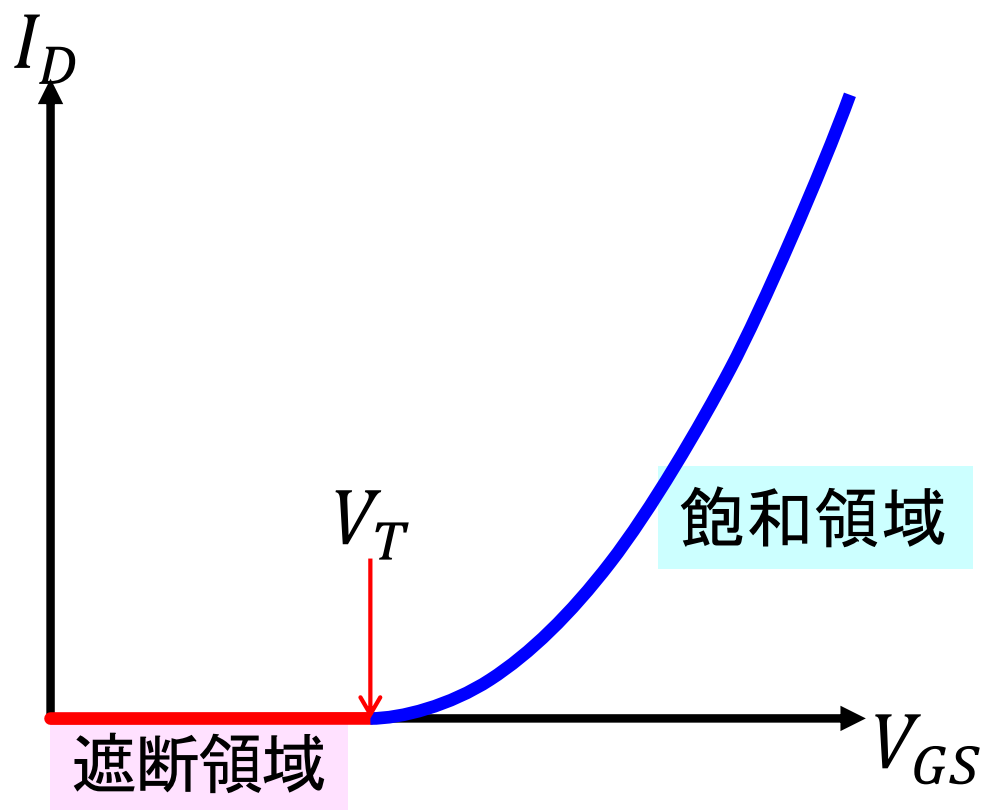
☆ ダイオードの「熱温度」とは別物である。

※ μ という記号でFETの増幅率を表す伝統的な教科書もあるが、それとは別物である。

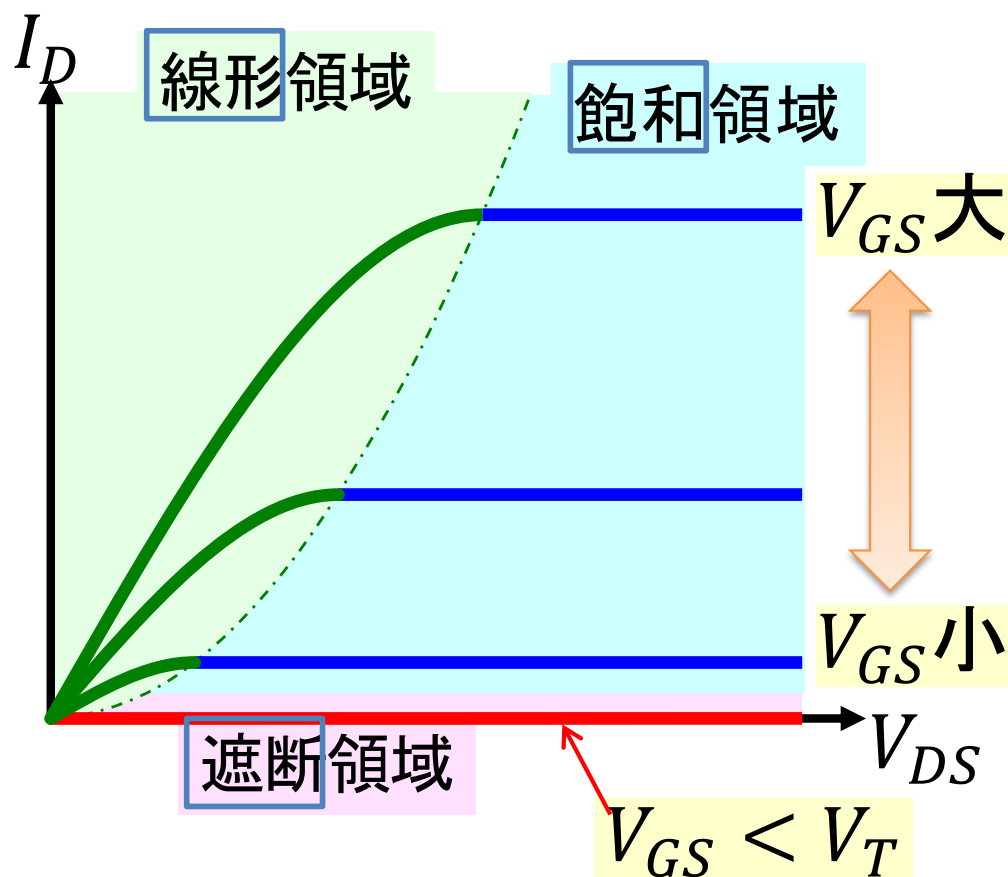
NチャネルMOSFETの静特性

DC characteristic

- 静特性をグラフで示すと以下のようなになる



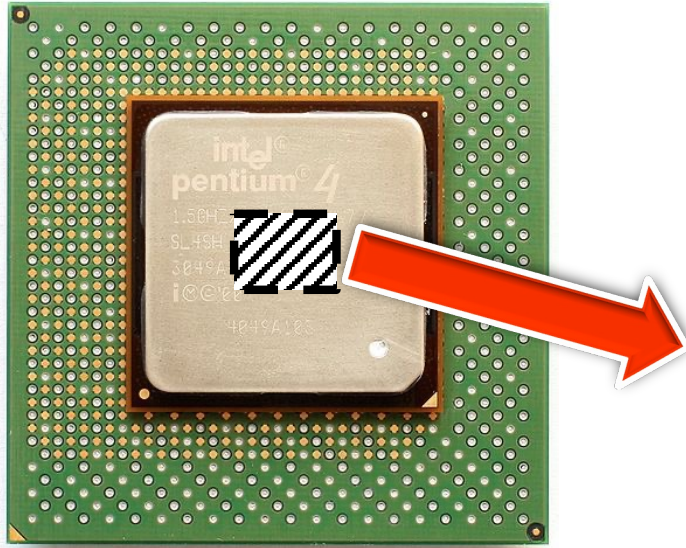
$V_{GS} - I_D$ 特性
(V_{DS} が十分高い時)



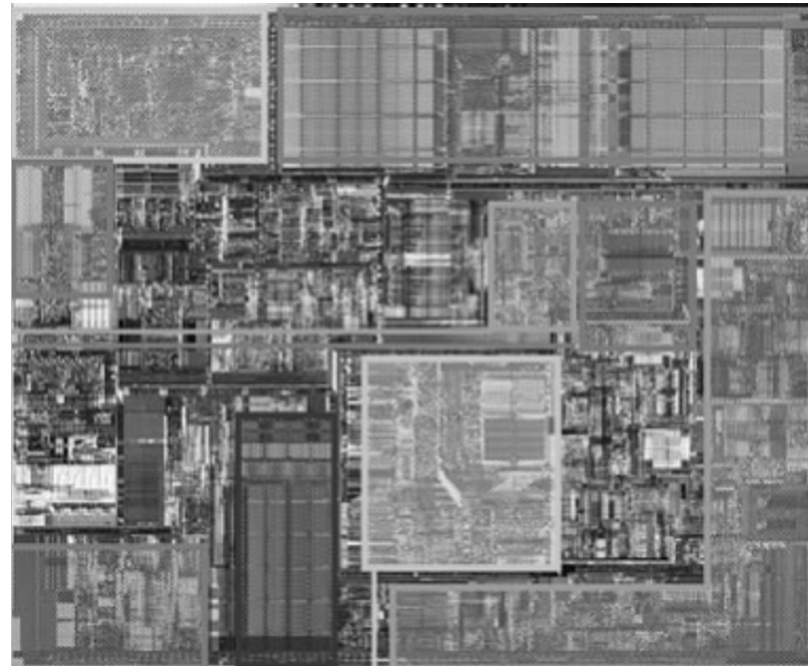
$V_{DS} - I_D$ 特性

MOSFETの例

- 最新の技術を使えば、10mm × 10mm程度の1個の集積回路基板上に10億個以上のMOSFETを形成することも可能



2000年代前半に活躍したIntelのPentium4プロセッサのパッケージ



4200万個のMOSFETが作り込まれている

MOSFETの回路例

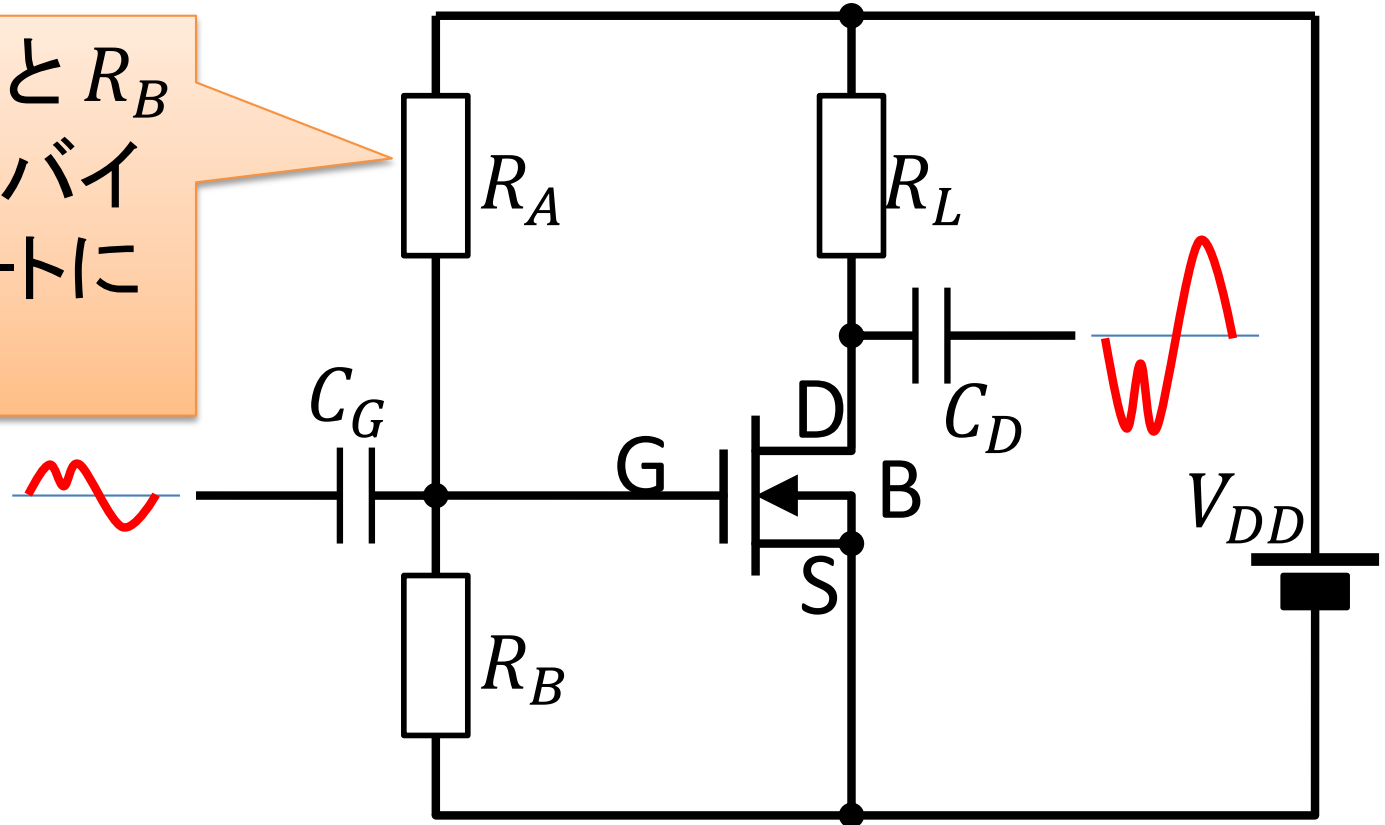
- アナログ回路
 - ソース接地増幅回路
 - 定電流源
 - カレントミラー
- デジタル回路は第8週に扱う

ソース接地増幅回路

source-common amplifier circuit

- MOSFETはエンハンスメント型なので、 $V_{GS} > 0$ となるバイアス電圧をかける必要がある

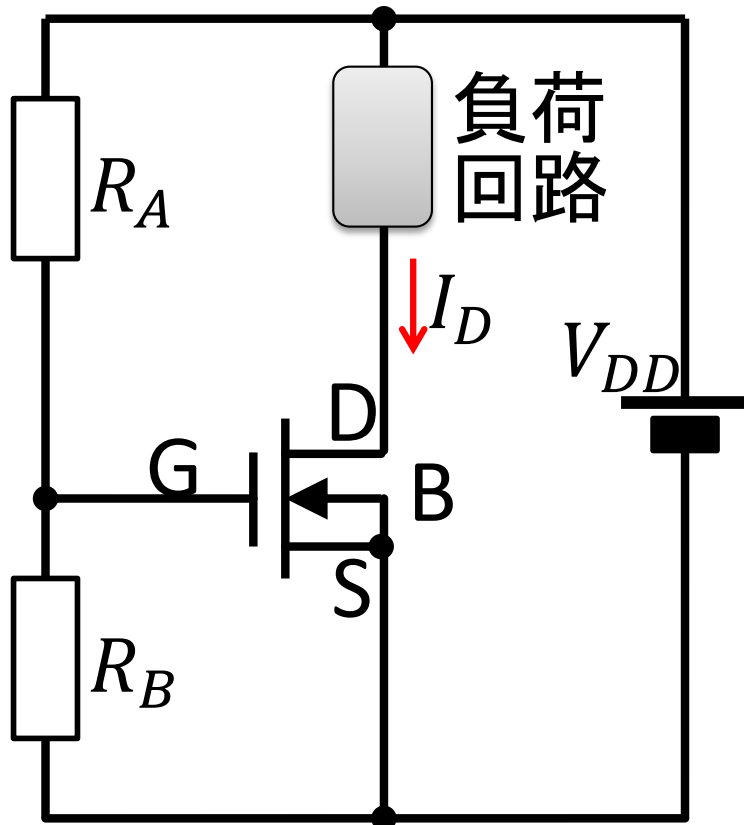
電源電圧を R_A と R_B で分圧し、正のバイアス電圧をゲートに与えている



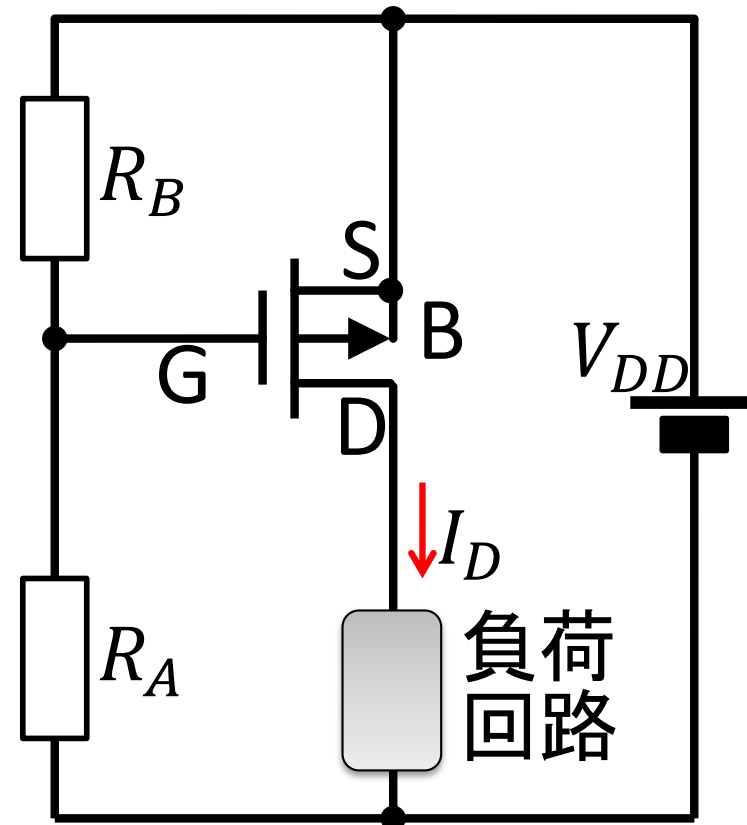
- バイポーラトランジスタの電流帰還増幅回路と同様の目的でソースに抵抗を挿入することもある

定電流源

- 飽和領域のFETは V_{DS} が変化しても I_D がほとんど変化しないため、定電流源 (current source) として使われる



NMOS を使った定電流源



PMOS を使った定電流源

カレントミラー回路

current mirror circuit

- 右の回路で V_{DS1} や V_{DS2} が十分大きく、2つのNMOSが飽和領域で動作している場合、以下が成り立つ

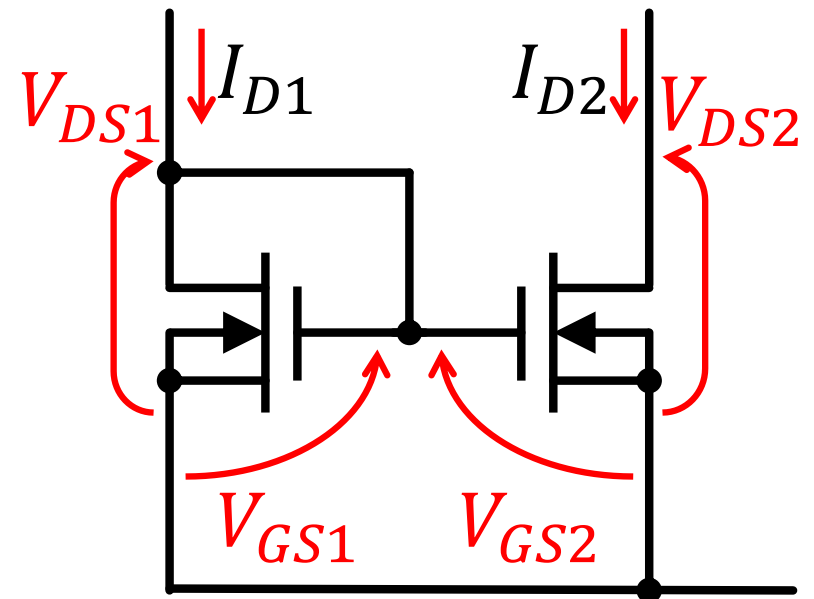
$$I_{D1} = \frac{1}{2} \mu_{n1} C_{OX1} \frac{W_1}{L_1} (V_{GS1} - V_{T1})^2$$

$$I_{D2} = \frac{1}{2} \mu_{n2} C_{OX2} \frac{W_2}{L_2} (V_{GS2} - V_{T2})^2$$

- 回路図より $V_{DS1} = V_{GS1} = V_{GS2}$
- 2つのトランジスタが同一の特性をもつとして下を仮定

$$\mu_{n1} = \mu_{n2}, C_{ox1} = C_{ox2}, L_1 = L_2, V_{T1} = V_{T2}$$

- このとき、 $\frac{I_{D2}}{I_{D1}} = \frac{W_2}{W_1}$ となり、特に $W_2 = W_1$ のとき、 $I_{D2} = I_{D1}$ となる



今週のまとめ

- 電界効果トランジスタ(FET)の原理、特性を学んだ
 - ゲートの電圧によりソースドレイン間の電流を制御する半導体素子
 - バイポーラトランジスタのベースは電流が流れるが、FETのゲートは電流が流れない
 - 端子名、回路図記号
 - 遮断領域、線形領域、飽和領域
 - MOSFET は集積回路の微細化・大規模化に大きく寄与
- MOSFETを用いたアナログの基本回路をいくつか学んだ
- MOSFETを用いたデジタル回路については、第8週に学ぶ

電気電子回路(第6回)講義は これで終わりです

質問: support_eecra@sl.is.ritsumei.ac.jp

直接返信する場合と、まとめてmanaba+に掲示する場合があります。ご了承ください。