# Verilog学习

## 一语法篇

### 1基础语法

#### 1逻辑值

逻辑0 ：低电平

逻辑1 ：高电平

逻辑X：未知 有可能是0 也有可能是1

逻辑Z：高阻态 外部没有激励信号 是一个悬空状态

#### 2进制格式

二进制 ：‘b 4'b0101 八进制 ：’o 十进制 ：‘d 4'd2 十六进制：‘h 4'ha

默认位宽32位 默认数据格式十进制

16‘b1001*1010*1001\_1010=16'h9a9a

#### 3标识符

标识符可以是字母 数字 $ \_ 的组合

第一个字符必须是字母或者下划线

标识符区别大小写

##### 推荐写法：

不建议大小写混用

普通内部信号建议全部小写

信号命名最好体现信号含义 ，简洁清晰易懂

### 2数据类型

#### 寄存器

抽象的数据存储单元 通过赋值语句改变寄存器存储的值

关键字 reg 默认初始值x

reg[31:0] delay\_cnt;
  
reg key\_reg;

reg类型只能在always语句和initial语句中被赋值

如果该过程语句

#### 线网

参数