

# 数字逻辑电路

清华大学计算机系  
陶品

[taopin@tsinghua.edu.cn](mailto:taopin@tsinghua.edu.cn)

办公室：FIT 3—531 (13717813059)

# 课程基本情况 (5)

■ 教学形式：讲课，辅导，网上、定时和现场答疑

■ 学时安排：3学分，共48学时

■ 教学内容

□ 第一章：前言和基本知识介绍

(第1周，前3学时)

□ 第二章 逻辑代数和化简方法

(第2、3周，共6学时)

□ 第三章：门电路

(第4周，共3学时)

□ 第四章：组合逻辑电路

(第5~7周，共9学时)

□ 第五章：时序逻辑电路

(第8~12周，共15学时)

□ 第六章：可编程逻辑电路

(第13~15周，共9学时)

□ 数字逻辑电路课程总复习

(第16周，3学时)

# 第三章 组合逻辑电路

## 3.1 引言

## 3.2 门电路

## 3.3 常用的中规模组合逻辑电路

## 3.4 运算器与ALU

## 3.5 组合逻辑电路中的竞争与冒险问题

# 3.1 组合逻辑引言 (1)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

# 3.1 组合逻辑引言 (2)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

## 3.1 组合逻辑引言 (3)

- **组合逻辑的概念：**组合逻辑函数的输出状态取决于所有输入状态的“逻辑组合”，如与非、与或逻辑等。
- **组合逻辑电路：**实现组合逻辑函数的电路称为“组合逻辑电路”，是主要的一类数字逻辑电路。另一类数字逻辑电路是“时序逻辑电路”。组合与时序电路构成了数字逻辑电路的基础。

# 3.1 组合逻辑引言 (4)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

## 3.1 组合逻辑引言 (5)

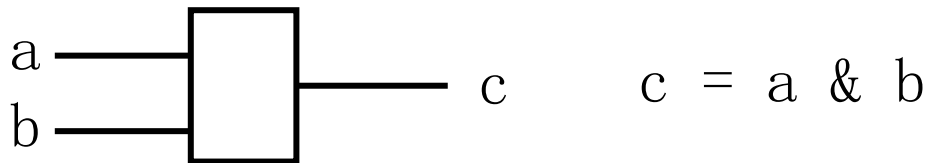
### ■ 组合逻辑电路的特点：

- 电路的输出只是和输入的当前状态有关，  
和过去的状态无关。
- 区别于时序电路：和过去的状态有关。

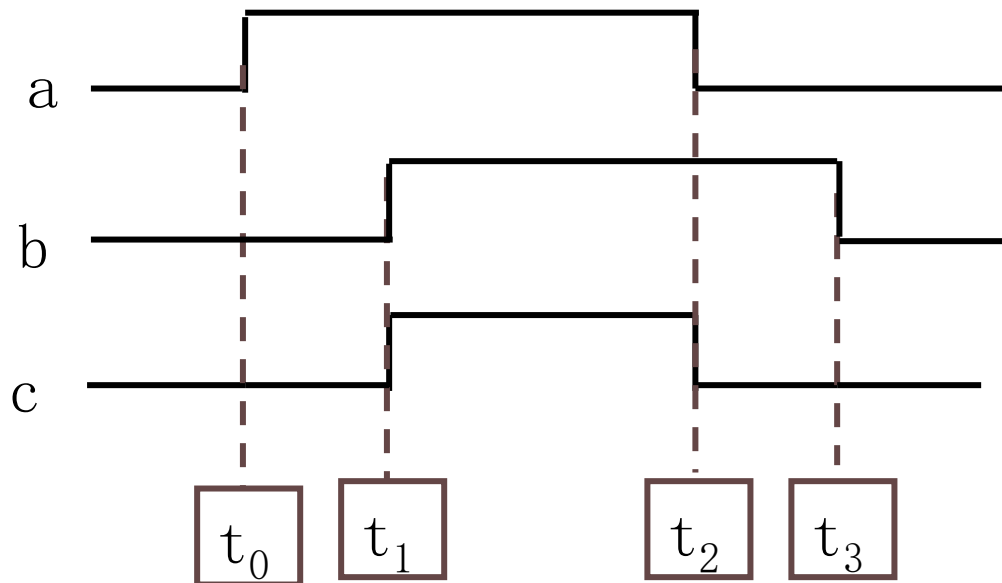


# 3.1 组合逻辑引言 (6)

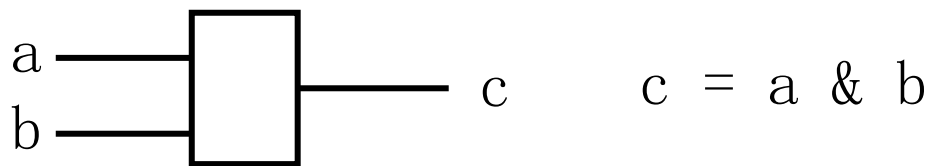
组合逻辑：电路的输出只是和当前状态有关，和过去的状态无关。



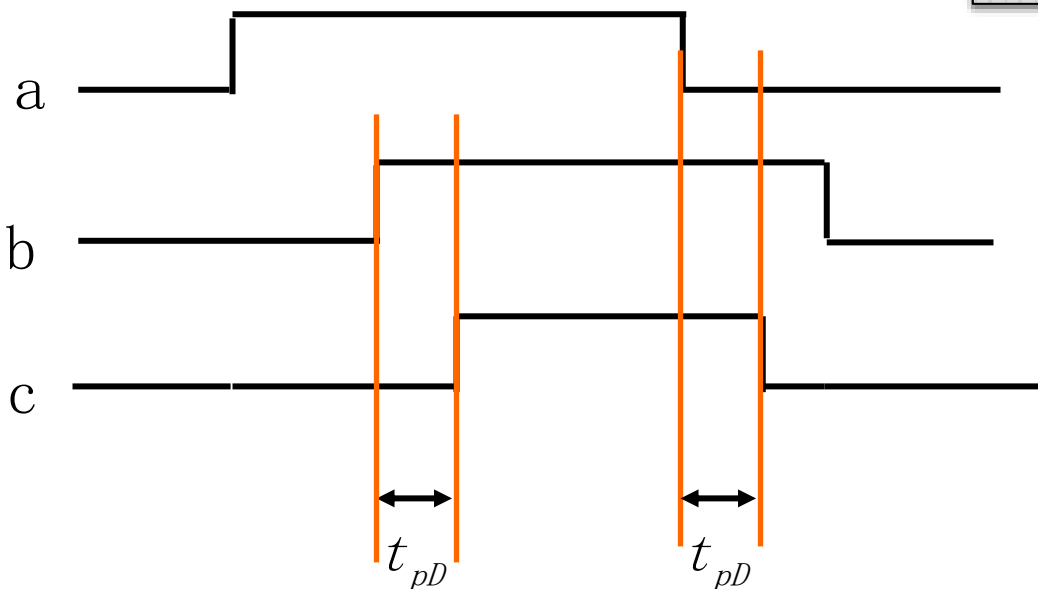
理想情况：门  
电路没有延迟



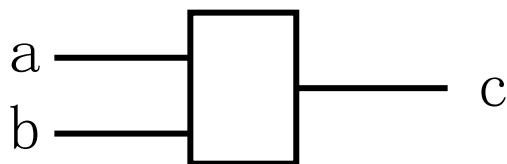
# 3.1 组合逻辑引言 (7)



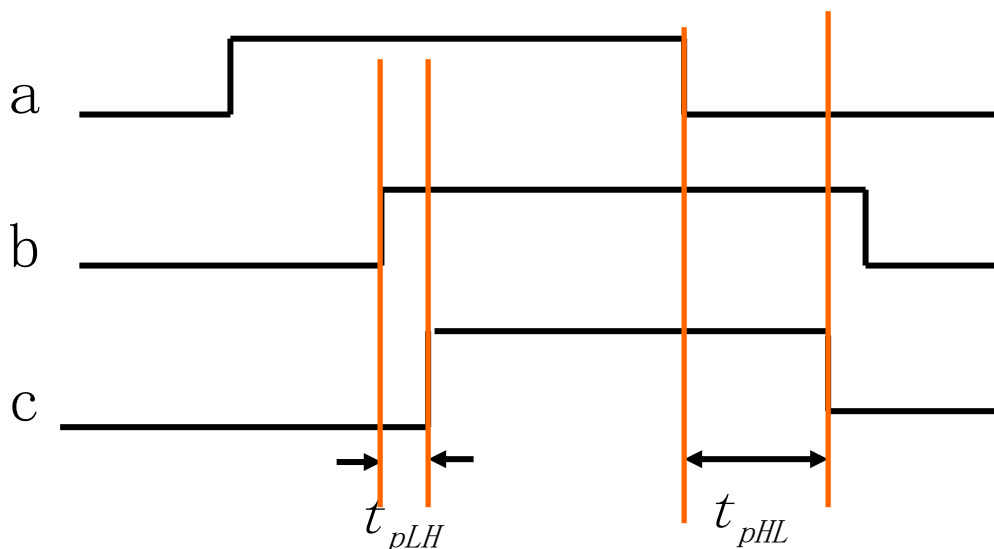
实际情况：门电路存在延迟  $t_{pD}$



## 3.1 组合逻辑引言 (8)



实际情况：门电路存在延迟  
前沿延迟与后沿延迟不相等



# 3.1 组合逻辑引言 (9)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

# 3.1 组合逻辑引言 (10)

## ■ 典型的组合逻辑电路

- 门电路 (Gates)

- 译码器 (Decoders) 和编码器 (Encoders)

- 数据选择器 (Multiplexer)

- 加法器 (Adders)

- 奇偶校验器

- 算术逻辑单元 (ALU: Arithmetic Logic Units)

# 3.1 组合逻辑引言 (11)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

# 3.1 组合逻辑引言 (12)

## ■ 集成电路的分类

### □ 按功能分:

- 模拟电路: 也叫线性电路, 如通信电路
- 数字电路: 从门电路到微处理器、存储器等多种

### □ 按半导体制造工艺:

- TTL: (也叫双极型, TTL, LTTL, STTL, LSTTL, ECL...)
- MOS: (PMOS, NMOS, CMOS, BiCMOS...)

### □ 按封装(外形)分:

- 双列直插
- 表面封装
- BGA(Ball Grid Array)
- PLCC, 等等

### □ 按集成规模分:

- 小、中、大、超大、甚大规模集成电路

.....

# 3.1 组合逻辑引言 (13)

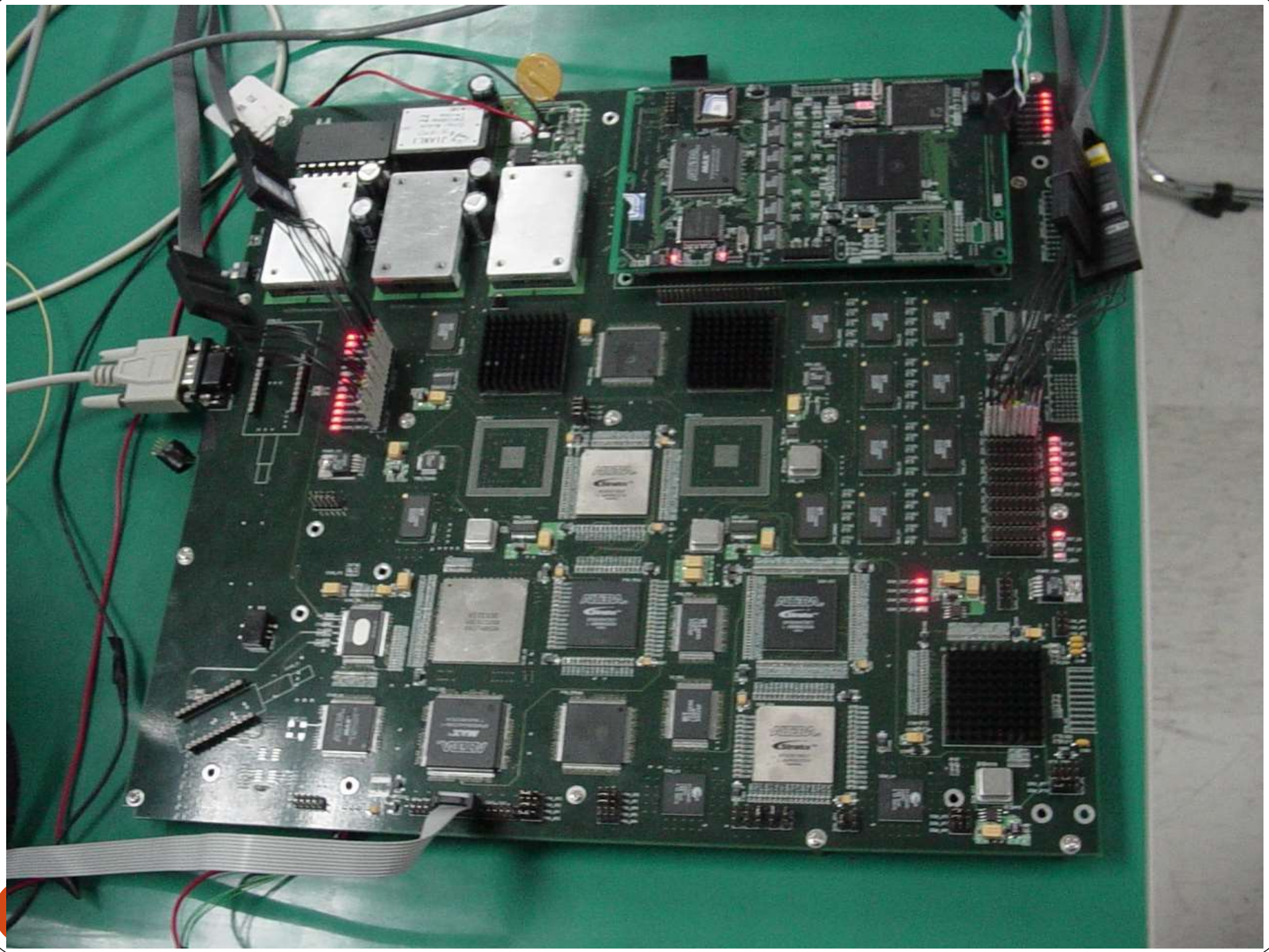
## ■ 两大类工艺技术的特点：

	速度	功耗	集成度
TTL(晶体管晶体管逻辑)	快	大	低
MOS (金属氧化物半导体)	慢	小	高

## ■ 目前常用器件的工艺：

□ CMOS (互补金属氧化物半导体)





# 3.1 组合逻辑引言 (14)

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史

# 3.1 组合逻辑引言 (15)

## ■ 集成电路发展历史

- “集成电路” (Integrated Circuit: IC) 是相对“分立原件”而言的，是所有以半导体工艺将电路集成到一块芯片的器件总称。
- 半导体制造工艺的发展带动了集成电路的更新换代。
- VLSI (超大规模集成电路) 时代存储器件制造工艺带动了整个微处理器的更新换代。没有IC制造工艺发展就没有现代计算机。

# 3.1 组合逻辑引言 (16)

## ■ 集成电路集成度定律:

- 摩尔定律: 单个芯片集成度每18个月翻一翻
- 集成电路内部的连线宽度是主要的指标:  
0.8  $\mu\text{m}$ , 0.35  $\mu\text{m}$ , 0.25 $\mu\text{m}$ , 0.18 $\mu\text{m}$ ,  
0.13 $\mu\text{m}$ , 45nm, 7nm, 5nm, 3nm, 2nm,  
18A, 14A .....

硅原子大小: 0.117nm  
量子隧穿效应尺寸: 1nm

# 3.1 组合逻辑引言 (17)

## ■ 按规模分:

- 小规模集成电路 (SSI : Small Scale IC )
- 中规模集成电路 (MSI: Medium Scale IC )
- 大规模集成电路 (LSI: Large Scale IC )
- 超大规模集成电路 (VLSI: Very large Scale IC )
- 甚大规模集成电路 (ULSI: Ultra large Scale IC )

## 3.1 组合逻辑引言 (18)

### (1) Small Scale IC (SSI)

小规模 IC 1965年

规模： 12个门/片电路以下

主要产品： 门电路

触发器 (Flip Flop)

## 3.1 组合逻辑引言 (19)

### (2) Medium Scale IC (MSI)

中规模 IC          1970年

规模：12－99个门/片

主要产品：逻辑功能部件

4位ALU (8位寄存器)



## 3.1 组合逻辑引言 (20)

(3) Large Scale IC (LSI)

大规模 IC 1976年

规模：100－9999个门/片

主要产品：规模更大的功能部件  
存储器，8位CPU



## 3.1 组合逻辑引言 (21)

(4) Very large Scale IC (VLSI)

超大规模 IC     80年代初

规模: 10,000–99,999 门

(5) Ultra large Scale IC (ULSI)

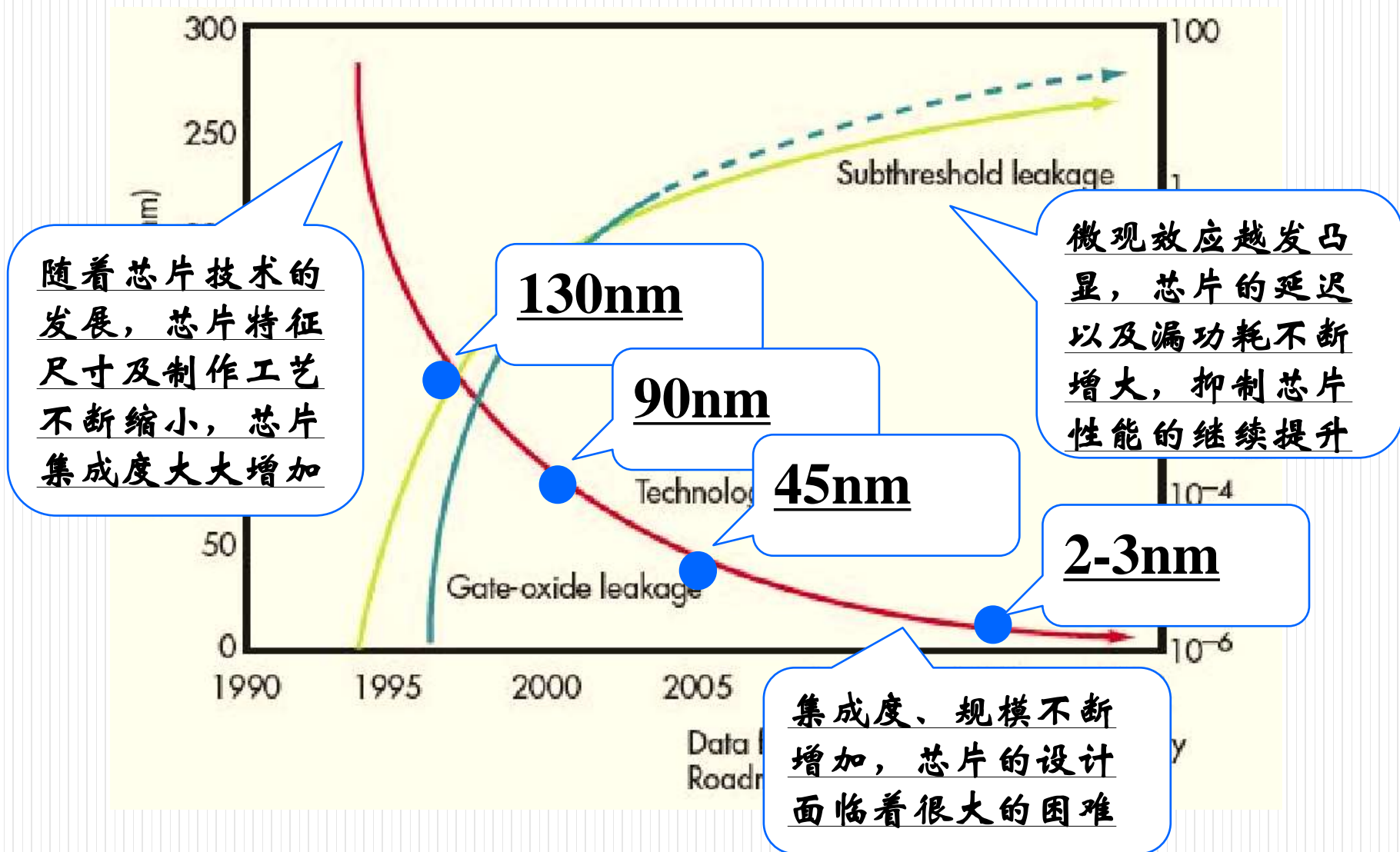
Giga Scale IC (GSI)

甚大(极大) 规模 IC , 现代

规模: 1,000,000 门以上

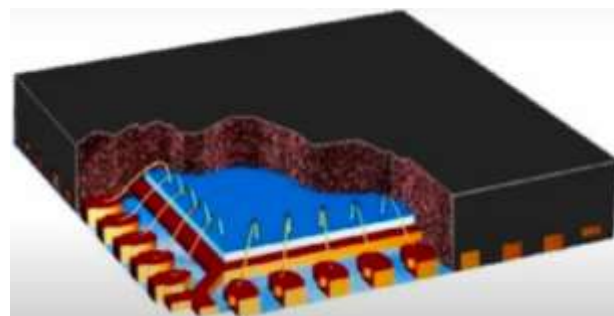
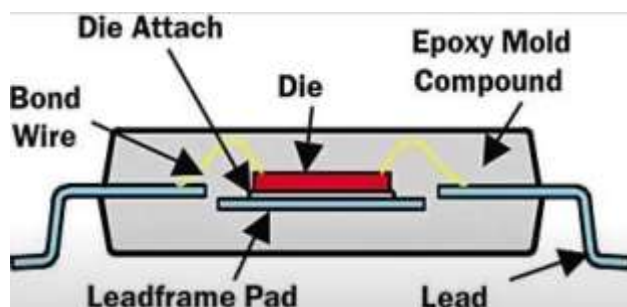
21 世纪以后主要面对功耗问题。

# 摩尔定律的挑战

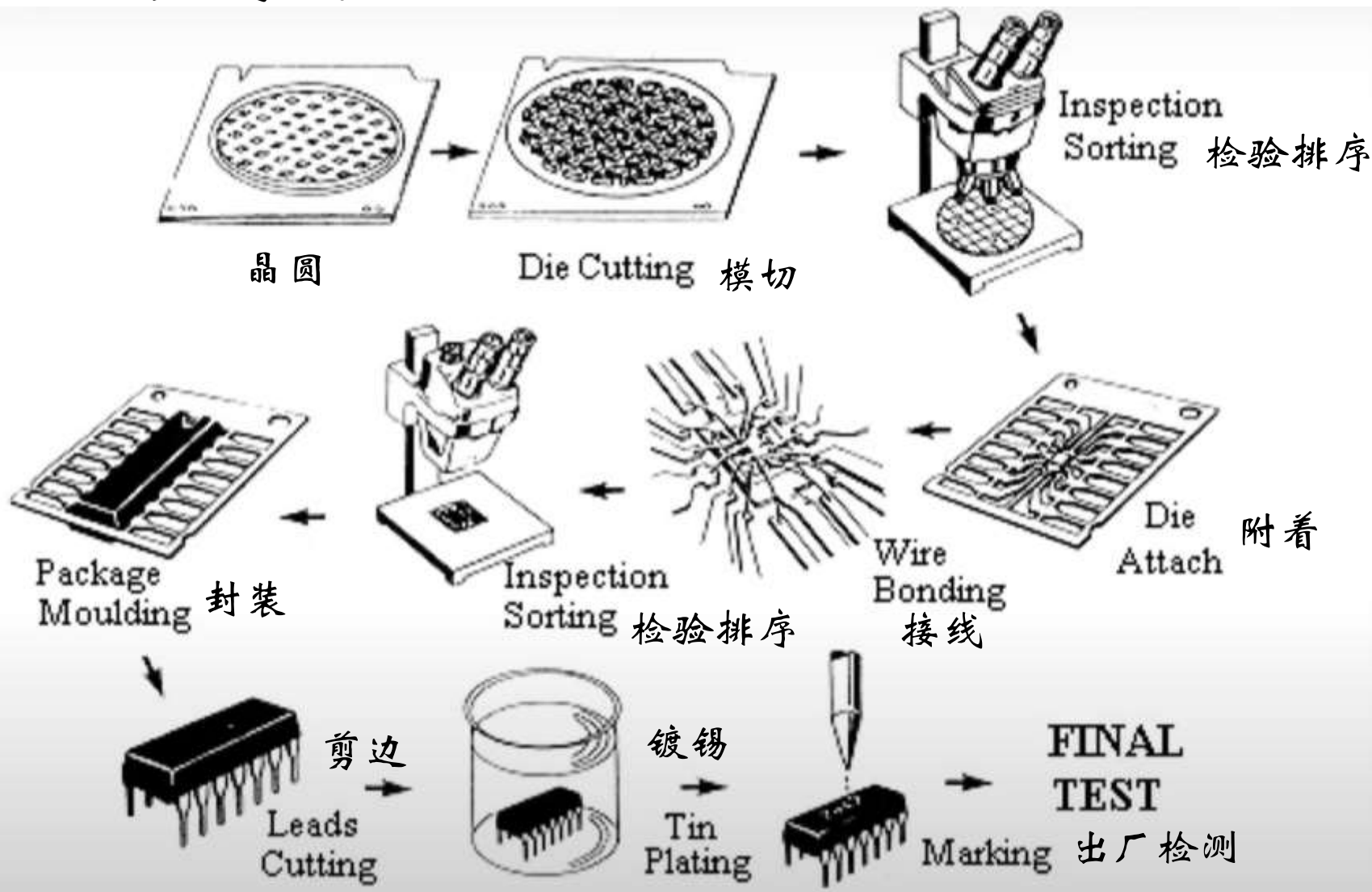


# 各类封装

- 安装半导体集成电路芯片用的外壳，起着安放、固定、密封、保护芯片和增强电热性能的作用。
- 沟通芯片内部世界与外部电路的桥梁
  - 芯片上的接点用导线连接到封装外壳的引脚上，这些引脚又通过印制板上的导线与其他器件建立连接。
- 封装对CPU和其他LSI集成电路都起着重要的作用（保护、互连等）。



# 芯片制造流程

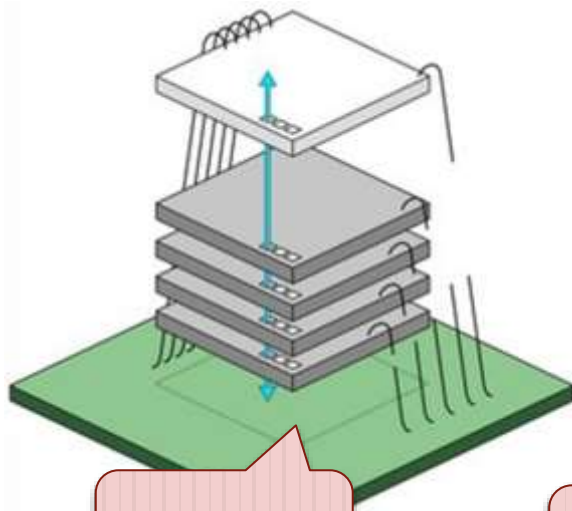


- TO-5封装
- DIP双列直插式封装
- SMT表面贴封装
- QFP四面平面封装
- PGA插针网格阵列封装
- BGA球栅阵列封装
- CSP芯片尺寸封装
- MCM多芯片模块



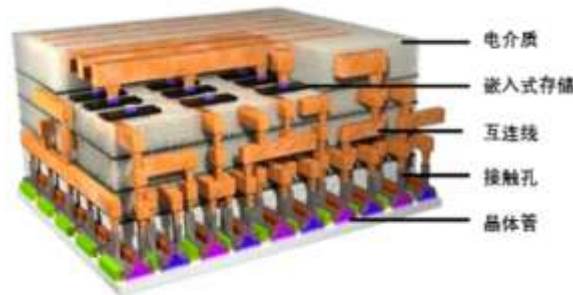
# 三维集成技术

- 三维 (Three-dimensional) 集成芯片技术
  - 使得摩尔定律得以延续
  - 在垂直方向实现芯片层的互连，能够很好的减小线长，增加集成密度，提高芯片性能
  - 存在形式



3D SiP

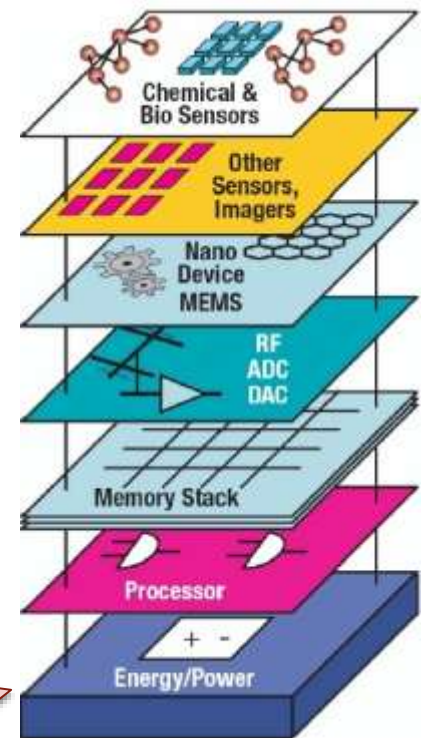
集成电路如此复杂，是怎么造出来的？



实际是复杂的三维结构！

3D SOC

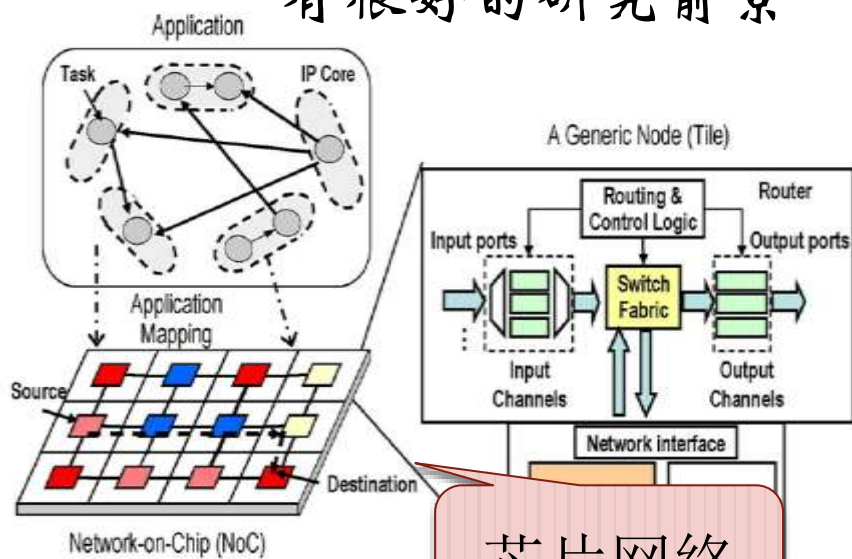
综合集成





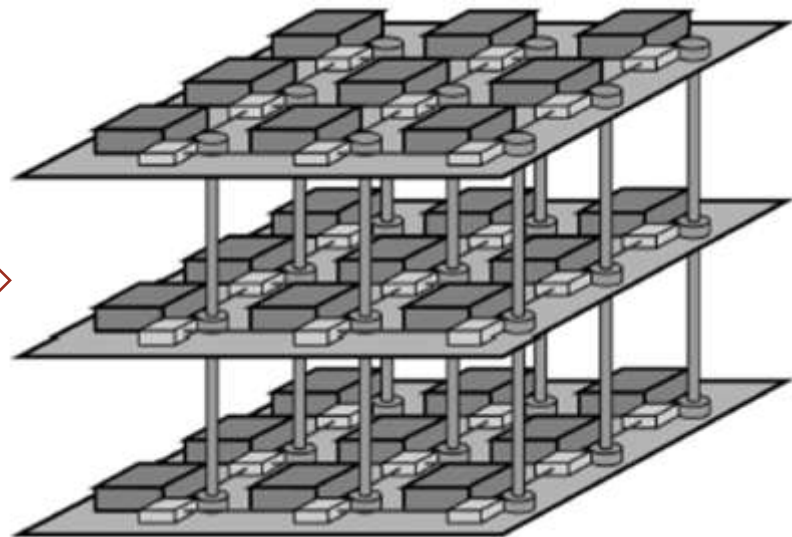
# 三维集成技术

- 新型的互连模式NoC(Network-on-chip)
  - 将网络技术引入芯片中，通过“网络”实现互连
  - 异构性、互连性、可扩展性等特点，能够简化互连复杂度，优化系统性能
  - NoC扩展到3D NoC，可以有效提高芯片性能，具有很好的研究前景



芯片网络

三维集成



# 三维集成芯片的挑战

- 三维集成面临的最大的问题就是高功耗
  - 电力资源的浪费
  - 严重的热问题
    - 热区域会改变元件的属性，降低系统性能，甚至会烧毁元件
  - 延迟问题
    - 高功耗使得元件以及通信延迟增大
  - 系统可靠性
- 系统功耗是影响三维集成芯片性能的关键因素，低功耗设计成为三维芯片设计的重要环节



# 低功耗优化的研究

动态电压调节  
动态任务调度

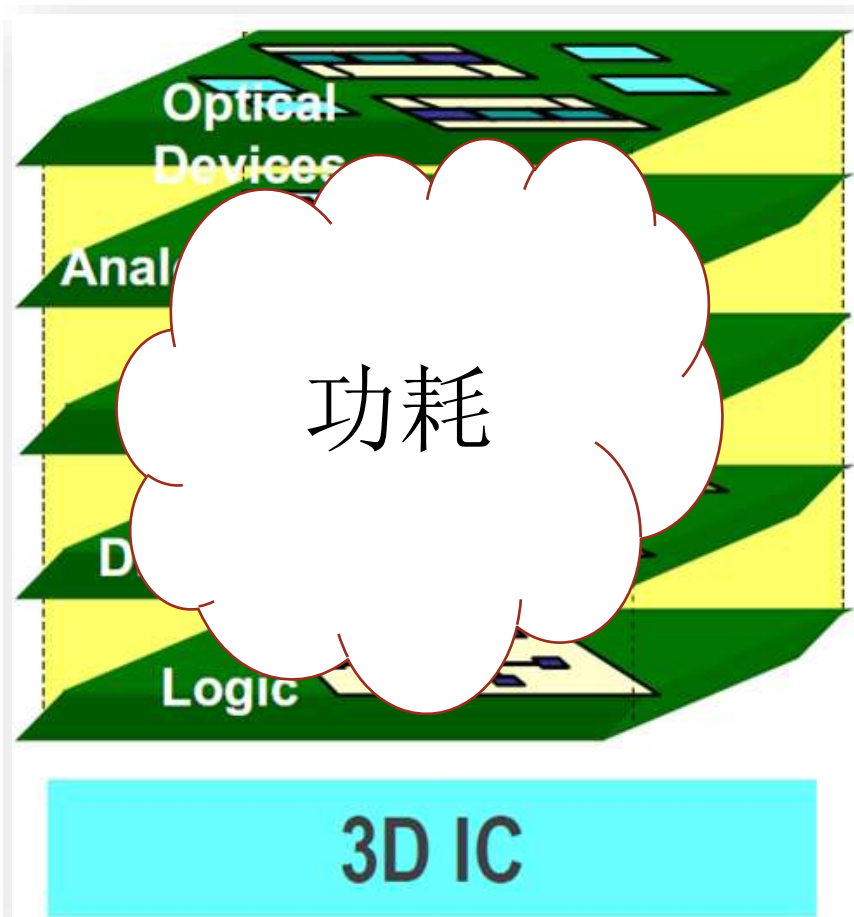
• 高层级

布图规划布局及  
布线

• 物理设计

TSV热传导技术  
流通道技术

• 硬件级



# 3.1 组合逻辑引言——小结

## 3.1 引言

- 组合逻辑的概念
- 组合逻辑电路的特点
- 典型的组合逻辑电路
- 集成电路的分类
- 集成电路发展历史，工艺带动IC发展，
- 当集成度提高，功耗、散热、封装等要认真考虑

# 第三章 组合逻辑电路

3.1 引言

3.2 门电路

3.3 常用的中规模组合逻辑电路

3.4 运算器与ALU

3.5 组合逻辑电路中的竞争与冒险问题

## 3.2 门电路 (1)

### 3.2 门电路

- 门电路的基本知识
- 典型与非门电路结构 (不考!)
- 与非门电路的外部特性与级连
- 集电极开路 (OC) 与非门
- 三态门

## 3.2 门电路 (2)

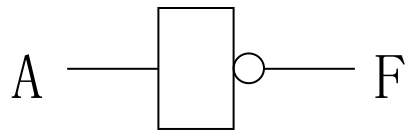
### 3.2 门电路

- 门电路的基本知识
- 典型与非门电路结构
- 与非门电路的外部特性与级连
- 集电极开路 (OC) 与非门
- 三态门

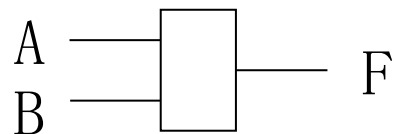
## 3.2 门电路 (3)

- 门电路构成数字逻辑电路的基本元件
- 门电路一般包括：
  - 非门（也称反相器）
  - 与门
  - 与非门
  - 或门
  - 或非门
  - 与或非门
  - .....

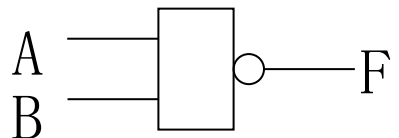
## 3.2 门电路 (4)



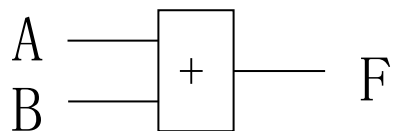
$$F = \bar{A}$$



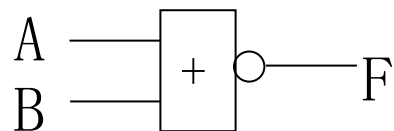
$$F = A \bullet B$$



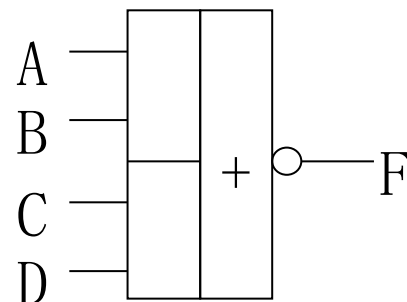
$$F = \overline{A \bullet B}$$



$$F = A + B$$



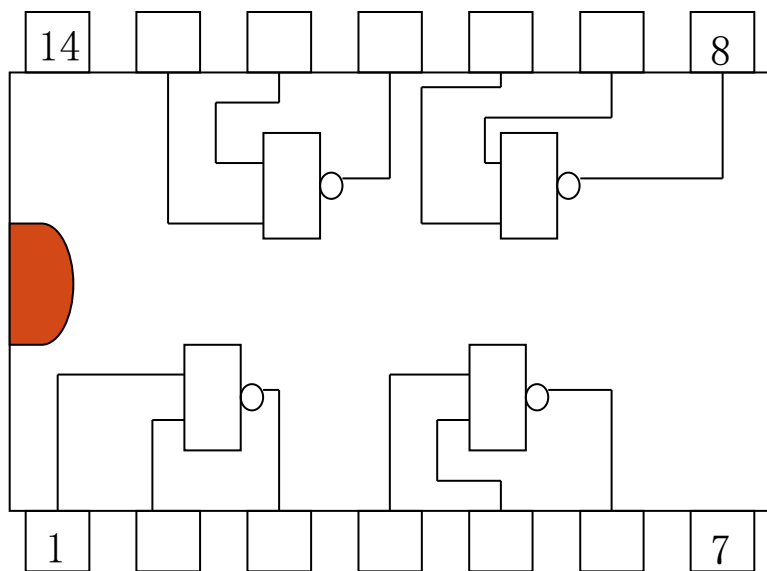
$$F = \overline{A + B}$$



$$F = \overline{A \bullet B + C \bullet D}$$

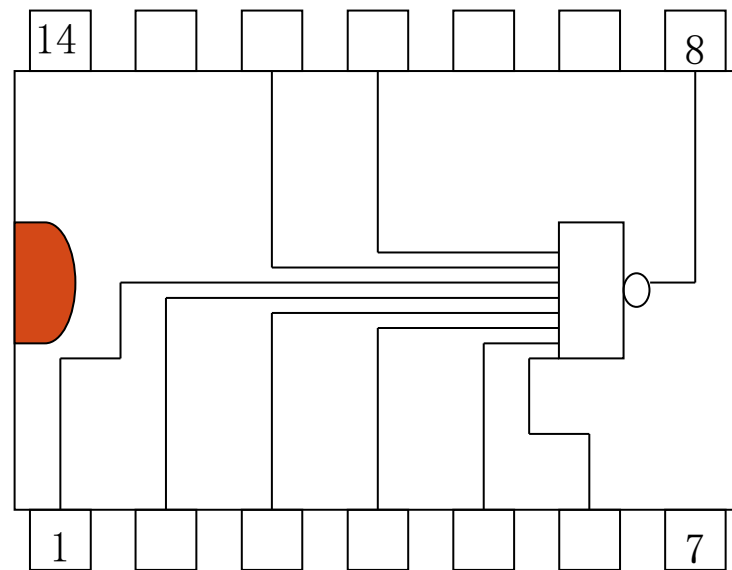
## 3.2 门电路 (5)

### ■ 实际的与非门器件



74LS00

2输入4与非门

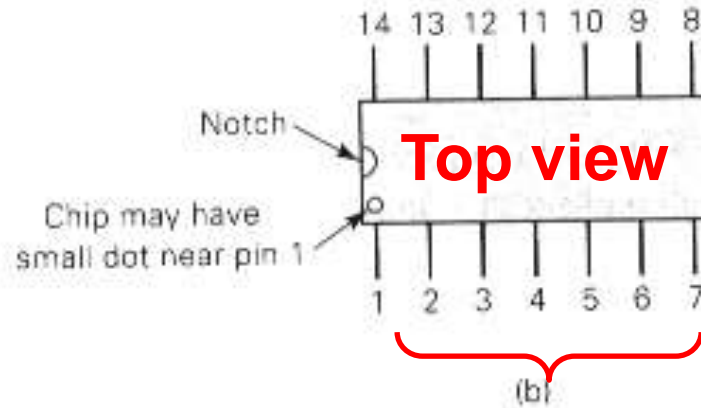
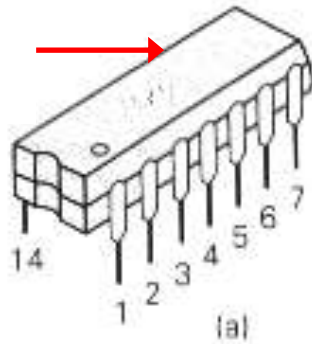


74LS30

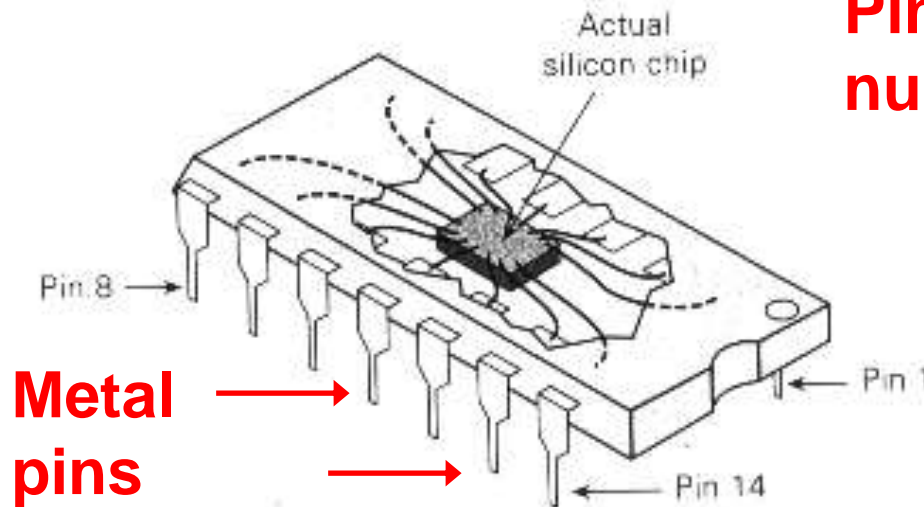
8输入与非门



**Plastic or  
ceramic  
casing**



**Pin  
numbers**

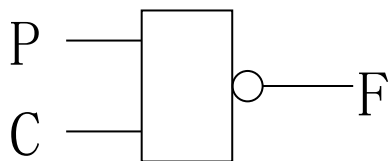


**Dual-in-line Package**

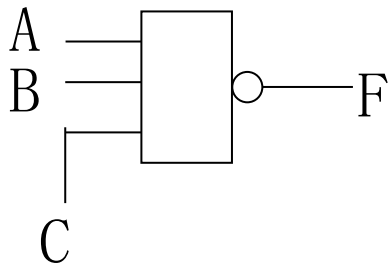
## 3.2 门电路 (6)

### ■ 门电路的一些应用

#### □ 用与非门实现封锁电路 (由C控制)



$$\begin{cases} C = 1 & F = \overline{P} \\ C = 0 & F = 1 \end{cases}$$

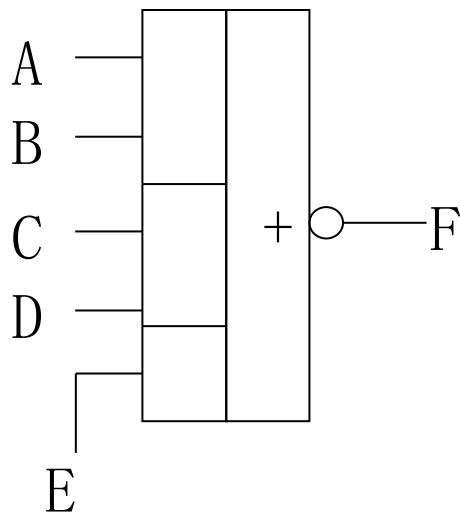


$$\begin{cases} C = 1 & F = \overline{AB} \\ C = 0 & F = 1 \end{cases}$$

## 3.2 门电路 (7)

### ■ 门电路的一些应用

#### □ 用与或非门实现封锁



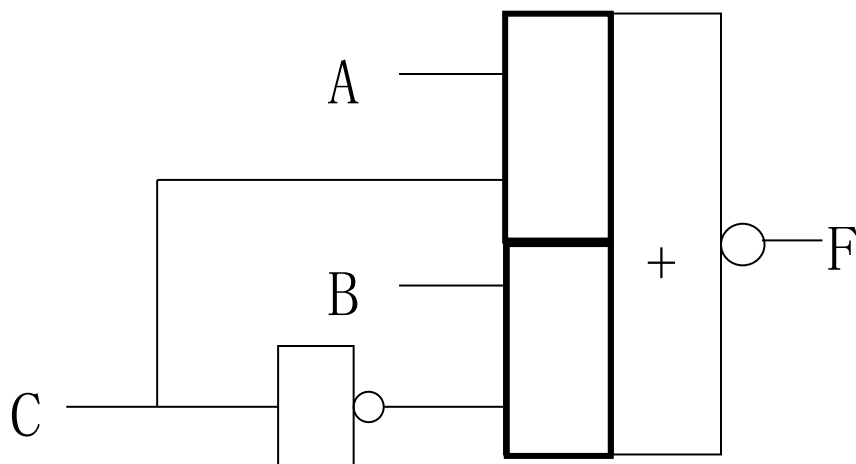
$$\left\{ \begin{array}{l} E = 1; F = 0 \quad \text{实现封锁} \\ E = 0; F = \overline{AB + CD} \end{array} \right.$$

$$F = \overline{AB + CD + E}$$

## 3.2 门电路 (8)

### ■ 门电路的一些应用

#### □ 用与或非门实现数据选择



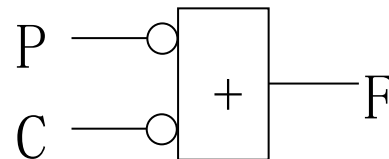
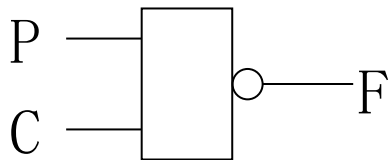
当  $C = 1$  时, A 被选中

当  $C = 0$  时, B 被选中

## 3.2 门电路 (9)

■ 等价问题：逻辑等价则电路图等价，反之亦然。

先”与”后”非”和先”非”后”或”等价

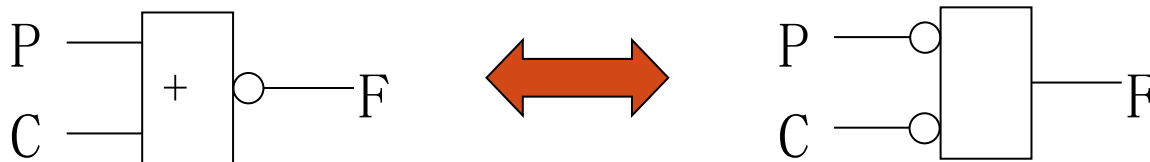


$$F = \overline{PC}$$

$$F = \overline{P} + \overline{C} = \overline{PC}$$

## 3.2 门电路 (10)

先”或”后”非”和先”非”后”与”等价



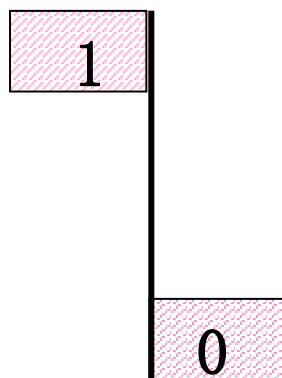
$$F = \overline{P + C}$$

$$F = \overline{P} \bullet \overline{C} = \overline{P + C}$$

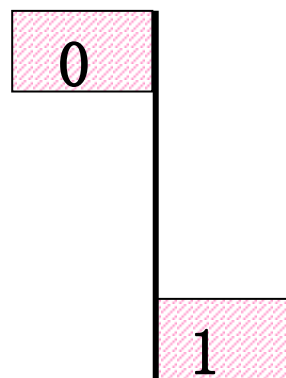
## 3.2 门电路 (11)

### ■ 正逻辑与负逻辑

- 在逻辑电路中，常用电平的高、低表示逻辑0、1
- 若 $H=1, L=0$ ，称正逻辑
- 若 $H=0, L=1$ ，称负逻辑。
- 在本课程中，一律采用正逻辑。



正逻辑



负逻辑

## 3.2 门电路 (12)

### 正逻辑与负逻辑的不同表示

功能表

A	B	F
L	L	H
H	L	H
L	H	H
H	H	L

正逻辑

A	B	F
0	0	1
1	0	1
0	1	1
1	1	0

$$F = \overline{AB}$$

负逻辑

A	B	F
1	1	0
0	1	0
1	0	0
0	0	1

$$F = \overline{A + B}$$



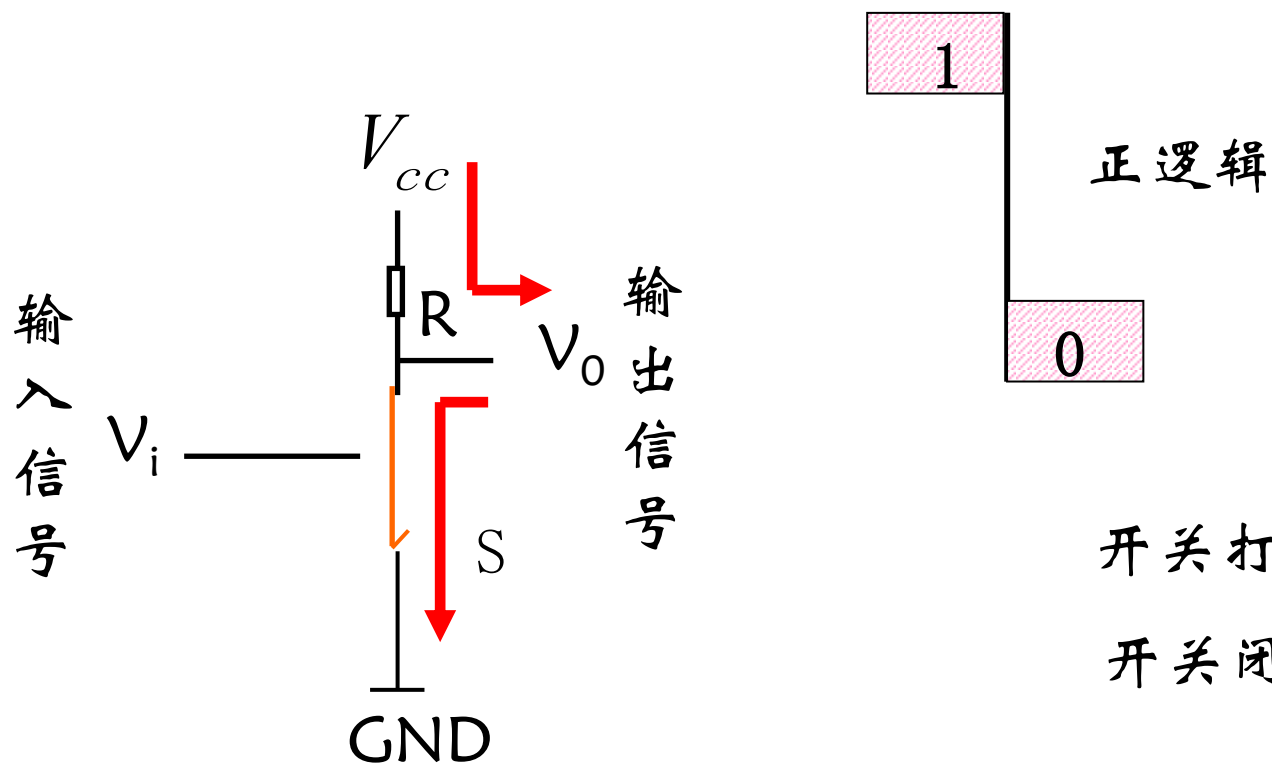
## 3.2 门电路 (13)

### 3.2 门电路

- 门电路的基本知识
- 典型TTL与非门电路结构（不考！）
- TTL与非门电路的外部特性与级连
- TTL集电极开路（OC）与非门
- TTL三态门

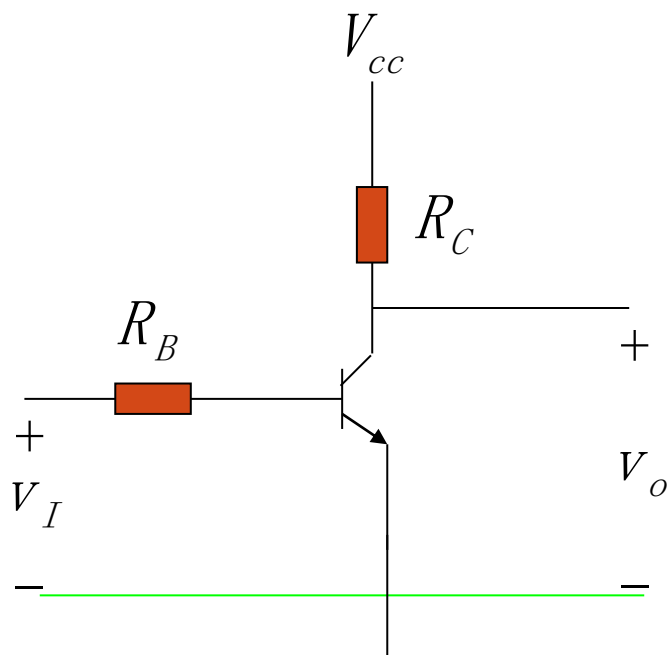
## 3.2 门电路 (14)

### 最简单的二值逻辑——开关



## 3.2 门电路 (15)

### 晶体管的工作状态

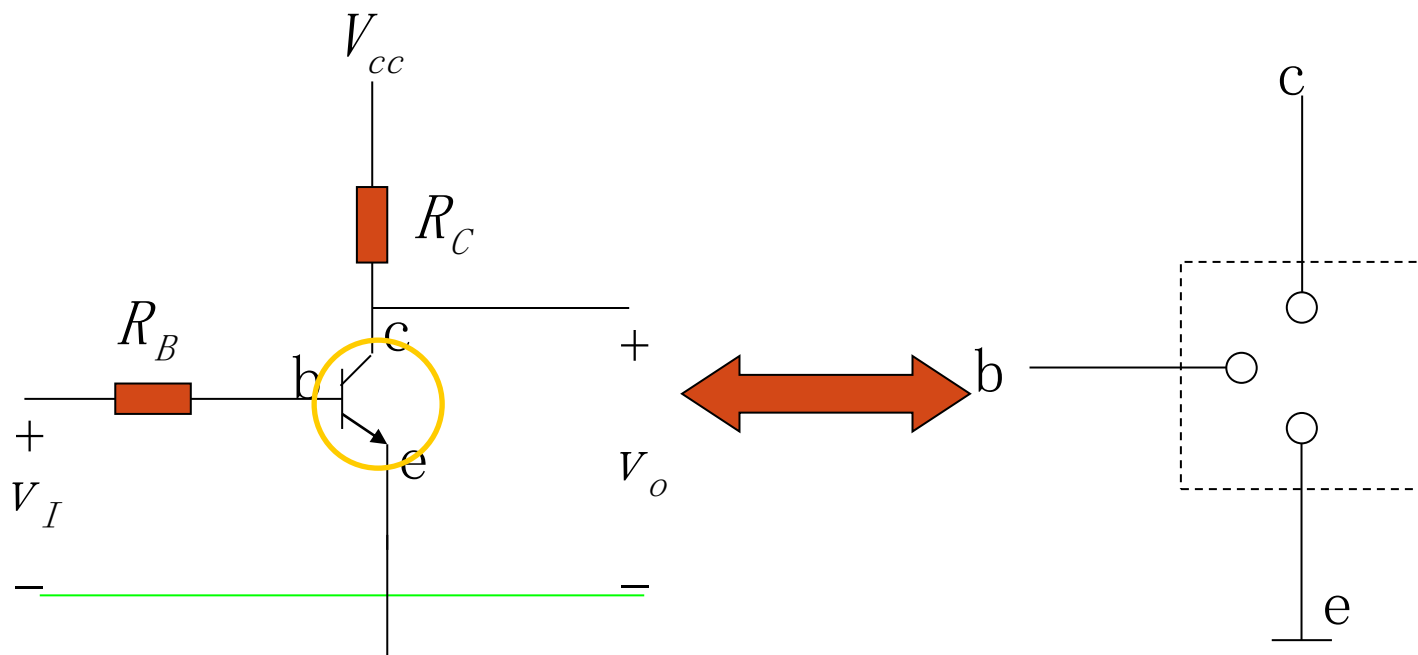


1. 截止状态
2. 放大状态
3. 饱和状态
4. 倒置状态

## 3.2 门电路 (16)

### ■ 截止状态

- 条件:  $V_b < 0.7\text{V}$
- 结果:  $I_b = 0, I_c = 0, V_o \approx V_{cc}$

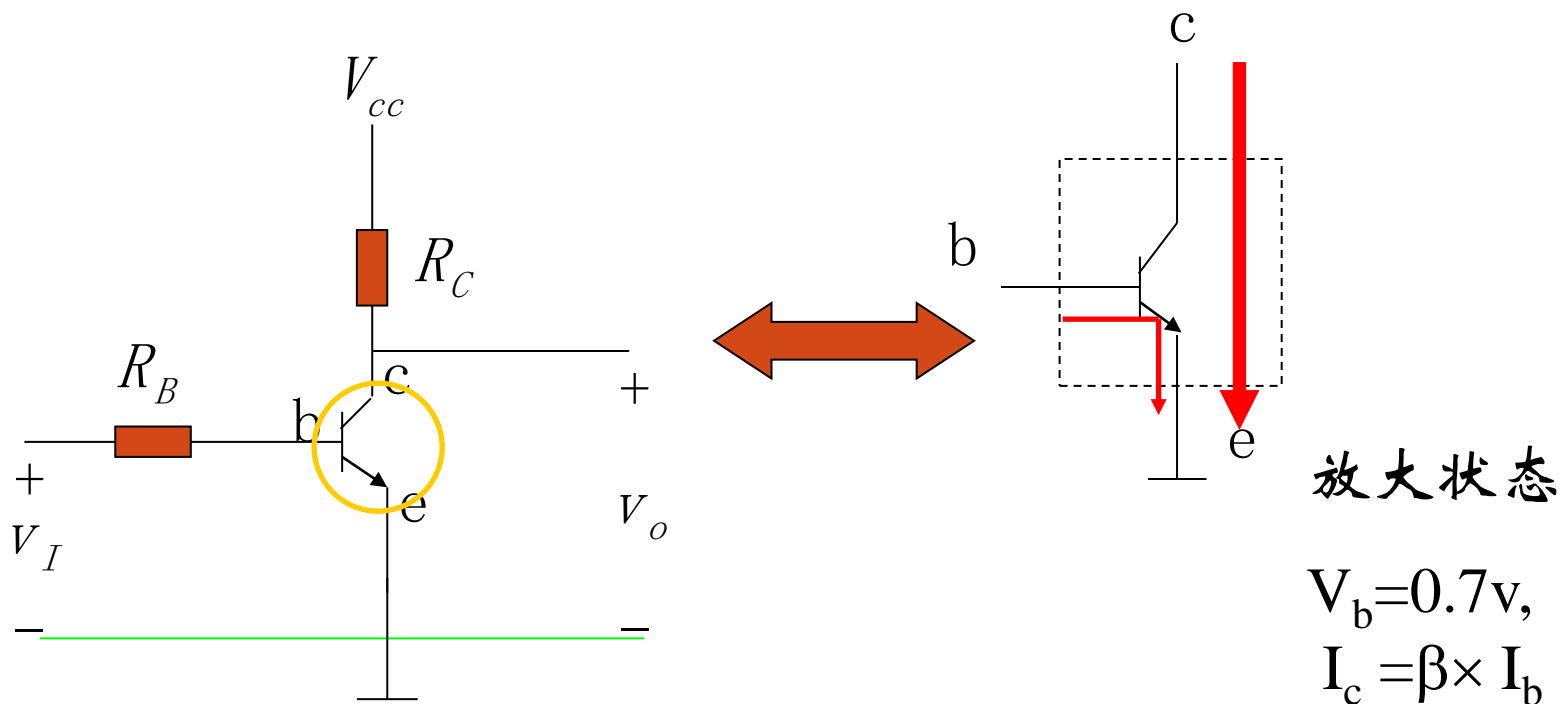


## 3.2 门电路 (17)

### ■ 放大状态

➤ 条件:  $V_b=0.7\text{v}$ ,  $I_b$  较小,  $I_c$  足够大。

➤ 结果:  $I_c = \beta \times I_b$       放大系数  $\beta$ : 20~100

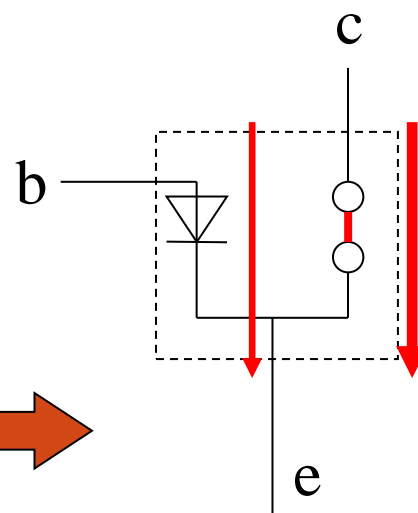
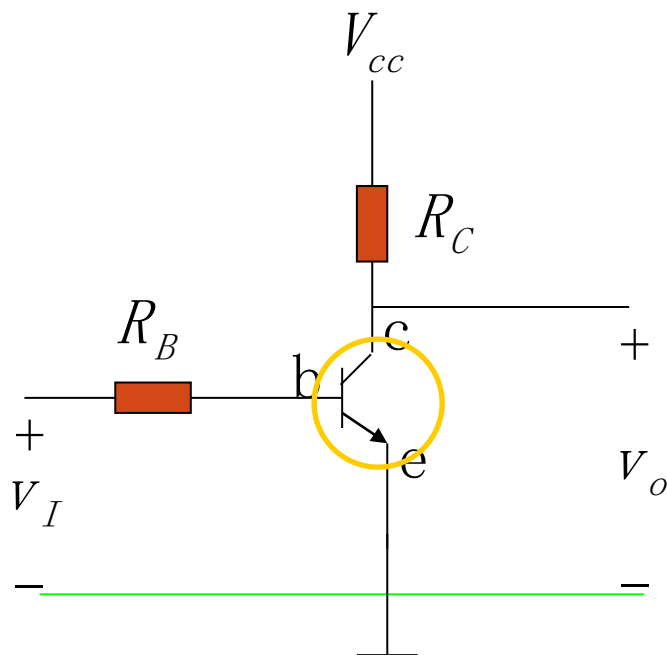


## 3.2 门电路 (18)

### ■ 饱和状态

➤ 条件:  $V_b=0.7\text{v}$ ,  $I_b$  较大,  $I_c < \beta \times I_b$

➤ 结果:  $V_c=0.1\text{v}\sim 0.3\text{v}$ ,



饱和状态

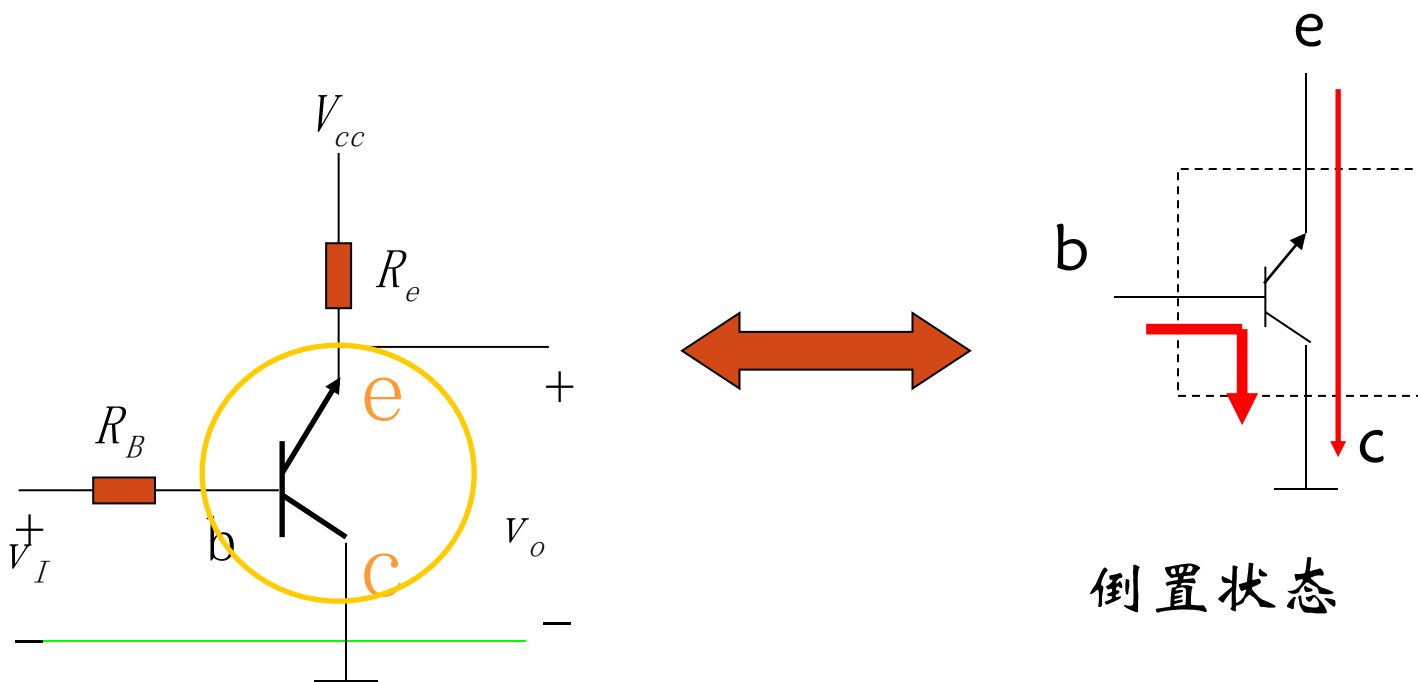
$I_c < \beta \times I_b$ ,  $V_b=0.7\text{v}$ ,  
 $V_c=0.1\text{v}\sim 0.3\text{v}$ ,

## 3.2 门电路 (19)

### ● 倒置状态

➤ 条件:  $V_b=0.7\text{V}$ ,  $V_e > V_c$ , 发射极电平高, 集电极电平低

➤ 结果:  $I_e = \beta' \times I_b$ , 放大系数  $\beta'$  大约等于 0.5

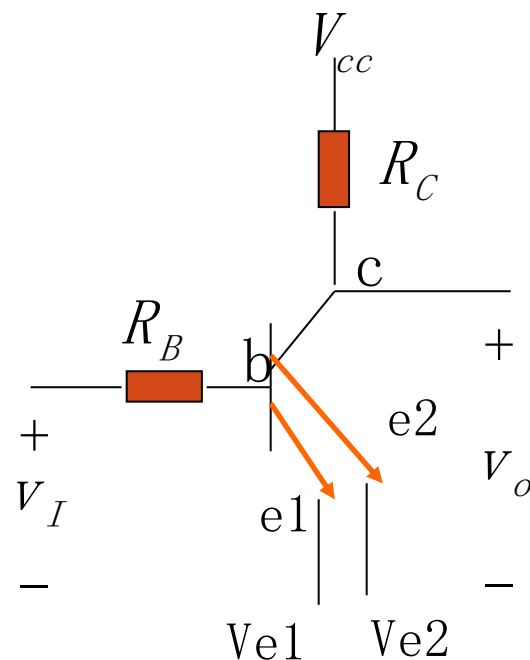


## 3.2 门电路 (20)

### ■ 关于多发射极三极管：

图中是双发射极三极管，对于不同的发射极可以接不同的电压，数字电路中一般有两种电压，一种是“高”（3.6V~5V），另一种是“低”（0.3V以下）

图中是双发射极都可能为“高”或“低”，只要有一个为低（假设 $V_{e1}=0$ ），当 $V_I - V_{e1} > 0.7V$ ，则整个三极管处于导通状态。



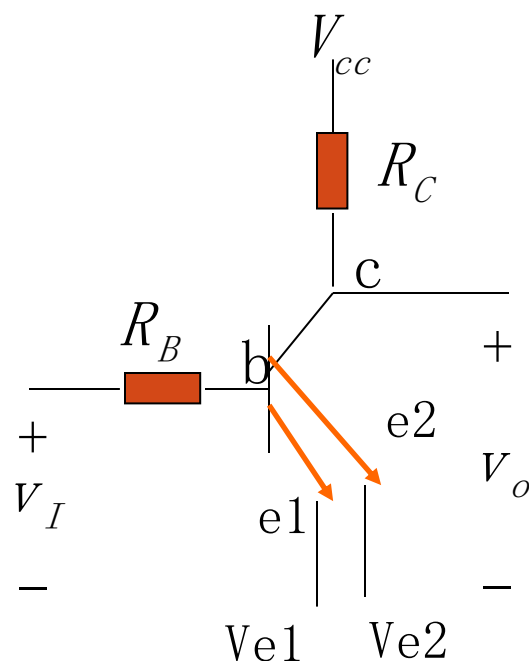


## 3.2 门电路 (21)

### ■ 关于多发射极三极管：

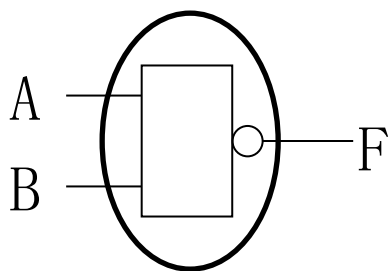
如果  $V_{e1}$  和  $V_{e2}$  都为高，  
 $V_I - V_{e1} < 0.7V$ ，  
 $V_I - V_{e2} < 0.7V$ ，则三  
极管处于截止状态。

实际上多发射极可以完  
成**逻辑“与”**的功能。



## 3.2 门电路 (22)

### ■ 与非门的外部功能



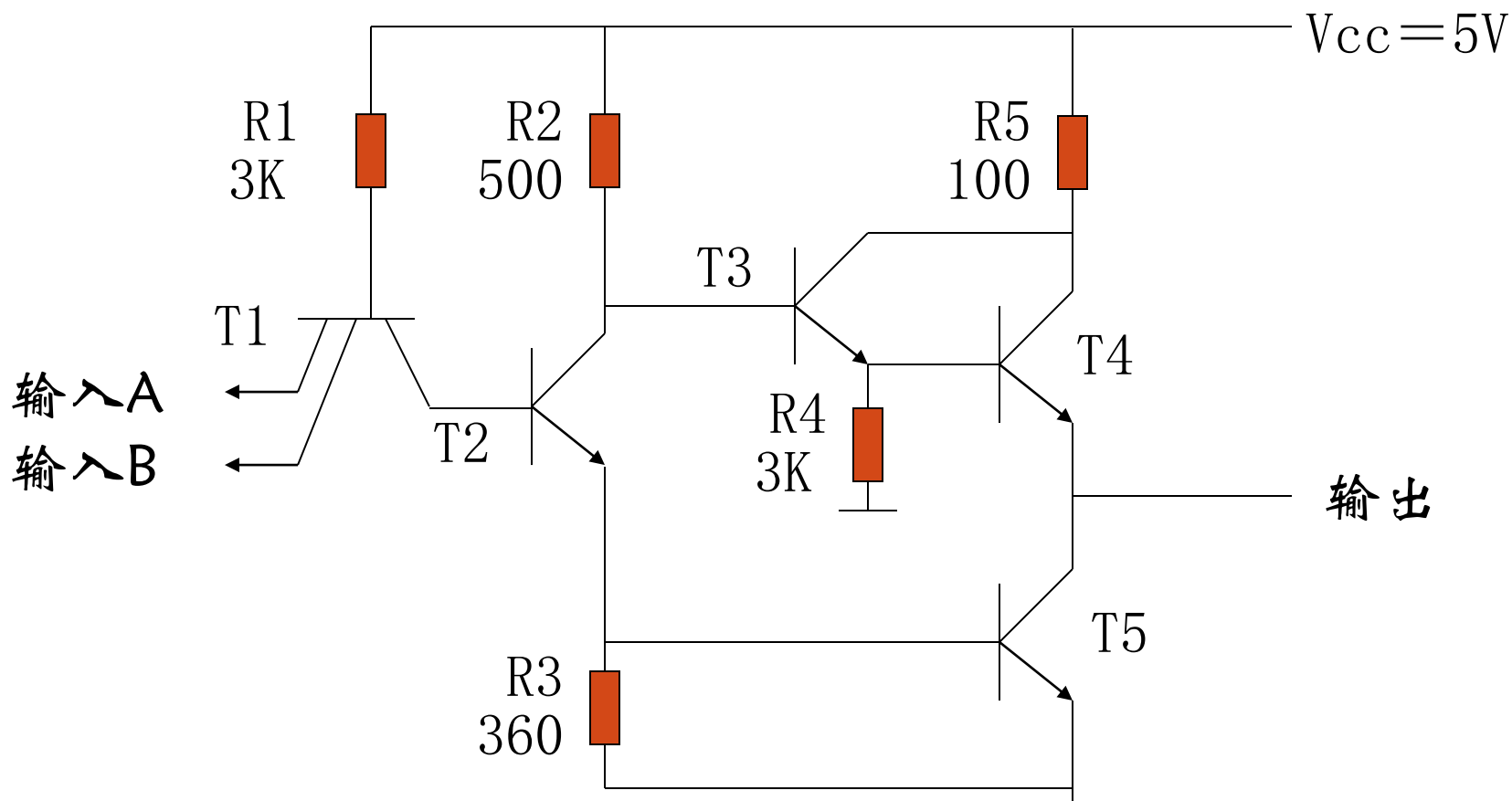
$$F = \overline{AB}$$

A	B	F
0	0	1
1	0	1
0	1	1
1	1	0

## 3.2 门电路 (23)

- 典型的五管TTL“与非门”

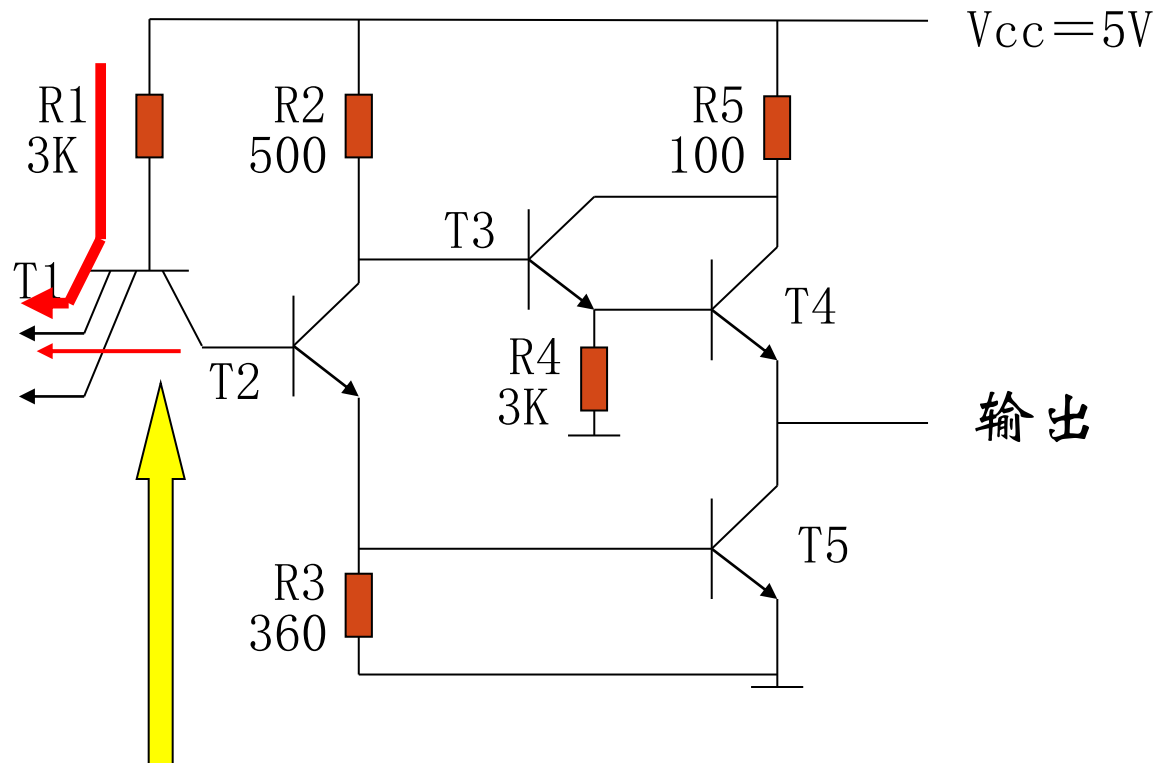
➤ 只分析原理，不讲如何设计。



## 3.2 门电路 (24)

### ■ 输入为低 (输入有低)

A=0.1V  
B=3.6V

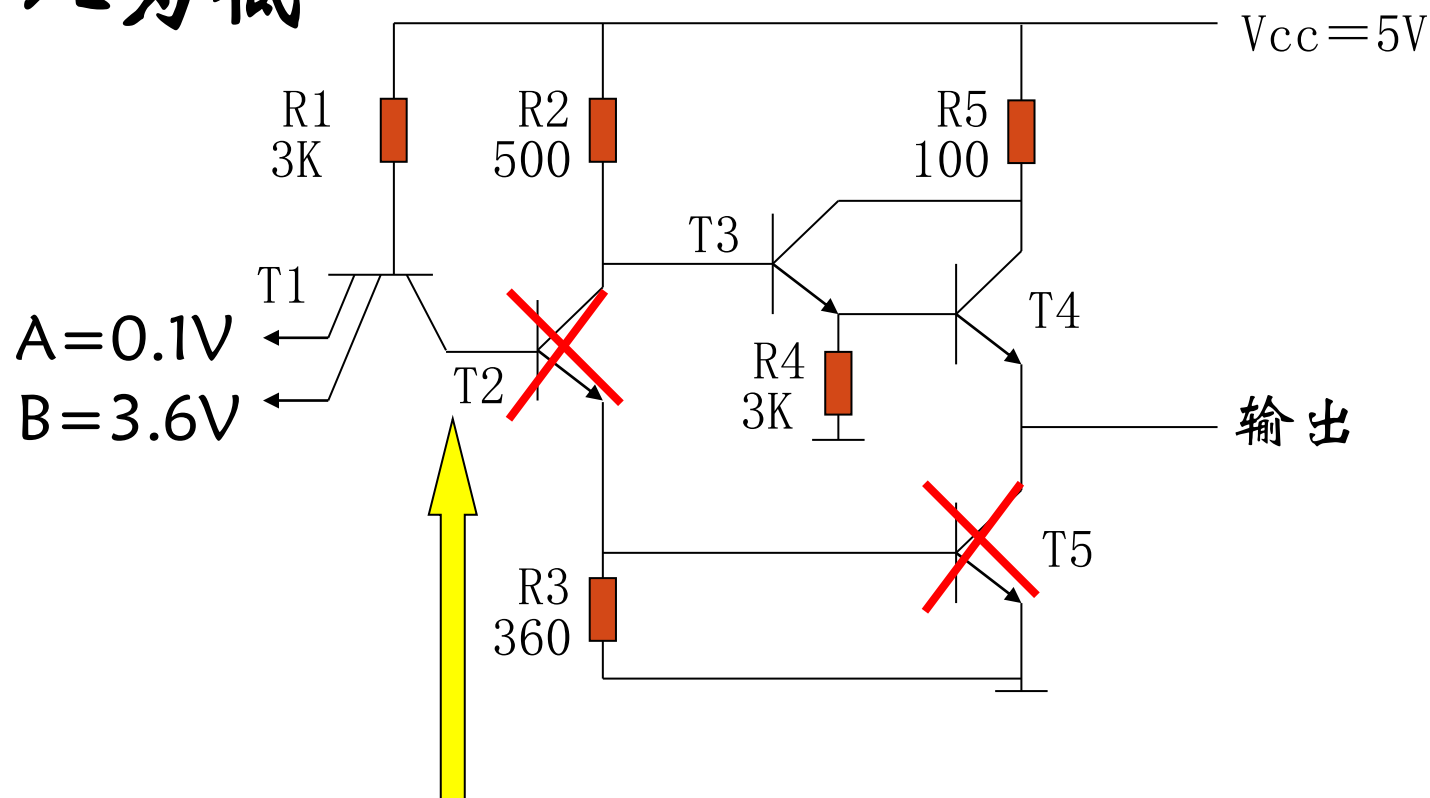


$I_{R1}$  流向 A, 其电流为  $I_A = I_{IL} = (V_{cc} - V_{be1} - V_A) / R1 = 1.4 \text{ mA}$

$V_{b1} = V_A + V_{be1} = 0.8 \text{ V}$ ,  $I_{c1}$  很小,  $I_{c1} < I_{b1} \times \beta$ , T1 深饱和

## 3.2 门电路 (25)

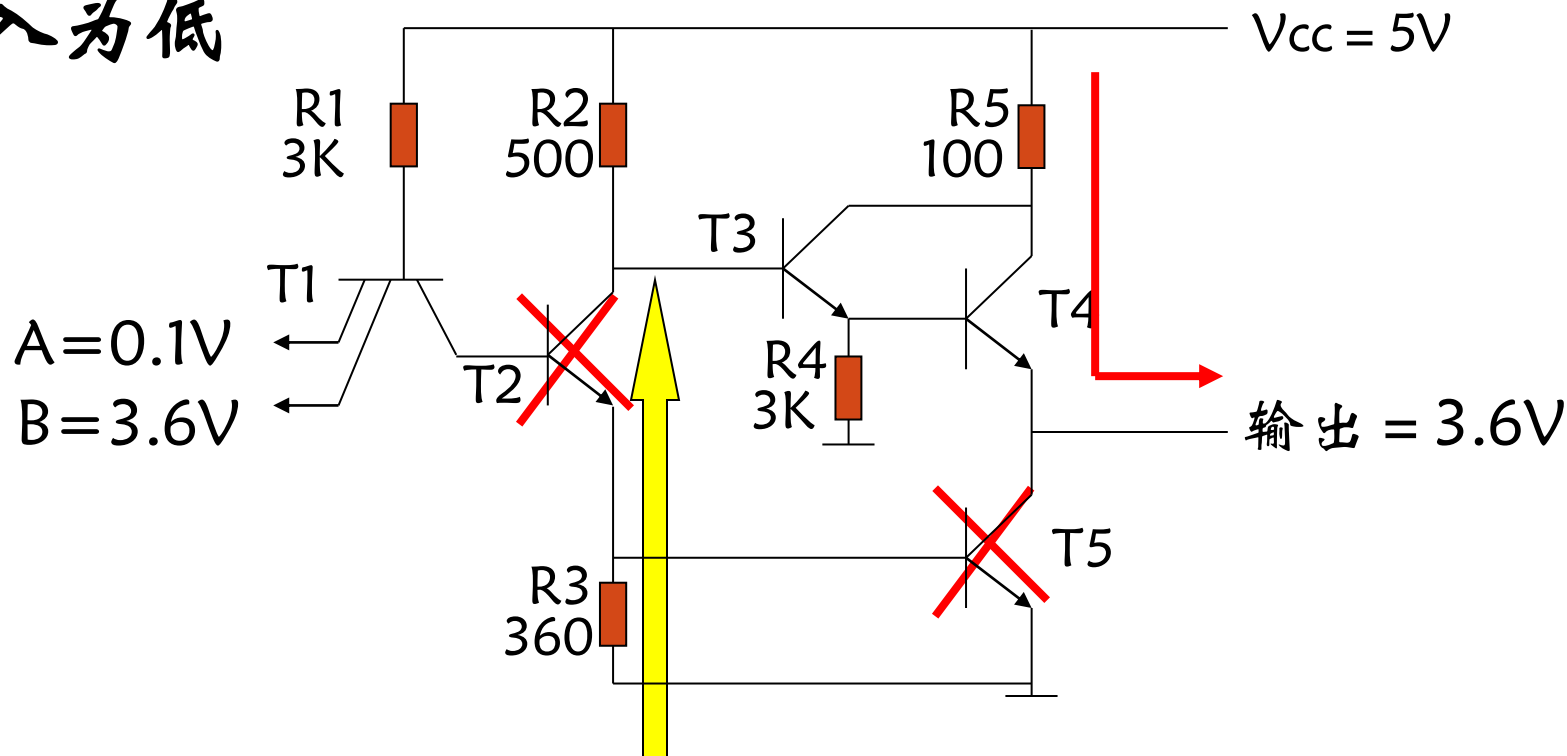
### ■ 输入为低



T1深饱和,  $V_{c1} = V_A + V_{ce1} = 0.1V + 0.3V = 0.4V$ ,  $T_2, T_5$ 截止

## 3.2 门电路 (26)

### ■ 输入为低



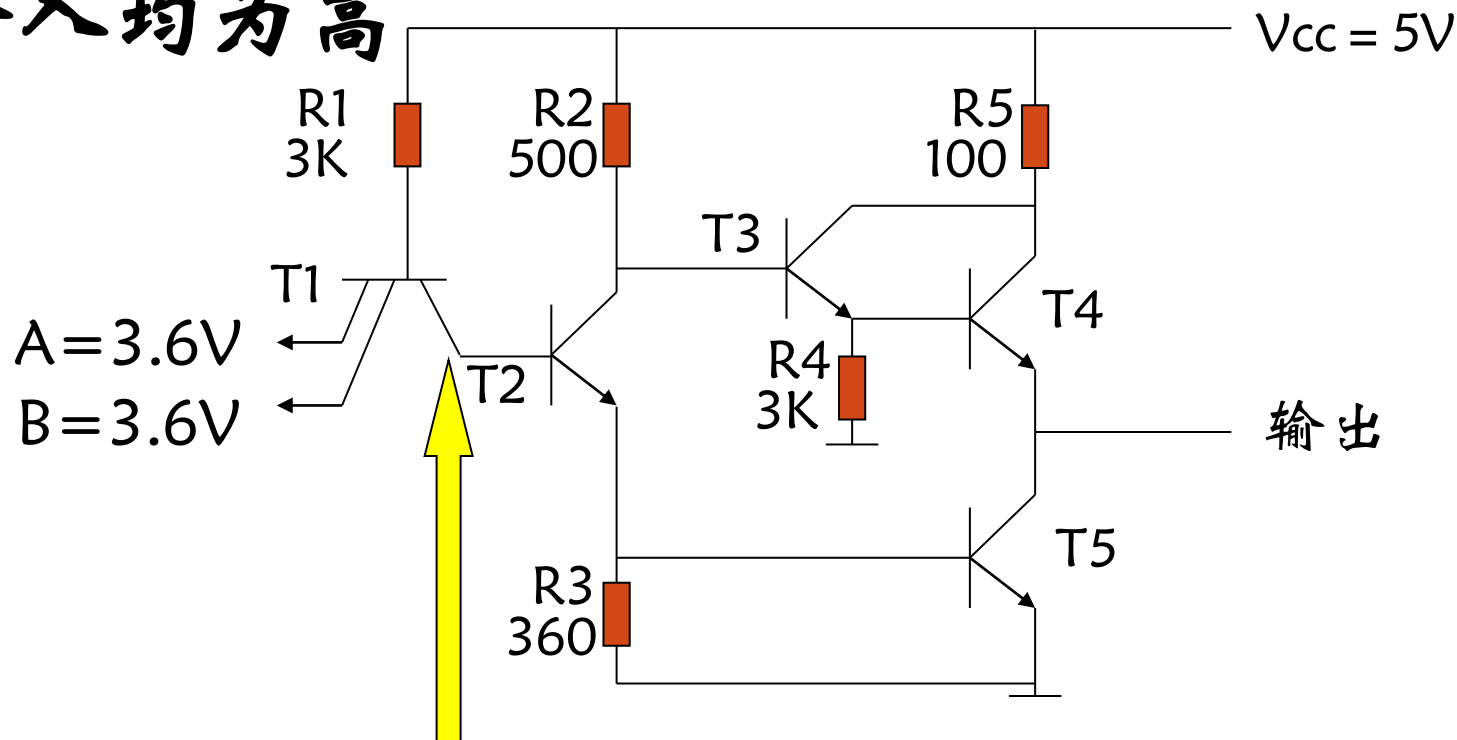
$V_{c2} \approx V_{cc}$ ,  $T_3$ ,  $T_4$  导通, 输出电压:  $V_{oh} = V_{c2} - V_{be3} - V_{be4} = 3.6V$

输出电流  $I_{oh}$ : 从  $T_4$  向外流。

结论: 与非门输入至少有一个为低时, 输出为高。

## 3.2 门电路 (27)

### ■ 输入均为高

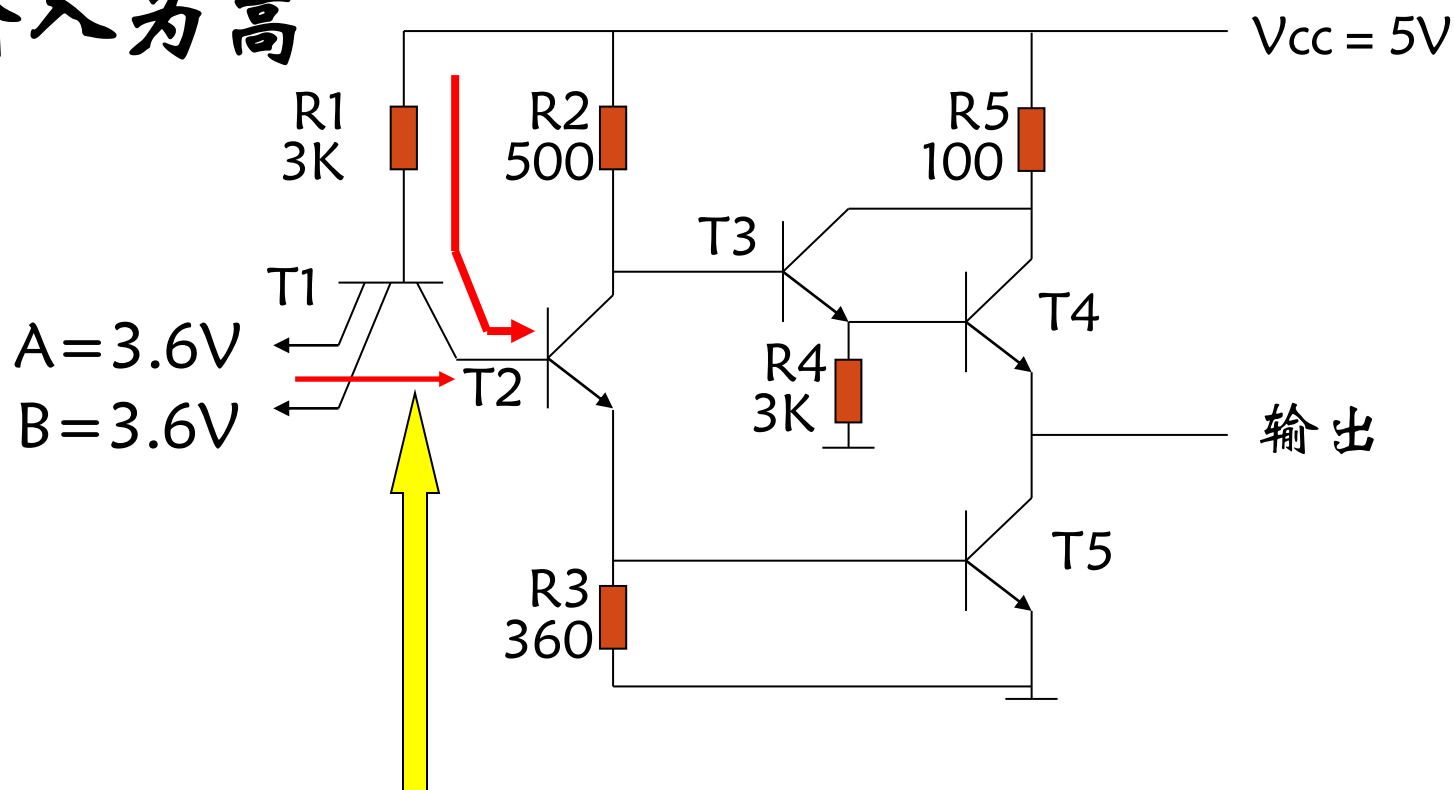


$V_{b2}$ 最大只能到1.4V: 因为当 $V_{b2}=1.4V$ 时, T2和T5就处于导通状态,  $V_{b2}$ 被嵌位在1.4V。

T<sub>1</sub>工作在倒置状态。

## 3.2 门电路 (28)

### ■ 输入为高

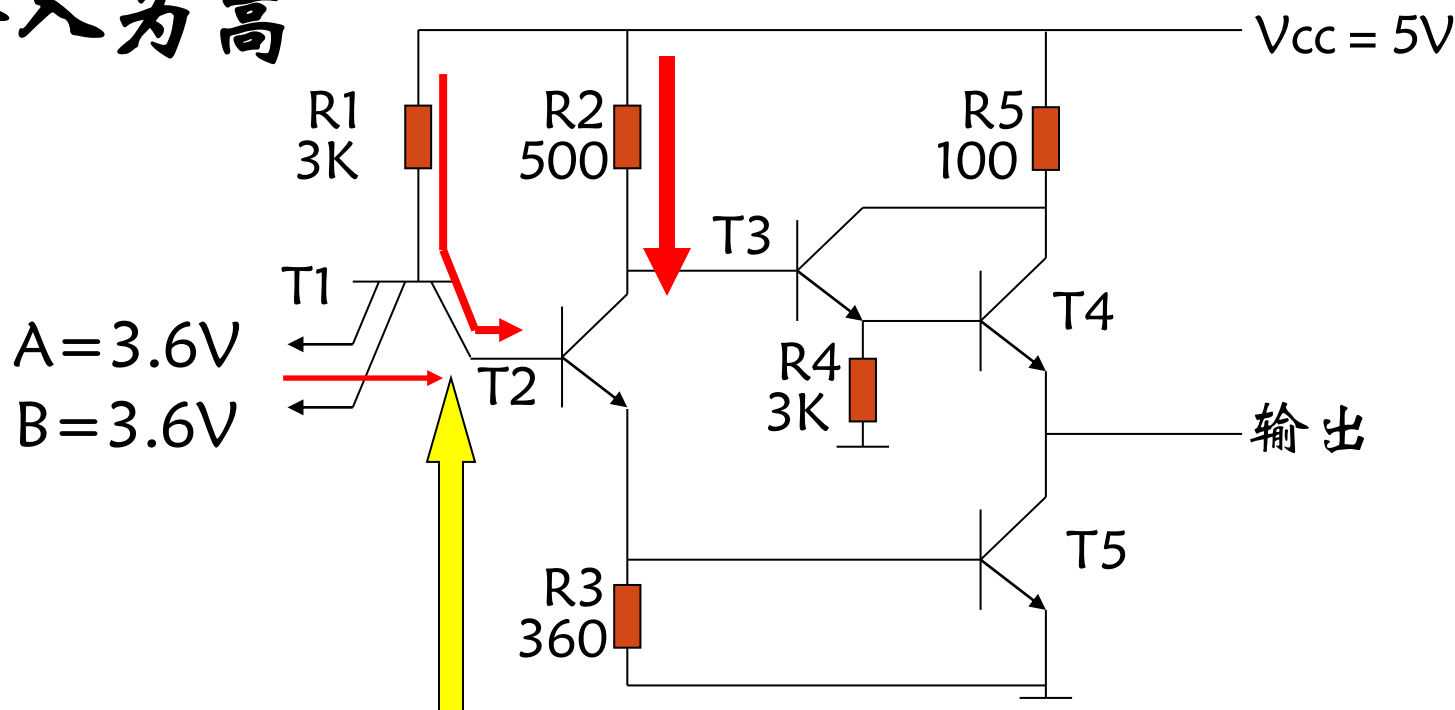


$I_{R1}$  全部流向  $T_2$  基极，输入 A 和 B 的漏电流  $I_{IH}$ ，从多发射极流入  
T2 工作在什么状态？



## 3.2 门电路 (29)

### ■ 输入为高



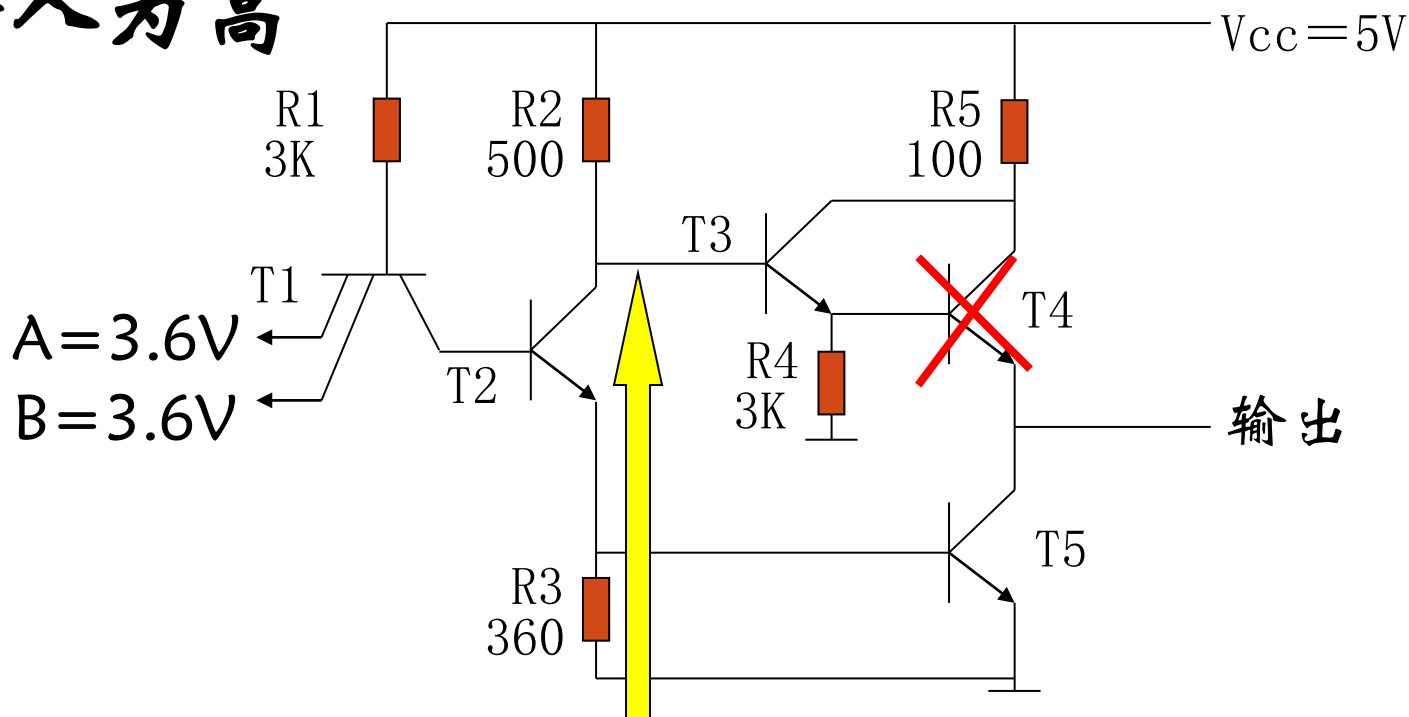
由于  $I_{b2} \approx I_{R1} = (V_{CC} - 2.1V) / 3K \approx 1mA$ ,

$I_{c2}$  最大电流为  $10mA (= V_{CC} / R2)$ ,  $I_{c2} < I_{b2} \times \beta$

所以  $T2$  工作在饱和状态下

## 3.2 门电路 (30)

### ■ 输入为高

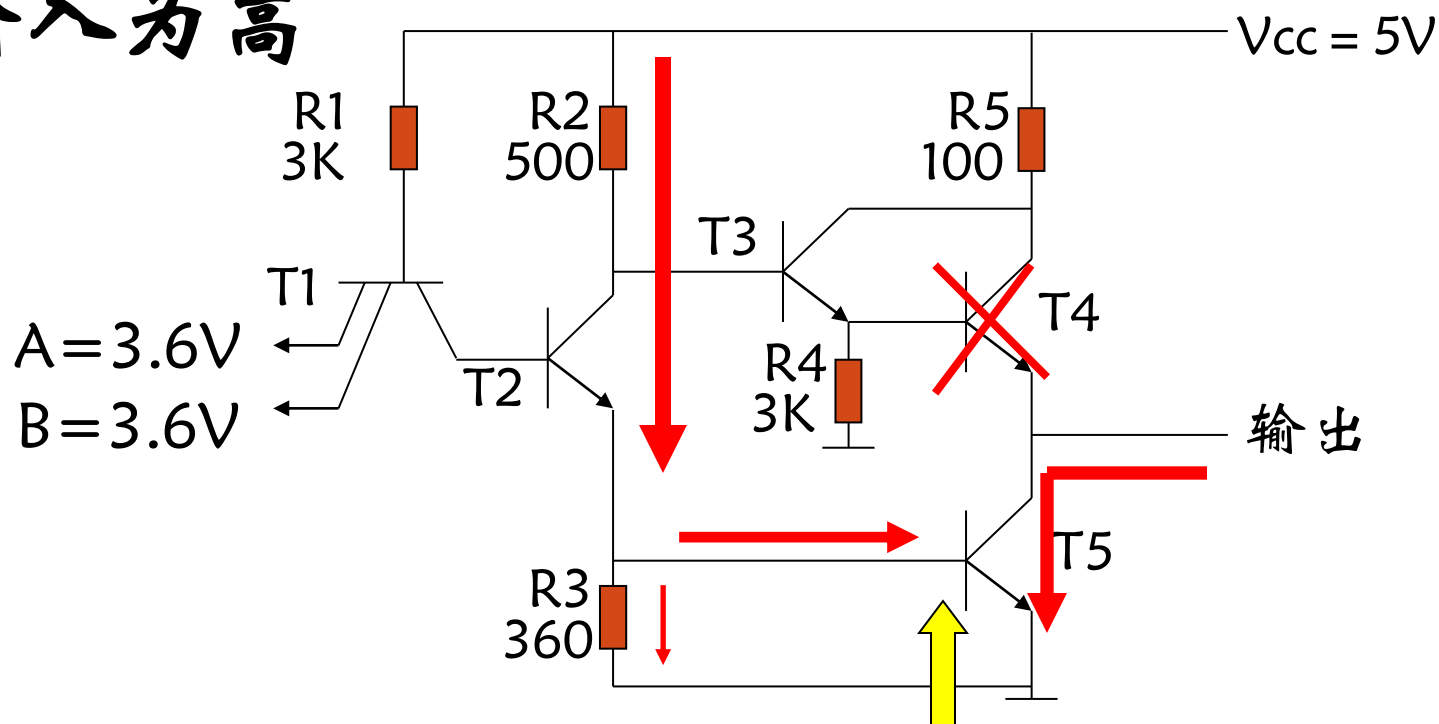


$$V_{c2} = V_{b3} = V_{e2} + V_{ce2} = 0.7V + 0.3V = 1V$$

由于  $V_{b3} = V_{c2} = 1V$ , 所以  $T3$  处于导通状态,  $T4$  处于截止状态

## 3.2 门电路 (31)

### ■ 输入为高

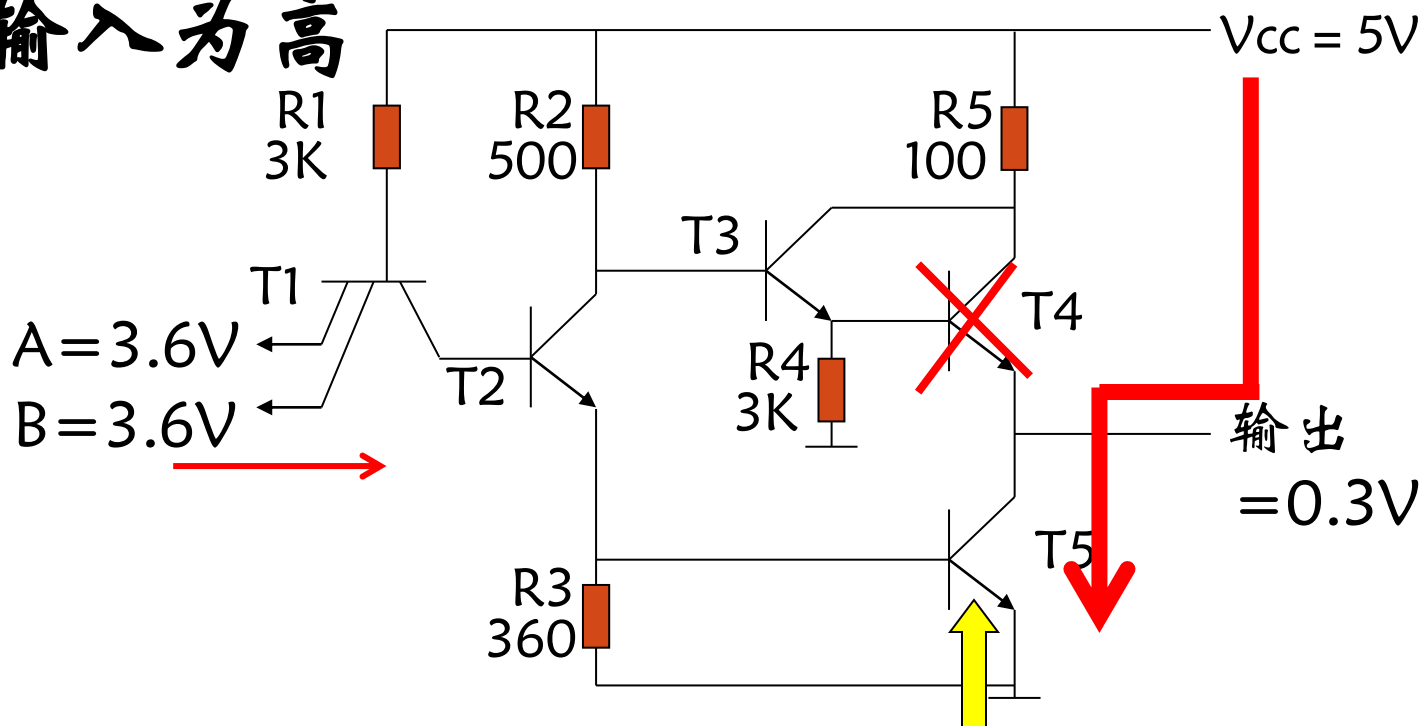


$$I_{b5} = I_{c2} - I_{R3} = (5V - 0.3V - 0.7V) / 500 - 0.7V / 360 \approx 6mA$$

由于  $I_{c5}$  由外部提供，外部不可能提供大于  $120mA$  以上的电流。  
所以  $T5$  工作在饱和状态。

## 3.2 门电路 (32)

### ■ 输入为高

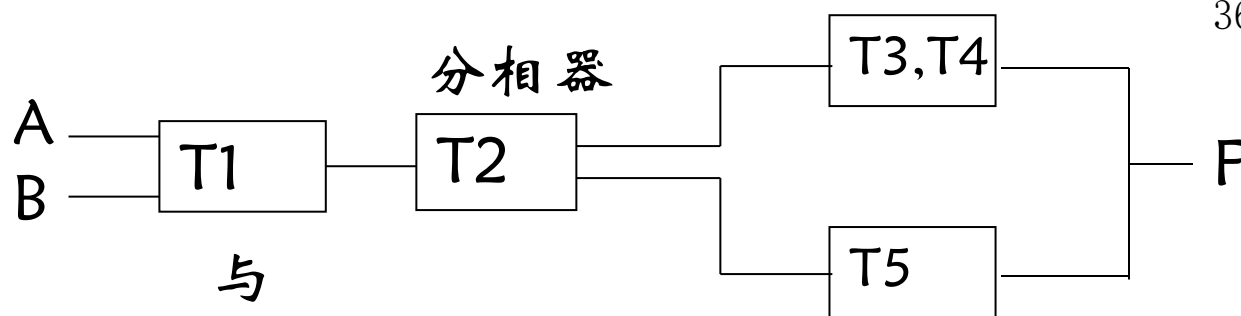


由于T5工作在饱和状态，所以输出电压 =  $V_{C5} = 0.1V \sim 0.3V$

结论：当输入都为高时，与非门的输出为低。

## 3.2 门电路 (33)

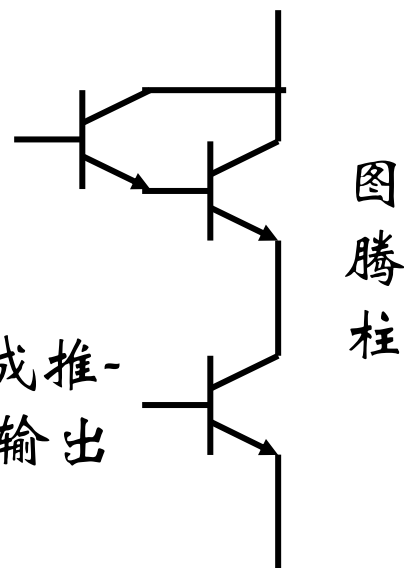
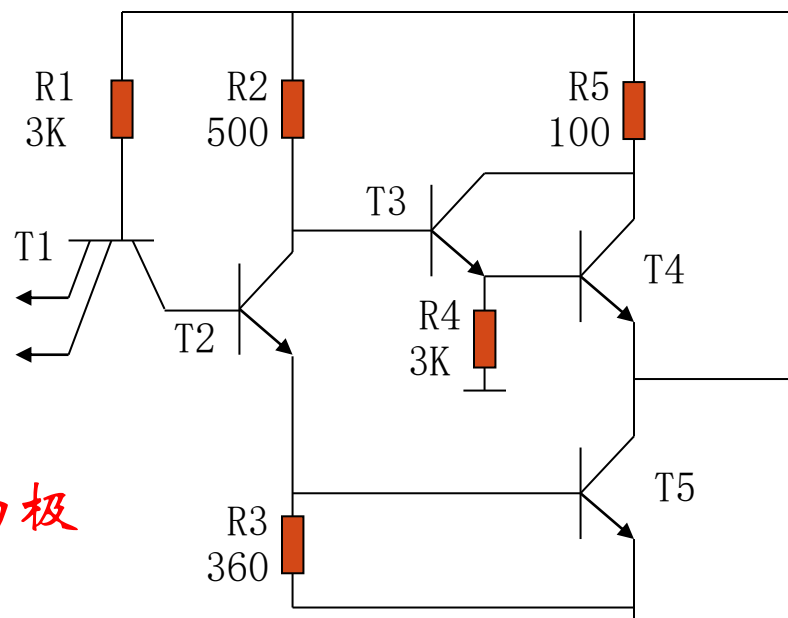
- 与非门结构



“1” 驱动极

“0” 驱动极

T3-T4称“1”驱动级，T5称“0”驱动级，组成推-拉式输出结构，又称图腾柱结构 (Totem) 输出  
TTL与非门需要5个晶体管和5个电阻，  
CMOS与非门只需要4个MOS管，所以集成度高



## 3.2 门电路 (37)

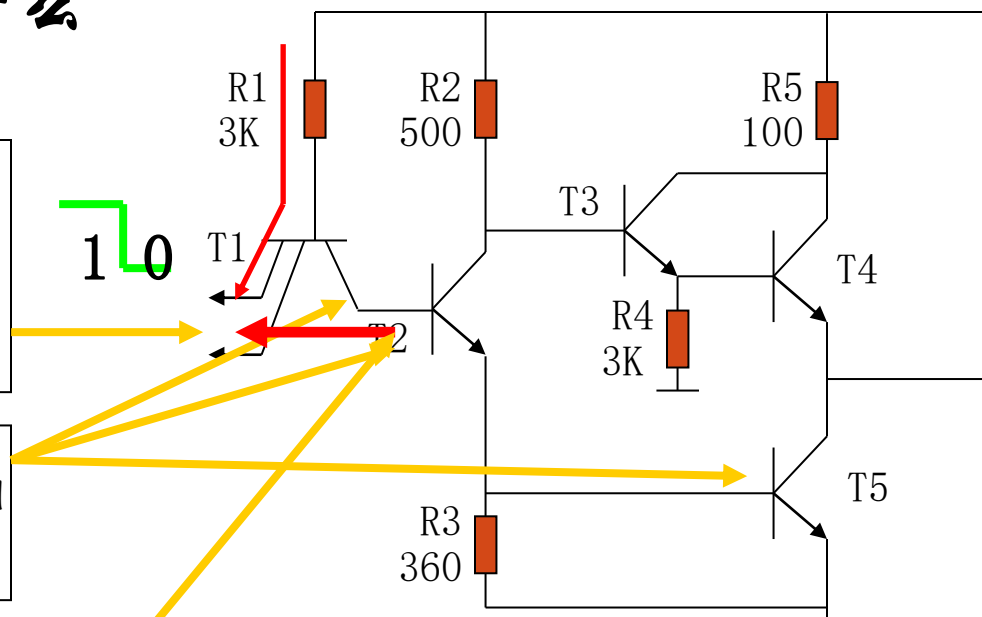
开关特性：TTL线路为什么有较快的开关速度？

输入由“1”跳至“0”时，因T1射极突跳至“0”， $I_{R1}$ 流入T1射极

T2, T5此时尚未脱离饱和， $V_{C1}$ 仍为1.4V，T1处于放大状态

于是有很大的电流从T2基极流向T1，使T2基区存储电荷迅速消散

加快T2退出饱和，T2截止，因而加快与非门输出由“0”向“1”的转换



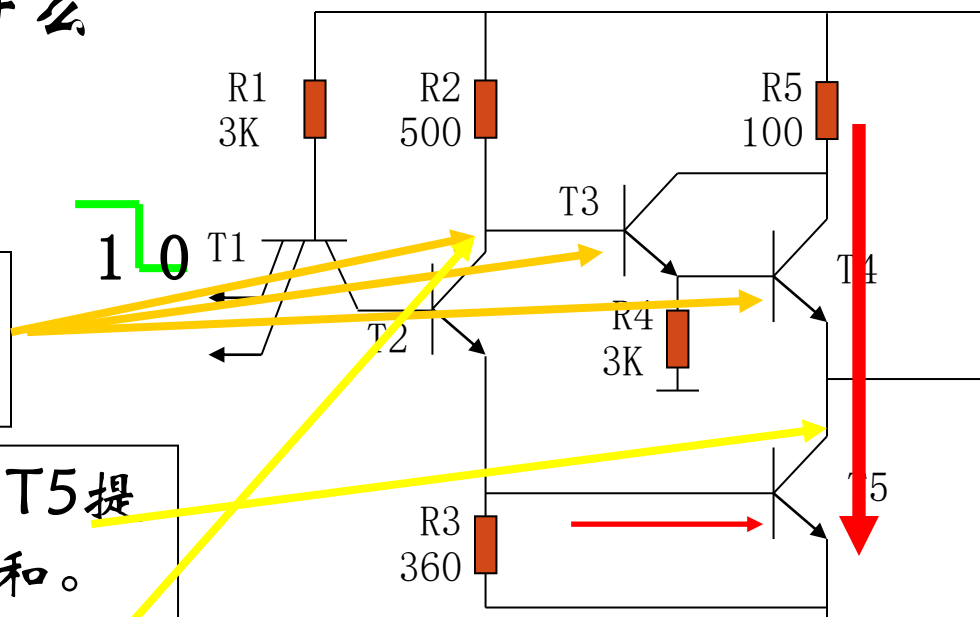
## 3.2 门电路 (38)

开关特性：TTL线路为什么有较快的开关速度？

在T2由饱和向截止转换时， $V_{C2}$ 升高，使T3、T4同时导通

“1” 驱动级给尚未脱离饱和的T5提供很大集流，使T5迅速脱离饱和。

在T5脱离饱和时， $V_{C2}$ 抬高， $I_{R2}$ 减少， $I_{b5}$ 随之减少，T5吸收不了由T3、T4流来的电流。

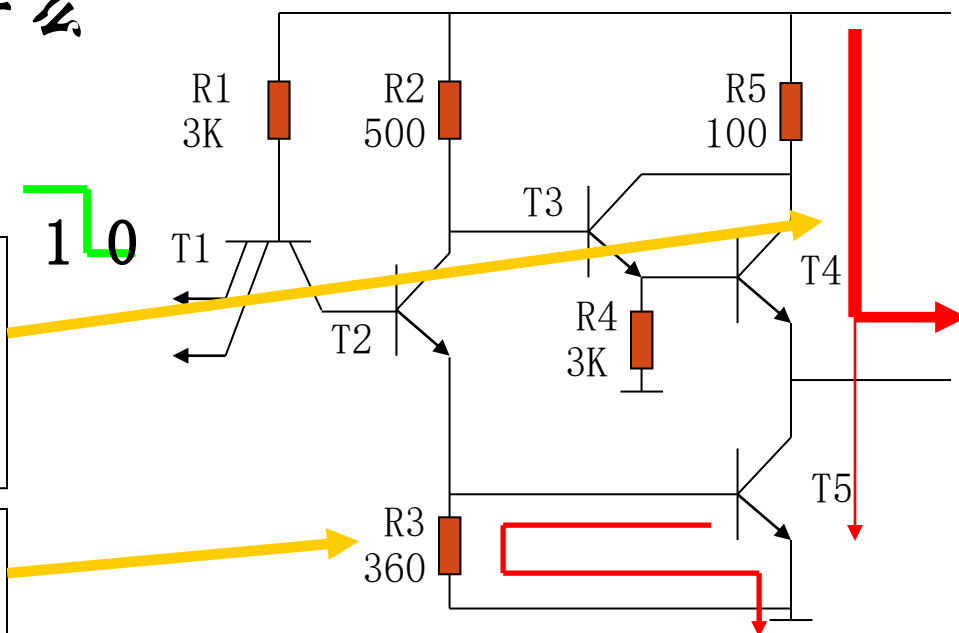


## 3.2 门电路 (39)

开关特性：TTL线路为什么有较快的开关速度？

T3,T4流来的电流，它们大部分流向输出负载电容，使它迅速充电，加快输出电压上升

R3为T5基区电荷的逸散提供了通路，使T5截止过程加快





## 3.2 门电路 (39)

### ✓ TTL与MOS管与非门的延迟对比

	TTL管				MOS管		
	标准74 序列	快速 74H系 列	高速 74F系 列	先进肖 特基 74AS系 列	4000系 列	HC/HC T系列	低压 LVC系 列
延时 $t_{pd}$ (ns纳秒)	10	6	3	1.5	100	10	3.8

注：门延时不但与TTL、MOS技术方案选择有关，也与门电路的尺寸、工艺有着直接关系。分立器件的体积较大、延迟也高，而28nm的MOSFET非门延迟在ps（皮秒）量级，远小于分立器件的延时。

## 3.2 门电路

### 3.2 门电路

- 门电路的基本知识
- TTL典型与非门电路结构
- ⇒ □ TTL与非门电路的外部特性与级连
- 集电极开路 (OC) 与非门
- 三态门

## 3.2 门电路

### ⇒ ■ 与非门电路的外部特性

- 开关特性

- 转移特性

- 直流参数

### ■ 与非门电路的级联

- 负载计算

- 非正常状态分析

# 技术参数

## ■ 主要有下列参数:

- 扇入 (Fan-in) 一个门的可用输入数目
- 扇出 (Fan-out) 一个门的输出可以驱动的标准门个数
- 传输延迟 (Propagation Delay)  
从输入传输到输出所需要的时间。电路的处理速度与电路门的最大传输延迟成反比例关系
- 功耗 (Power Dissipation)  
逻辑门消耗的能量, 以热的形式散发

# 传输延迟

## ■ 传输延迟

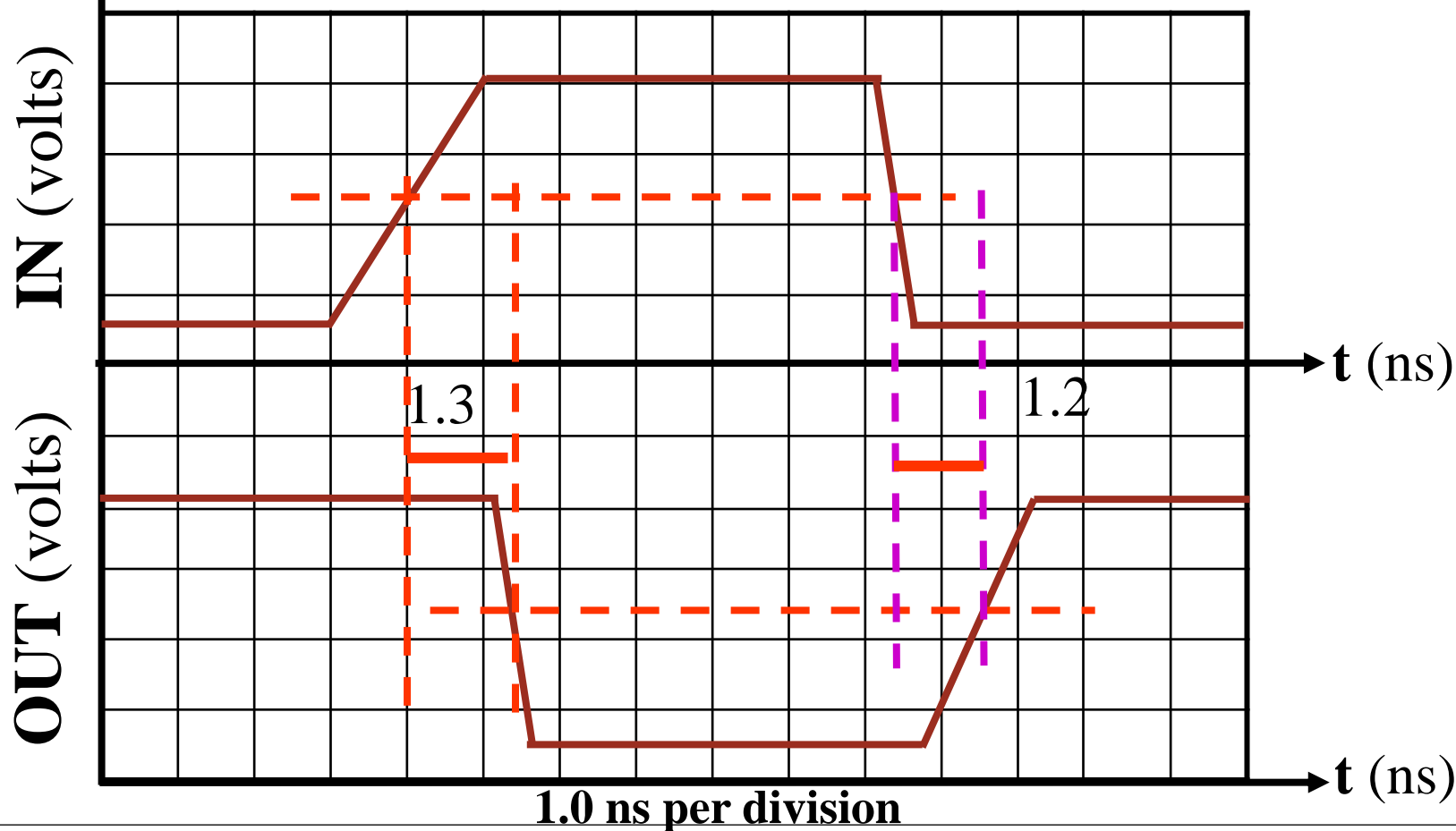
- 是信号变化时从输入**传输**到输出所需要的时间
- 最大和最小值的中间50%点作为时间参考点.
- 高到低 ( $t_{PHL}$ ) 或低到高 ( $t_{PLH}$ ) 输出信号改变可能有不同的传输延迟
- 高到低 (HL) 或低到高 (LH) 跃迁是**根据输出关系定义**
  - 不是输入关系
  - 一个高到低 (HL) 输入跃迁导致:
    - 如果是非门, 则得到一个低到高的输出跃迁
    - 如果是同相门, 则得到一个高到低的输出跃迁

# 非门传输延迟

■ 传输延迟以高低的中间点为参考点

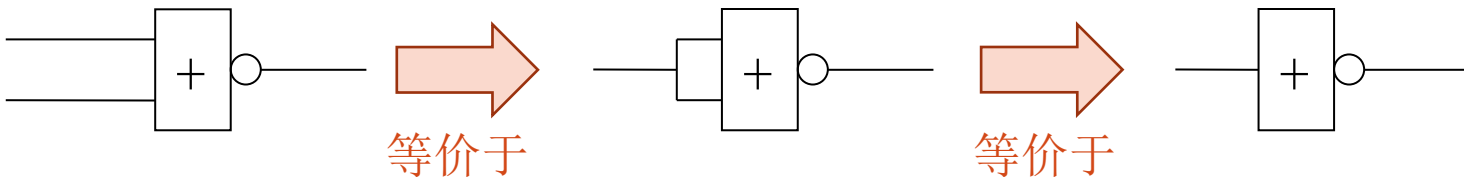
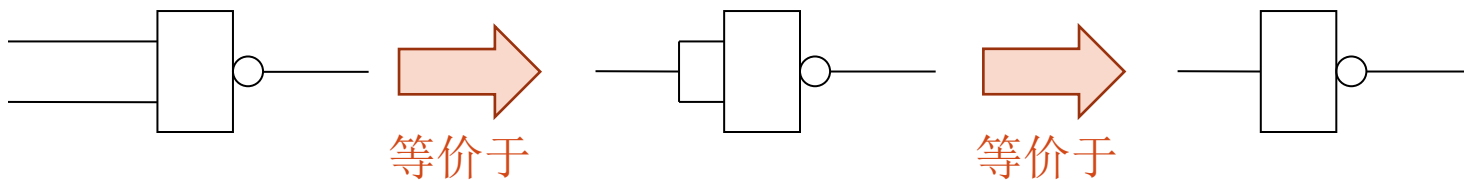


□  $t_{PHL} = 1.3\text{ns}$   $t_{PLH} = 1.2\text{ns}$   $t_{pd} = \text{avg}(t_{PHL}, t_{PLH}) = 1.25\text{ns}$



## 3.2 门电路 (40)

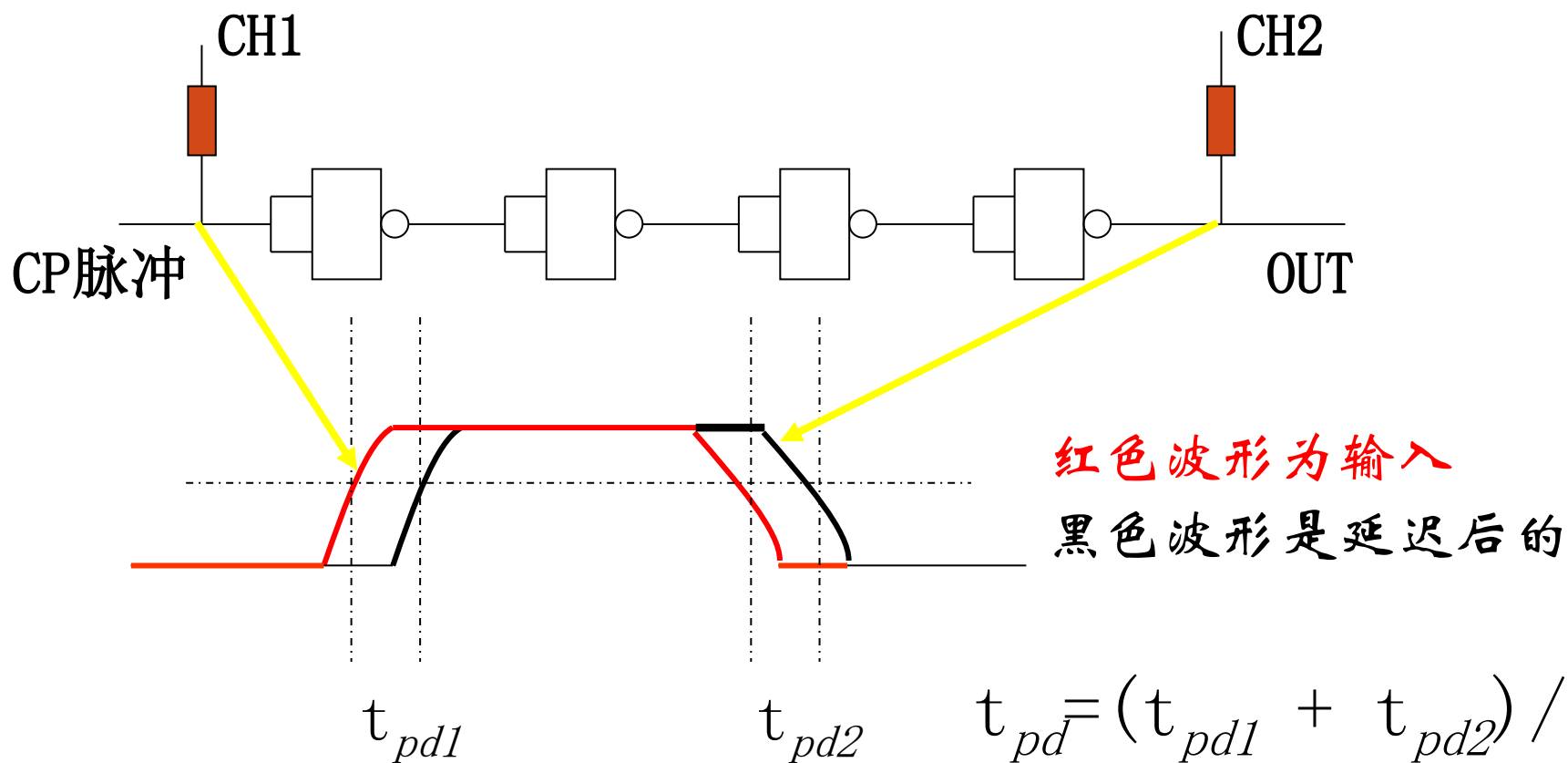
- 延迟时间的测量



## 3.2 门电路 (40)

- 延迟时间的测量

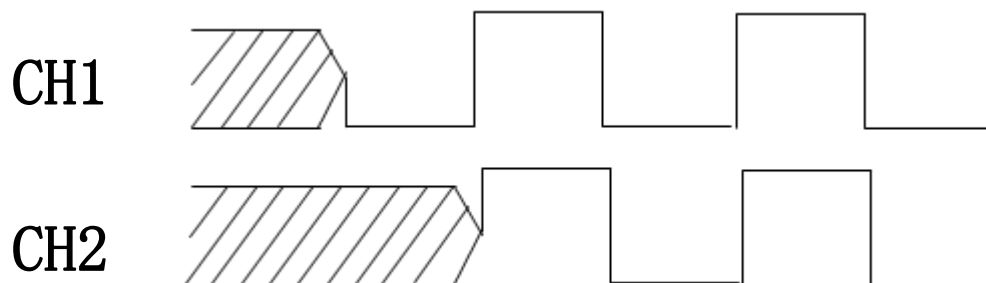
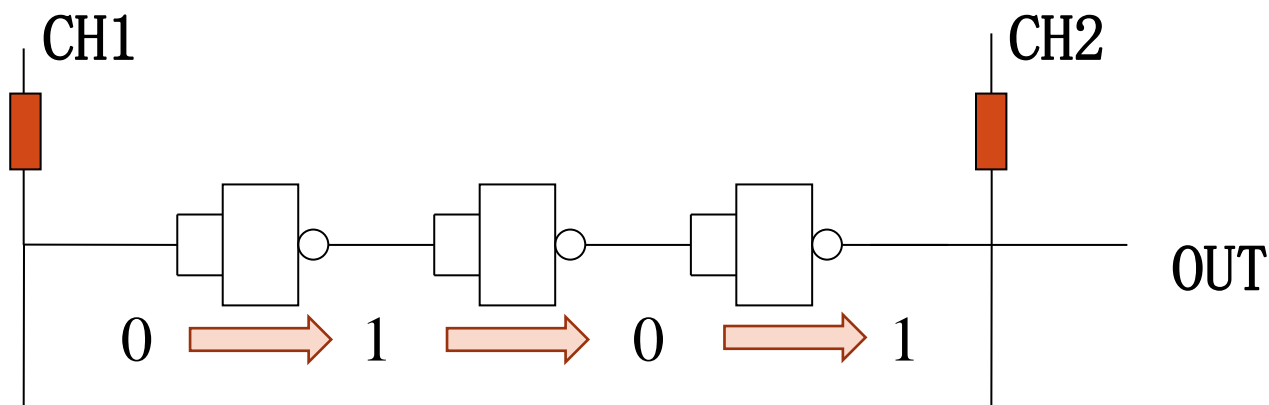
如果没有输入，什么情况下能形成自激振荡？





## 3.2 门电路 (40)

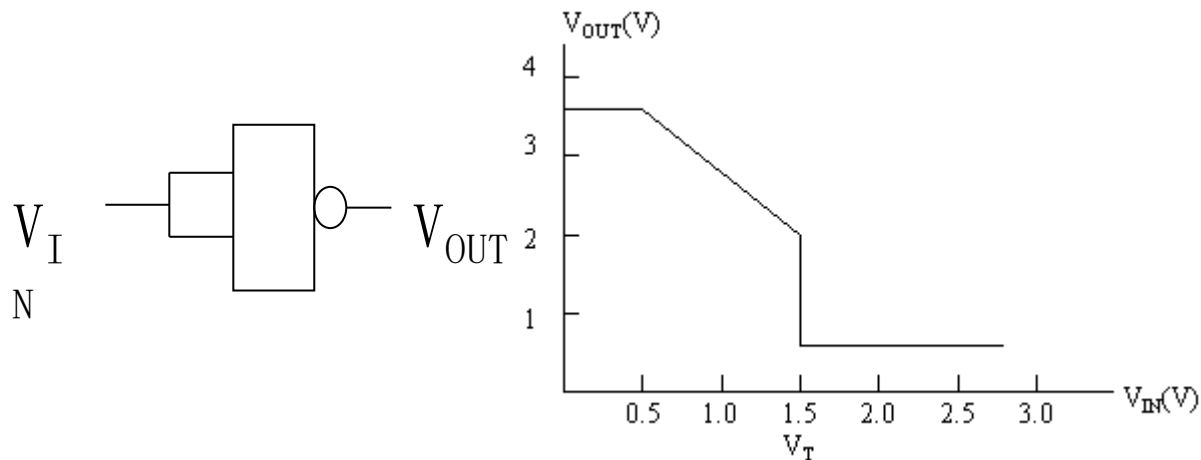
- 自激振荡电路



这是永动机吗？

## 3.2 门电路 (41)

- 转移特性：门电路中输出电压随输入电压的变化特性。 $V_{IN}$ - $V_{OUT}$ 关系曲线)

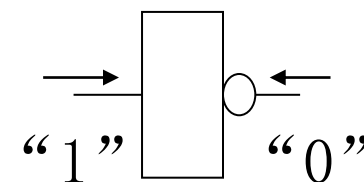
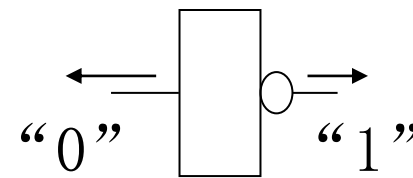


在曲线上， $V_{OUT}$ 急剧下降时的 $V_{IN}$ 称：阈值电压 $V_T$ ，或称门檻电压

## 3.2 门电路 (42)

### ■ 直流参数

- “0” 输入电流  $I_{IL} \leq 1.6 \text{ mA}$
- “1” 输出电流  $I_{OH} \leq 0.4 \text{ mA} = 400 \text{ uA}$
- “1” 输出电压  $V_{oh} \geq 3\text{V}$  (10个负载)
  
- “1” 输入电流  $I_{IH} \leq 40 \text{ uA}$
- “0” 输出电流  $I_{OL} \leq 16 \text{ mA}$
- “0” 输出电压  $V_{OL} \leq 0.35\text{V}$  (10个负载)



## 3.2 门电路 (43)

### ■ 与非门电路的外部特性

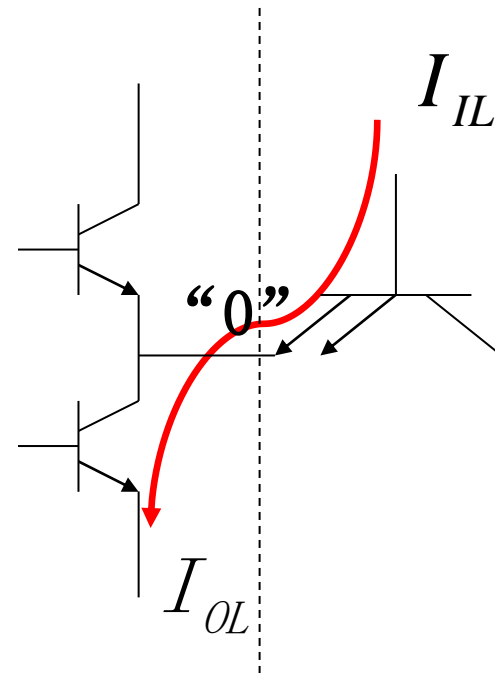
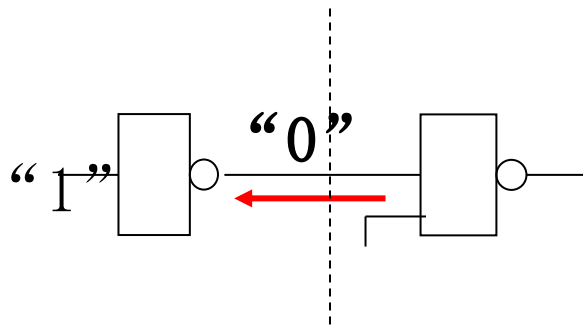
- 开关特性
- 转移特性
- 直流参数

### ⇒ ■ 与非门电路的级联

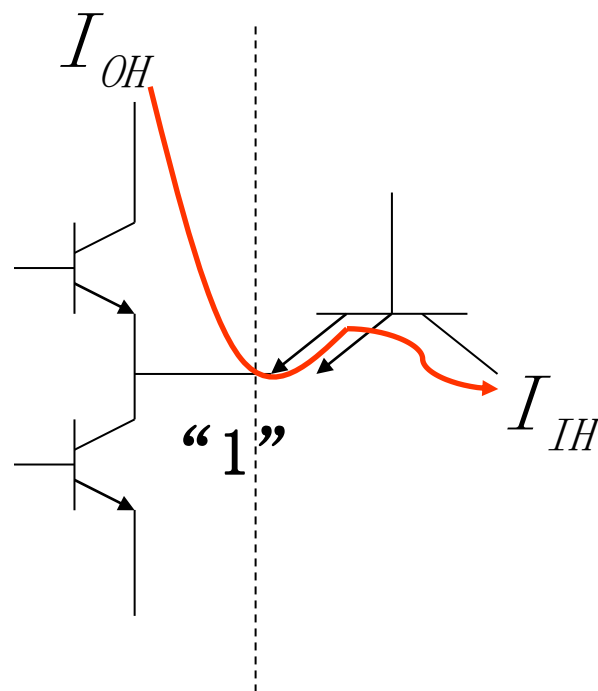
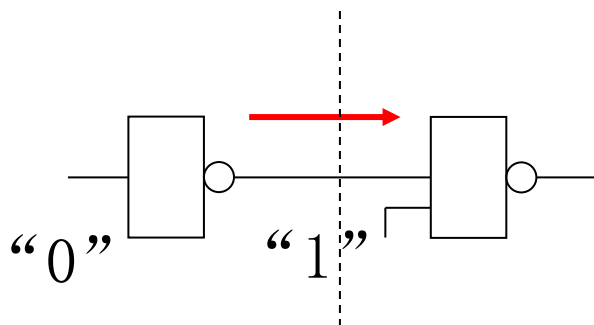
- 负载计算
- 非正常状态分析

## 3.2 门电路 (44)

- 门电路级联：前一个器件的输出就是后一个器件的输入，后一个是前一个的负载，两者要相互影响
- 关键问题：每个门电路可以级联多少负载？

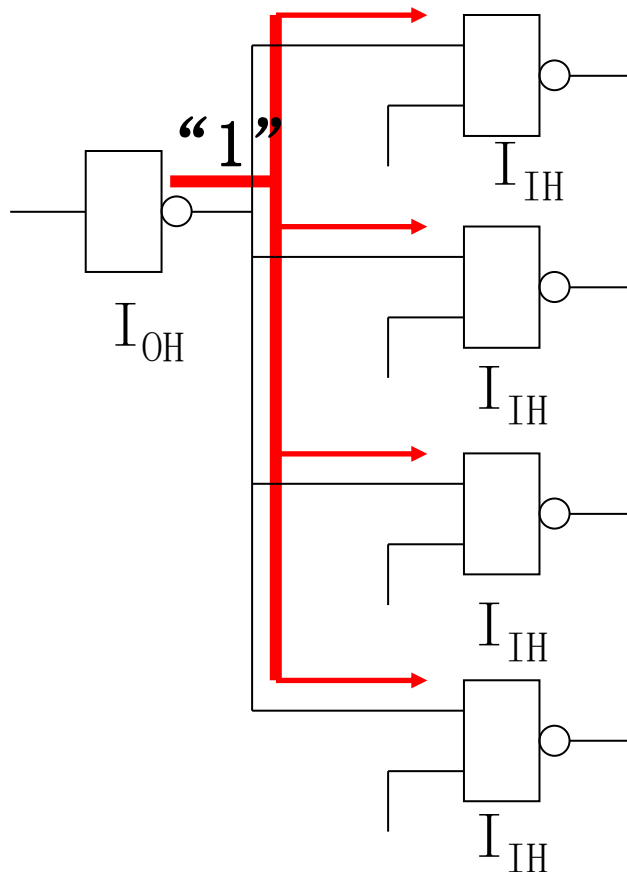


## 3.2 门电路 (45)



## 3.2 门电路 (46)

### ■ 负载能力的计算 ( $I_{OH}$ 和 $I_{IH}$ 的计算)



$$I_{OH} = N * I_{IH}$$

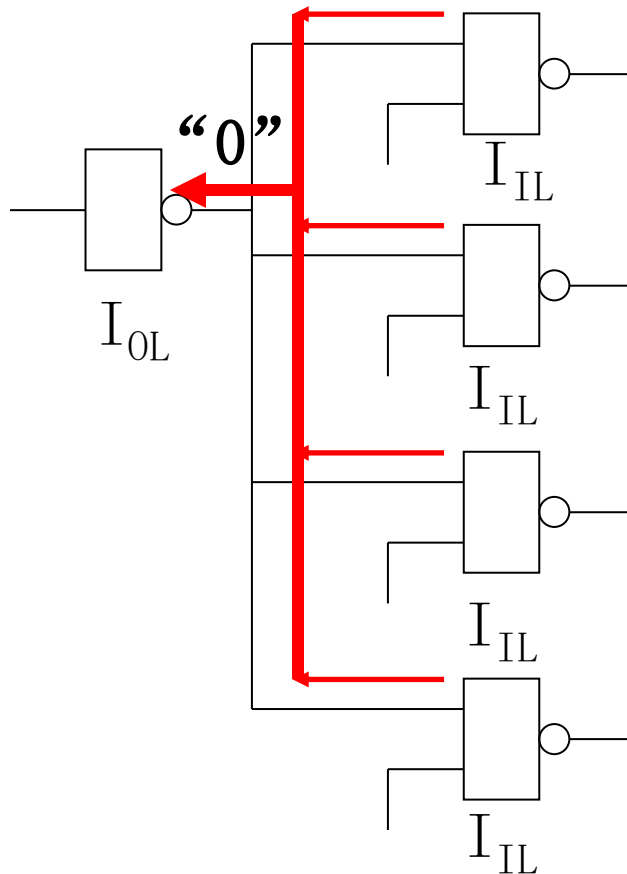
$$N = I_{OH} / I_{IH}$$

$$= 400 \text{ uA} / 40 \text{ uA}$$

$$= 10$$

## 3.2 门电路 (47)

### ■ 负载能力的计算 ( $I_{OH}$ 和 $I_{IH}$ 的计算)



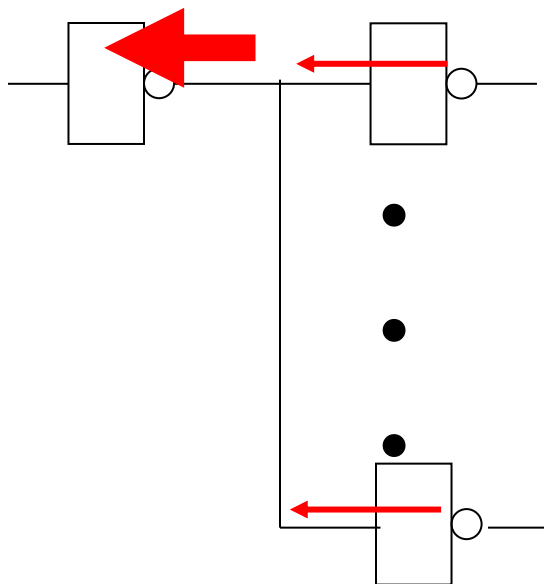
$$I_{OL} = N * I_{IL}$$

$$\begin{aligned} N &= I_{OL} / I_{IL} \\ &= 16\text{mA} / 1.6\text{mA} \\ &= 10 \end{aligned}$$



## 3.2 门电路 (48)

- 当负载数量超过理论值时，门电路进入**非正常**工作状态。负载大于与非门承受能力时，**低电平变高，高电平变低**。



负载数量过多时，  
情况怎样？

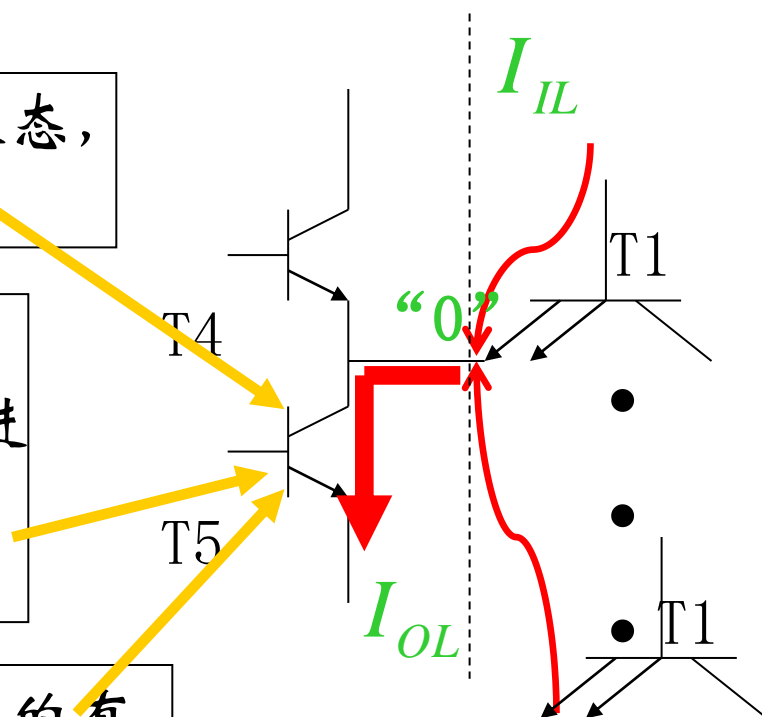
## 3.2 门电路 (49)

- 负载大于与非门承受能力的状态分析 ( $I_{OL}$ )

正常工作时，T5处于饱和状态，T5的 $V_C=0.3V$ ， $I_C$ 小于 $\beta \times I_B$

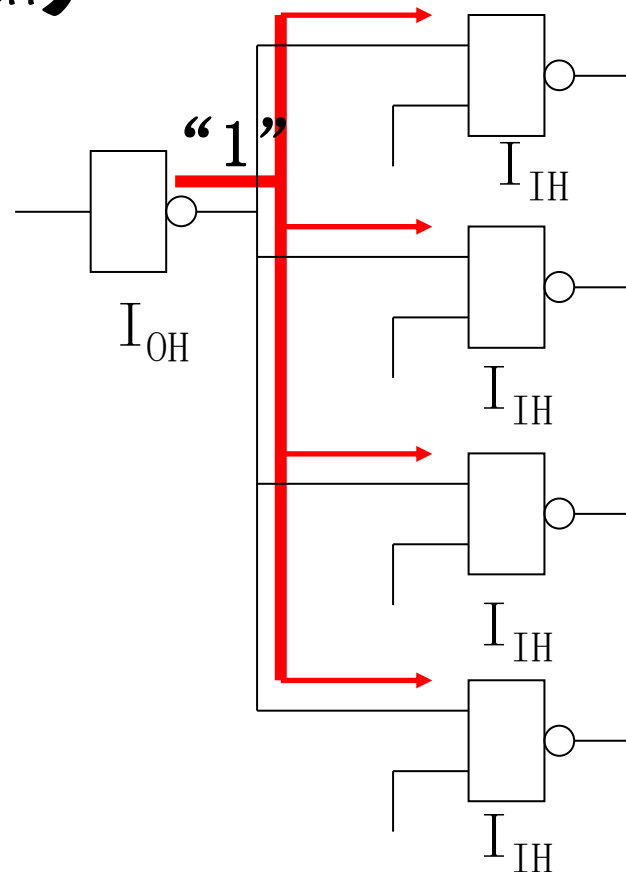
当负载增大时， $I_{OL}$ 增大到 $I_C \geq \beta \times I_B$ ，T5将脱离饱和状态进入放大状态， $V_C$ 不能保持0.3V以下，将会增大

T5的输出就无法保持“低”的有效状态



## 3.2 门电路 (50)

### ■ 负载大于与非门承受能力的状态分析 ( $I_{OH}$ )



## 3.2 门电路 (51)

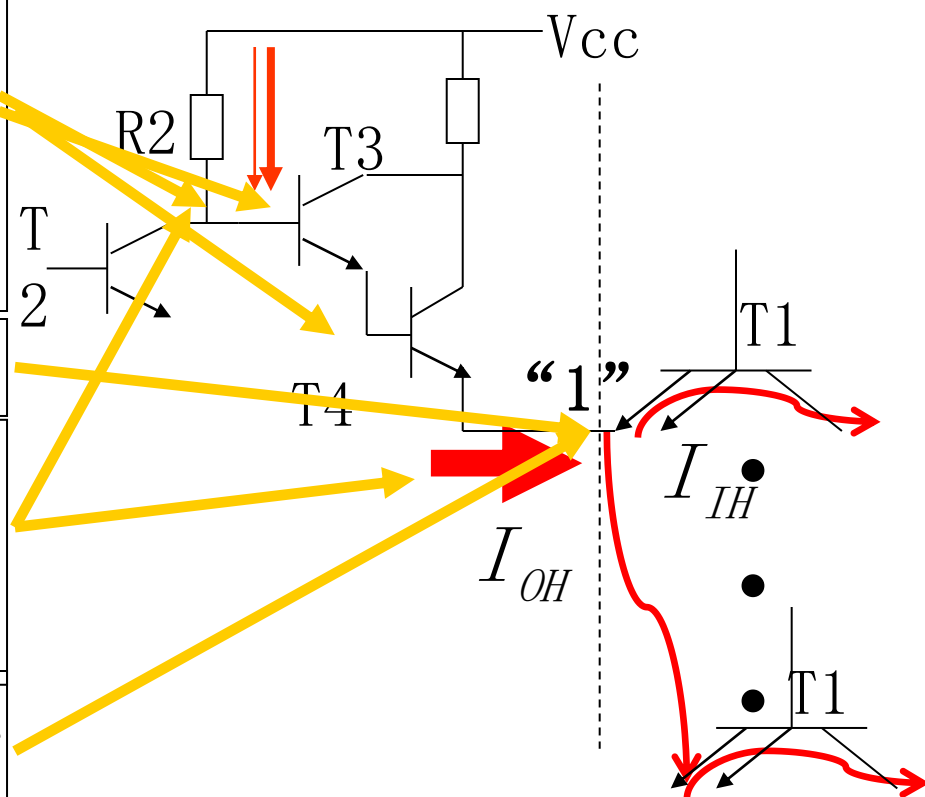
### ■ 负载 > 与非门承受能力的状态分析 ( $I_{OH}$ )

正常工作时，T3, T4处于导通状态，T3基极的电流非常小，R2上的压降可以忽略，所以T3基极的电压为5v

输出电压为 $5\text{v} - 0.7\text{v} - 0.7\text{v} = 3.6\text{v}$

当负载 ( $I_{OH}$ ) 非常大时，R2上的电流也增大，R2上的压降也会增大，T3基极的电压会下降

所以输出的电压会降低。不能保持在3.6v左右



# 结论

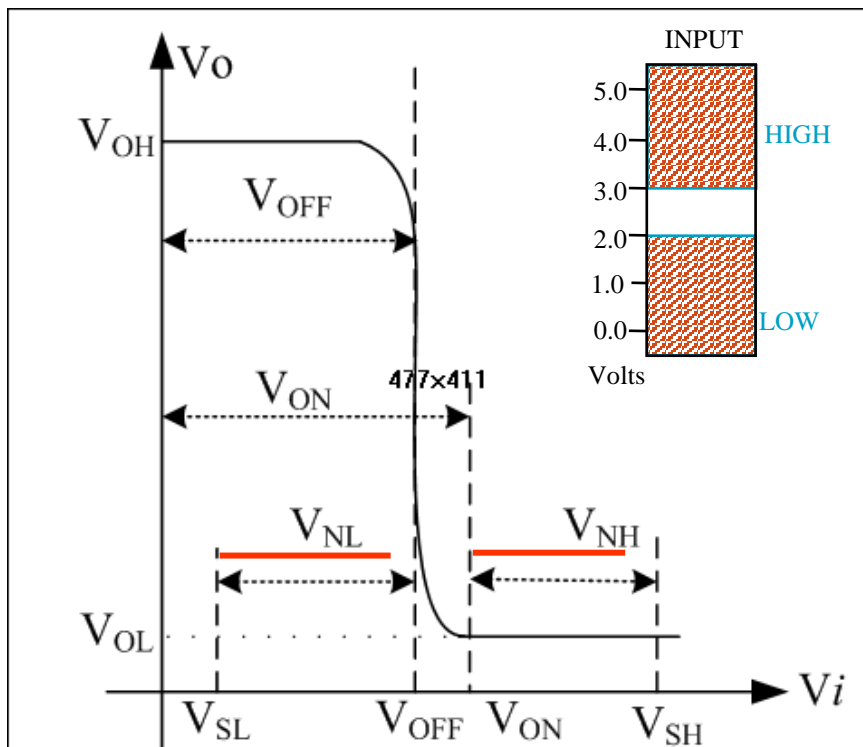
- 负载大于与非门承受能力时，低电平变高，高电平变低。与非门处于非正常工作方式，将会导致整个逻辑电路不能工作。
- 所以，在实际设计逻辑电路过程中，**一定要考虑带负载能力。**

# 技术参数--噪声容限 (Noise Margin)

## ■ 噪声容限 (Noise Margin)

- 叠加到正常输入值的最大的外部噪声电压，它不会在电路的输出产生不可预料的变化

与非门的电压传输特性曲线



低电平电平噪声容限:

$$V_{NL} = V_{OFF} - V_{SL} = V_{OFF} - 0.4$$

高电平电平噪声容限:

$$V_{NH} = V_{SH} - V_{ON} = 2.4 - V_{ON}$$

## 3.2 门电路 (52) ——小结

### ■ 与非门电路的外部特性

- 开关特性

- 转移特性

- 直流参数

### ■ 与非门电路的级联

- 负载计算

- 非正常状态分析

## 3.2 门电路 (53)

### 3.2 门电路

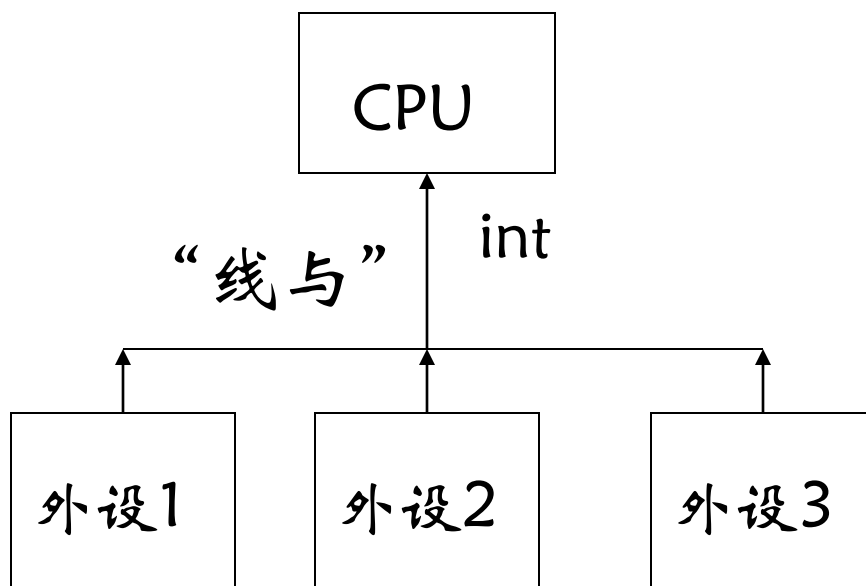
- 门电路的基本知识
- 典型与非门电路结构
- 与非门电路的外部特性与级连
- ⇒ □ 集电极开路 (OC) 与非门
- 三态门



## 3.2 门电路 (54)

### ■ 电路设计中 “线与” 问题!

- 在电路设计中经常需要一些逻辑电路的 **多个输出直接连接在一起**，实现 “线与”。
- 例如简单的中断逻辑示意。



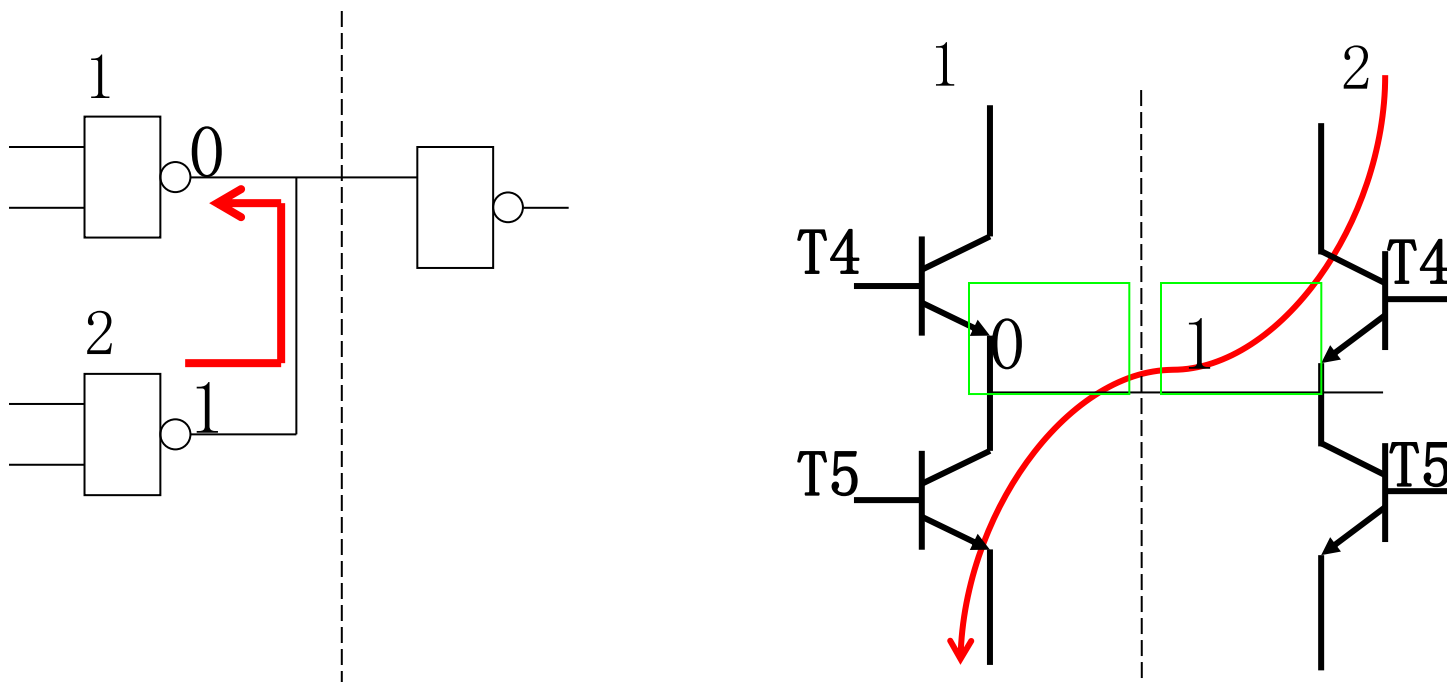
## 3.2 门电路 (55)

### ■ “线与”的定义

- 如果把驱动电路A、B、C……的输出直接挂向总线，要求当某一驱动器向总线发送数据D时，其余驱动器输出均为“1”。这样，总线状态为各驱动器输出状态之“与”，即  $D \cdot 1 \cdot 1 \cdot \dots = D$ ，把这种与连接称为“线与” (Wired AND)。

## 3.2 门电路 (56)

### ■ 普通与非门输出实现“线与”时的电流流向



普通与非门是否可以实现“线与”功能？

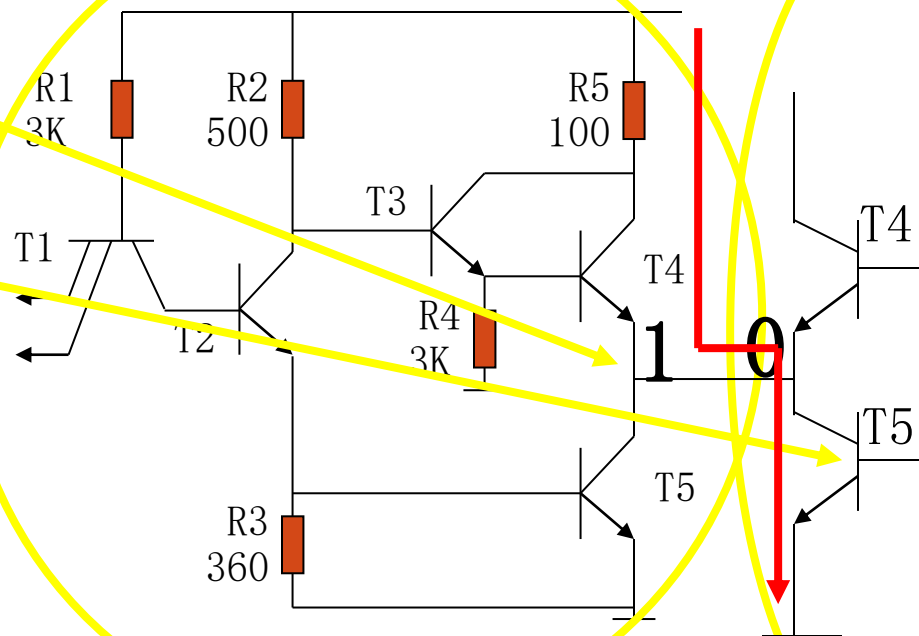
## 3.2 门电路 (57)

- 不能!

➤ 为什么普通与非门输出不能直接“线与”连在一起?

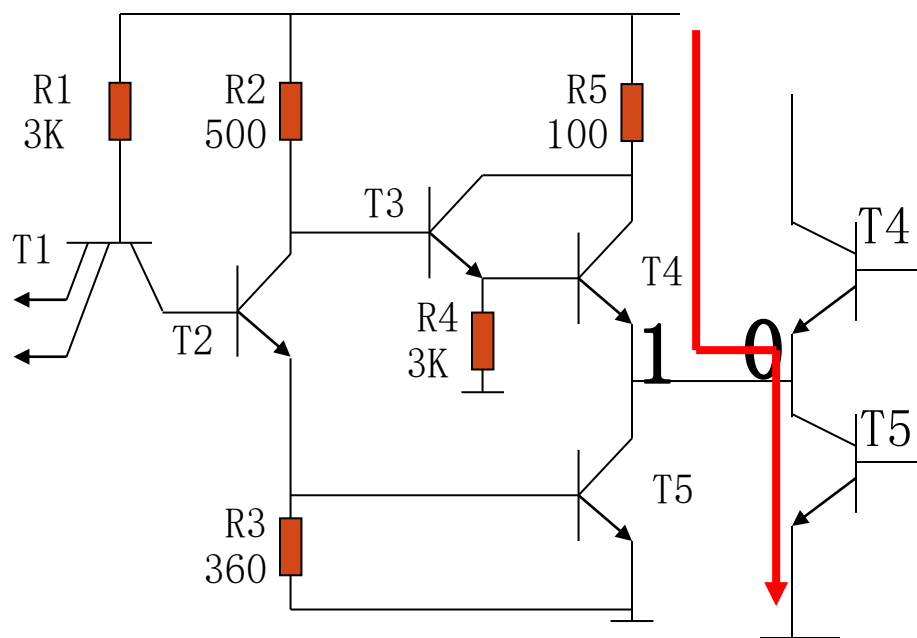
左面与非门的输出为“1”，T3和T4导通，  
右面与非门的输出为“0”，T2和T5导通

如果“线与”在一起，  
由于在VCC和“地”之间形成了一个通路，  
流过这个通路的电流约为  
 $5\text{V}/100=50\text{mA}$ 。



## 3.2 门电路 (58)

这个电流数值以远远超过正常工作电流，将会损坏左面的T4或右面的T5。



## 3.2 门电路 (59)

- 使用普通逻辑门实现“线与”时带来的问题
  - 图腾输出结构的电路，是不能把它们输出线与在一起的。
  - 否则，当一门电路的输出为“H”，另一为“L”时，有大电流从“H”端流向“L”端，电流太大，会烧坏与非门。

## 3.2 门电路 (60)

逻辑设计中遇到“线与”时怎么办？

方法之一：

采用集电极开路输出 (OC) 的门电路！

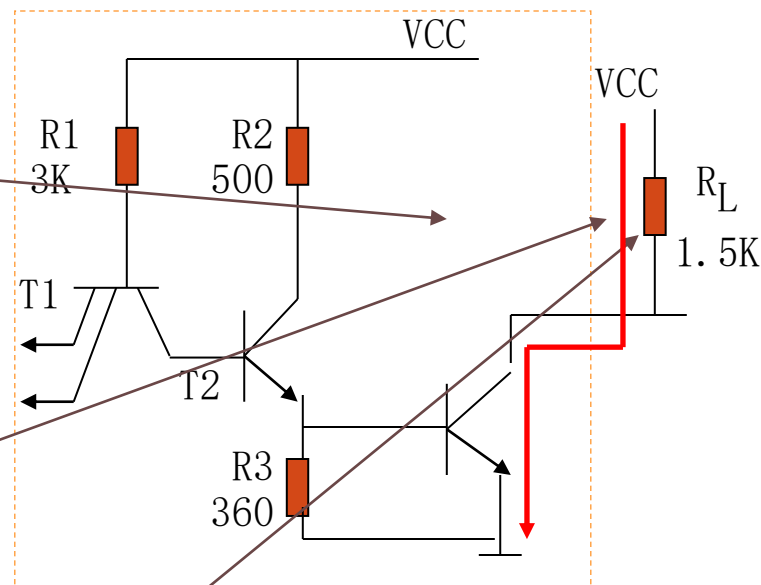
## 3.2 门电路 (61)

### ■ 集电极开路输出电路

把T3、T4网络去掉，这种输出结构称为OC输出结构。这种门电路称为OC门。

线与时，输出回路间的电流通路不复存在。电流都是由VCC和 $R_L$ 联合提供。

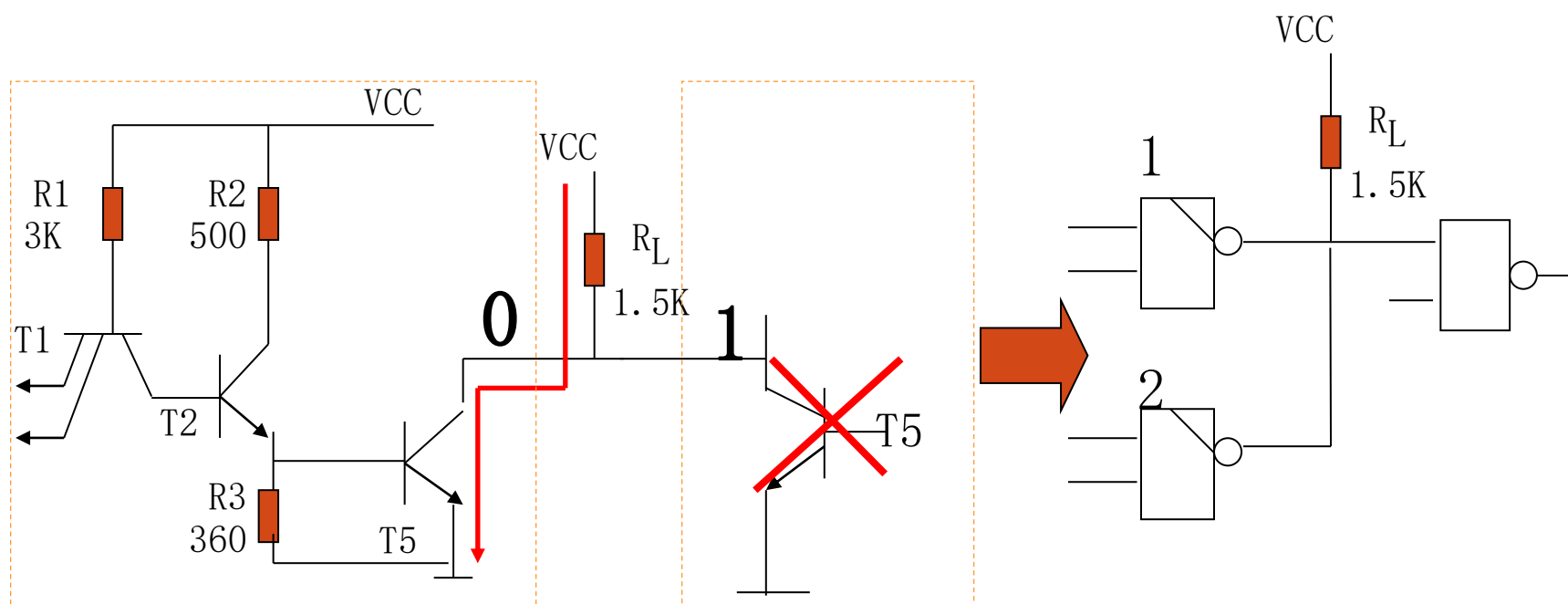
一般 $R_L$ 称为上拉电阻，阻值为1.5K，所以当线与的输出为低电平时，T5上的最大电流为 $5V/1.5K = 3.3mA$ 。不会损坏器件。





## 3.2 门电路 (62)

### ■ 集电极开路输出门电路线与在一起时情况分析



## 3.2 门电路 (63)

- 集电极开路输出与非门电路存在的问题：  
由于OC门输出不是Totem结构，电路的上升延迟很大
- T5退饱和很慢
- 对输出负载的充电电流只能通过外接的 $R_L$ 来提供。因此，输出波形的上升沿时间很大。
- 采用OC门只适合速度较慢的电路，对于速度要求较快（例如CPU的数据总线），不能使用OC门

## 3.2 门电路 (64)

- 思考题：请同学们自己思考：OC门是否可以和普通与非门实现“线与”？

## 3.2 门电路 (65)

### 3.2 门电路

- 门电路的基本知识
- 典型与非门电路结构
- 与非门电路的外部特性与级连
- 集电极开路 (OC) 与非门

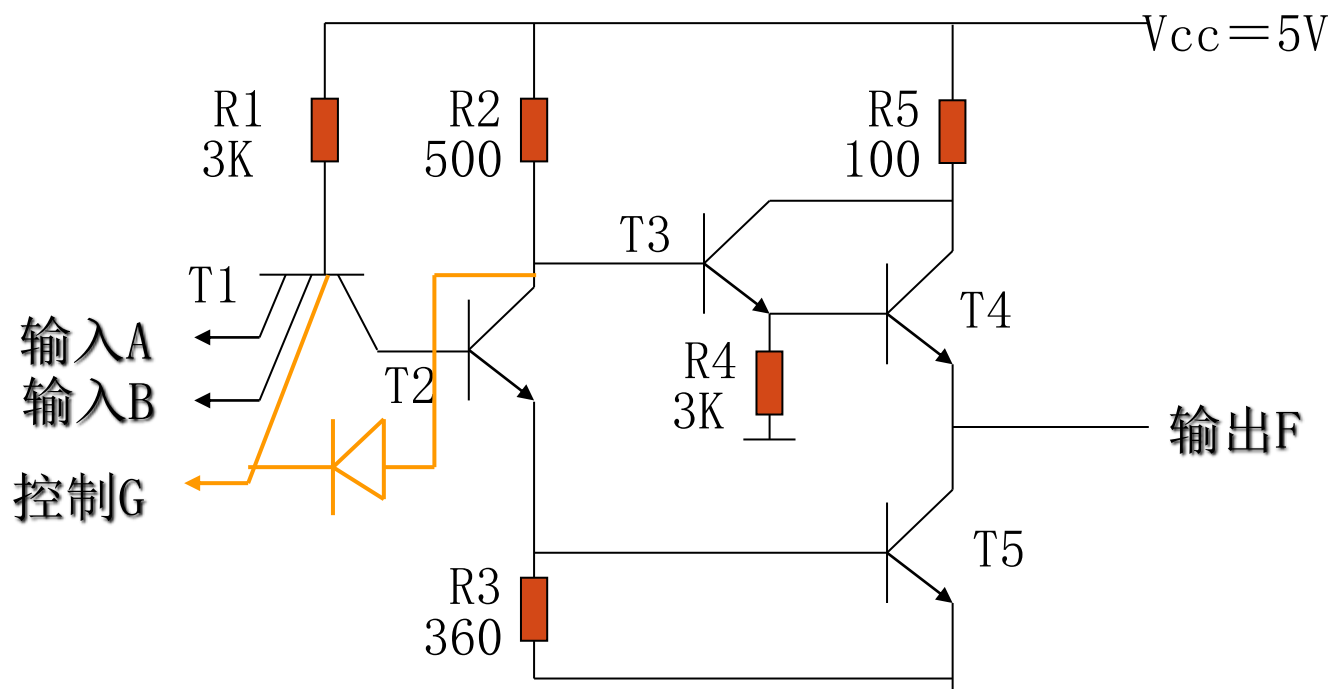
⇒ □ 三态门

## 3.2 门电路 (66)

- 三态门电路 ( Tri-State Circuit ) 的特点
  - 三态门电路即保留了Totem输出结构，又具有OC门输出可以“线与”的特点
  - 完成“线与”逻辑的速度较快

## 3.2 门电路 (67)

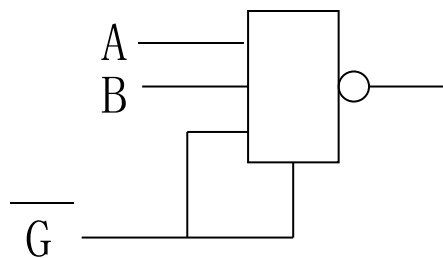
### ■ 三态门电路的基本原理



- 当控制  $G=1$  时，电路是一个图腾结构的与非门
- 当  $G=0$ ， $T3$ 、 $T4$ 、 $T5$  均截止，与非门输出  $F=Z$ （高阻态）

## 3.2 门电路 (68)

- 三态电路的功能表



功能表

A	B	$\overline{G}$	F
X	X	0	Z
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	0

—— 高阻态

正常态

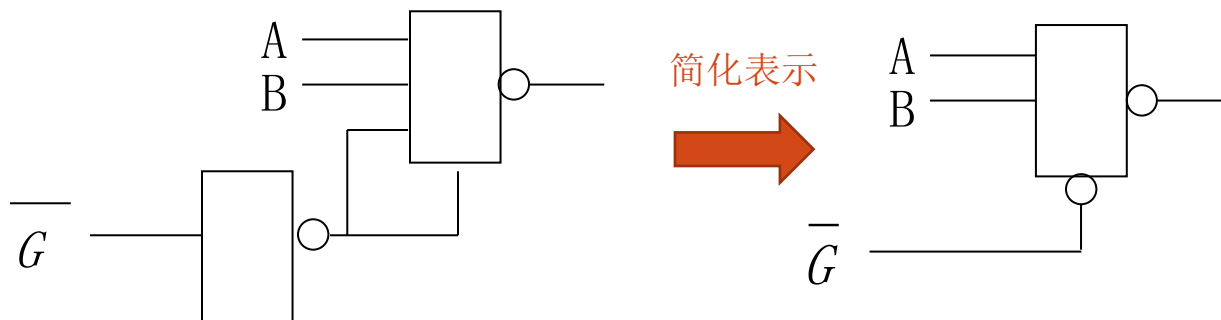
## 3.2 门电路 (69)

功能表

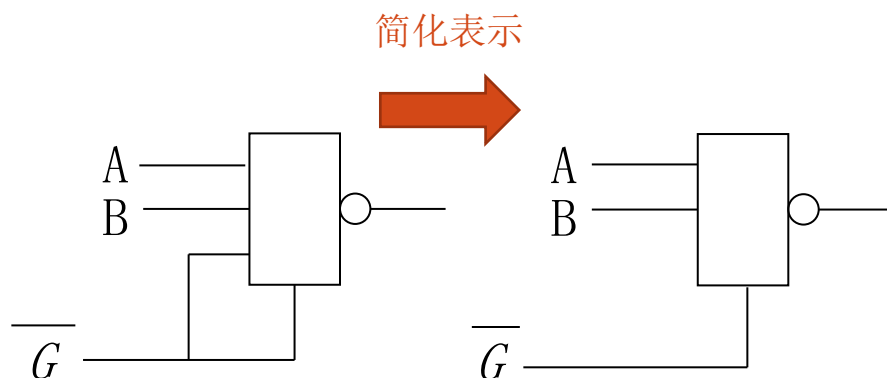
$\overline{G}$	$A \bullet B$	F
1	X	Z
0	1	0
0	0	1

- 两种基本的三态与非门

第一种



第二种



功能表

$\overline{G}$	$A \bullet B$	F
0	X	Z
1	1	0
1	0	1



## 3.2 门电路 (70)

- 两个三态门和总线相连 (“线与”)

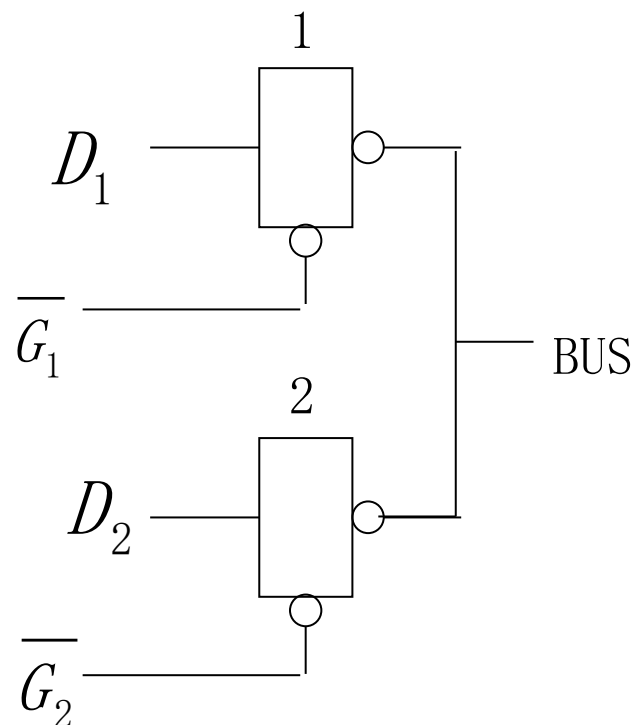
电路1、2只能有一个处于正常态

若要求 $D_1$ 向BUS传送, 则应有:

$$\overline{G_1} = 0, \overline{G_2} = 1$$

若要求 $D_2$ 向BUS传送, 则应有:

$$\overline{G_1} = 1, \overline{G_2} = 0$$



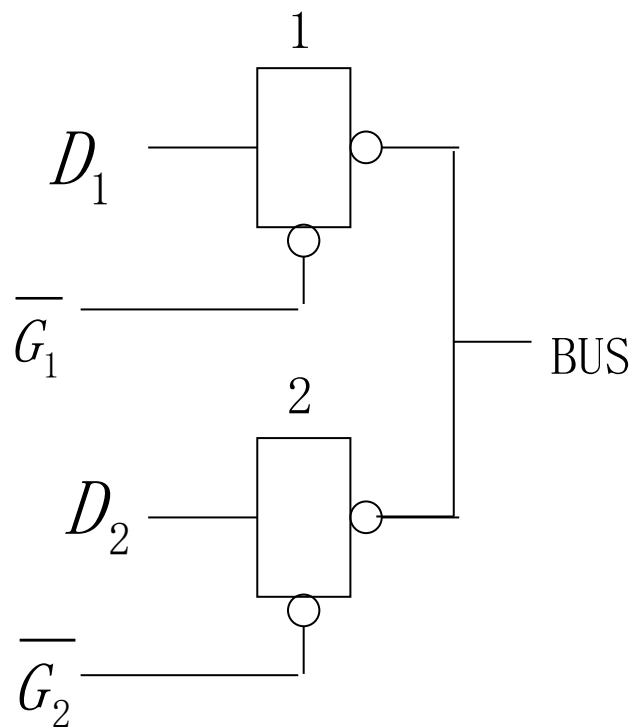
## 3.2 门电路 (71)

- 三态总线的状态转换

若原来是D1向BUS传送，现在要改为D2向BUS传送，如何实现这种转换？

应使门1由正常态转为高阻态，快于门2由高阻态转为正常态。

即有一短暂过程门1、2均处于高阻态。否则，门1、2有一短暂过程均处于正常态，于是门1、2输出间有很大的浪涌电流，从而影响BUS正常工作。

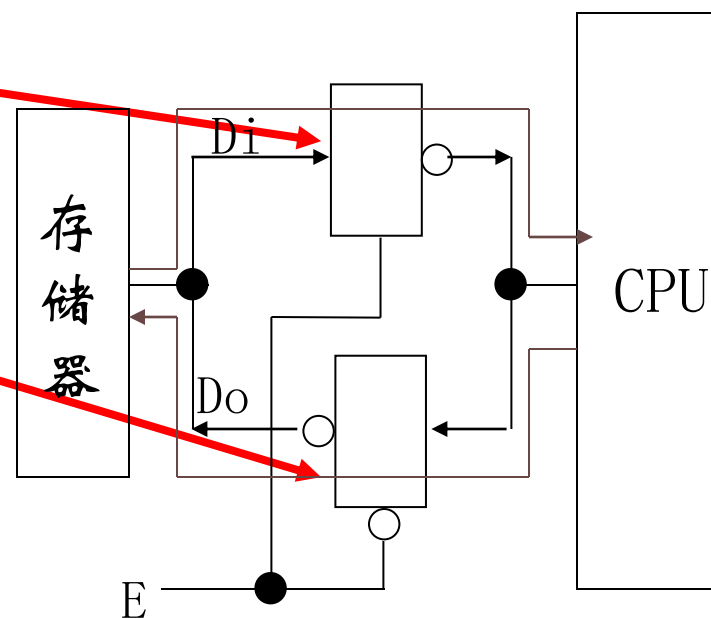


## 3.2 门电路 (72)

- 三态门的应用——1位双向总线驱动器
  - 双向总线驱动器，又称收发器 (Transceiver)

E = “1” 时，读操作，上面三态门正常工作

E = “0” 时，写操作，下面三态门正常工作

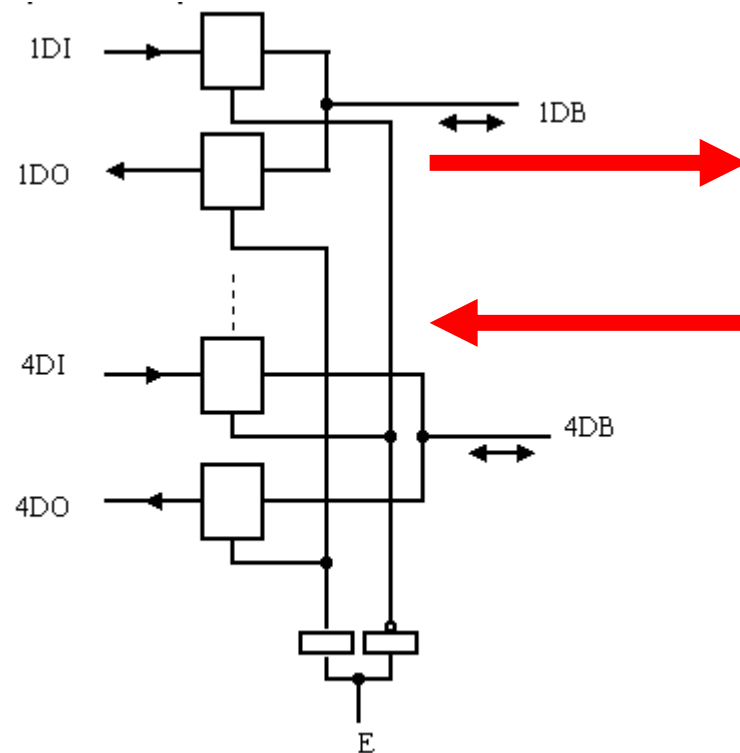


## 3.2 门电路 (73)

- 三态门的应用——  
4位双向总线驱动器

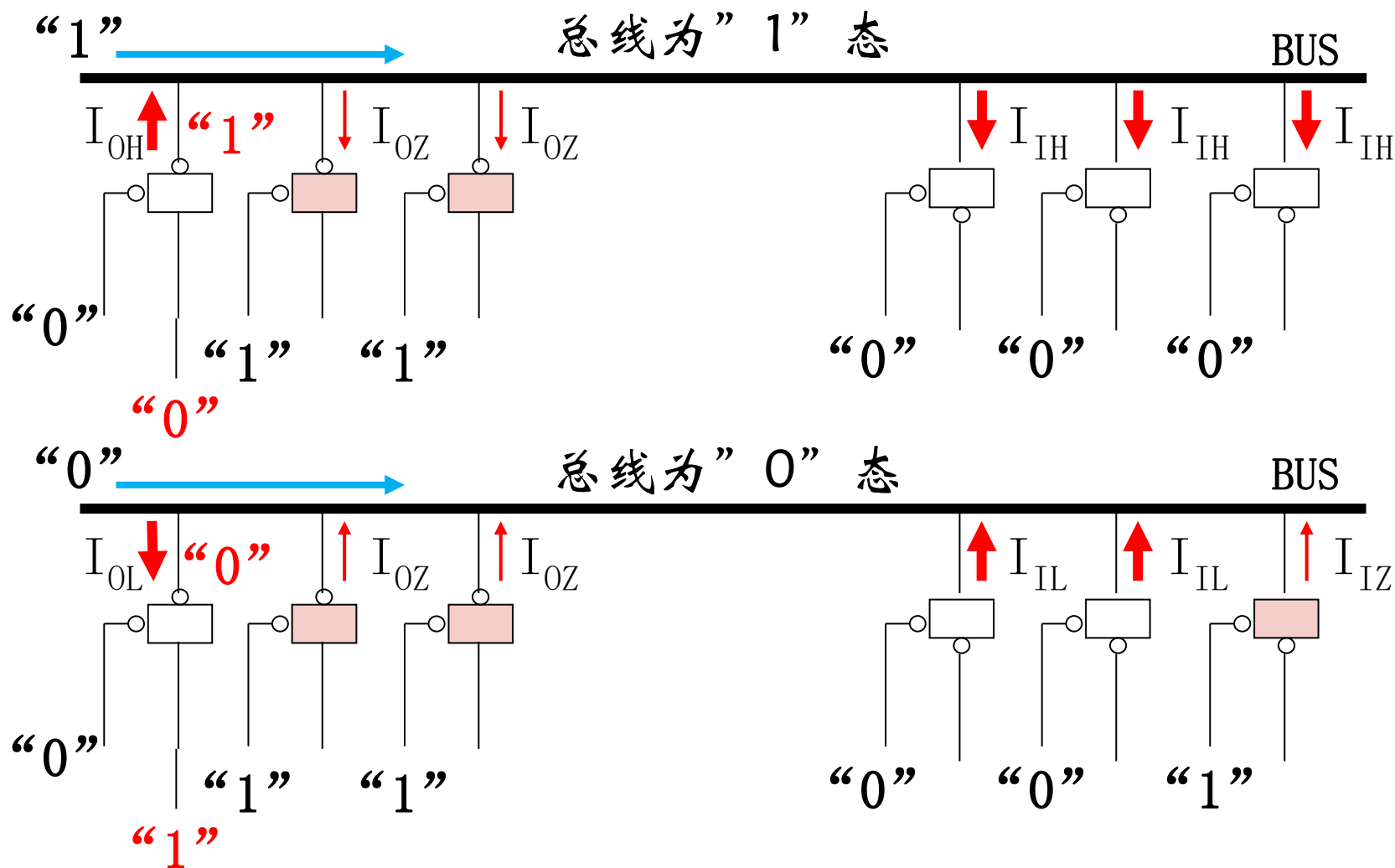
E = “0” 时，读操作

E = “1” 时，写操作



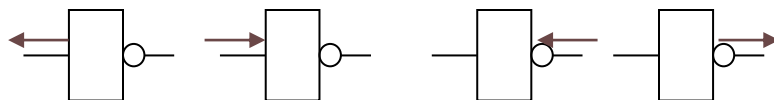
## 3.2 门电路 (74)

注意：数据的流向与电流的方向没有直接关系。



## 3.2 门电路 (75)

- 普通门与三态门外部特性比较

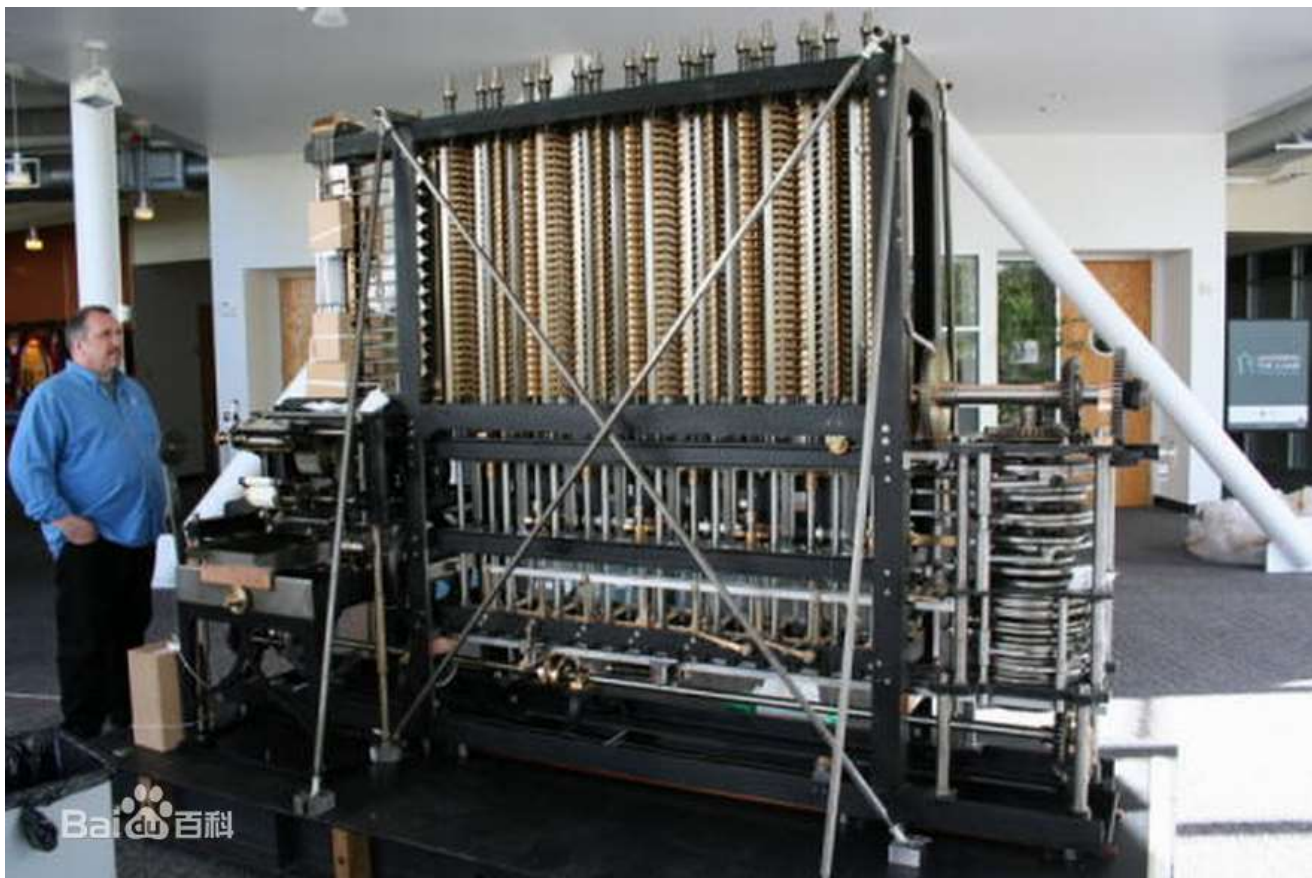


		$I_{IL}$	$I_{IH}$	$I_{OL}$	$I_{OH}$	$V_H$	$V_L$
普通门		1.6mA	40 $\mu$ A	16mA	0.4mA	3.6V	0.3V
三态门	正常态	1.6mA	40 $\mu$ A	64mA	6.5mA	3.6V	0.3V
	Z态	40 $\mu$ A	40 $\mu$ A	40 $\mu$ A	40 $\mu$ A	5V 1.5V 0V	

$I_{IZ}$

$I_{OZ}$

# 机械计算机



Babbage, 1834  
布尔代数, 1847  
硅谷复原, 2008

# 真空管计算机

## 真空管和第一台通用计算机



要想使阴极能够发射电子就要将阴极加热到数百摄氏度高溫



[Wiki: ENIAC]

1946年

### 第一台通用计算机 ENIAC

(Electronic Numerical Integrator And Calculator)

投资48万美元，20000个真空管

167m<sup>2</sup>， 27吨， 150kW

算力：每秒5000次加法或者400次乘法

据说ENIAC一运行，整个费城都会停电！



# 晶体管计算机

## 晶体管的诞生



1947年，第一支晶体管在美国贝尔实验室诞生，发明人为：肖克利 (W. Shockley)、巴丁 (J. Bardeen) 和布莱坦 (W. Brattain)

**1956年 诺贝尔物理奖**

[Wiki: Transistor]



[Wiki: TRADIC]

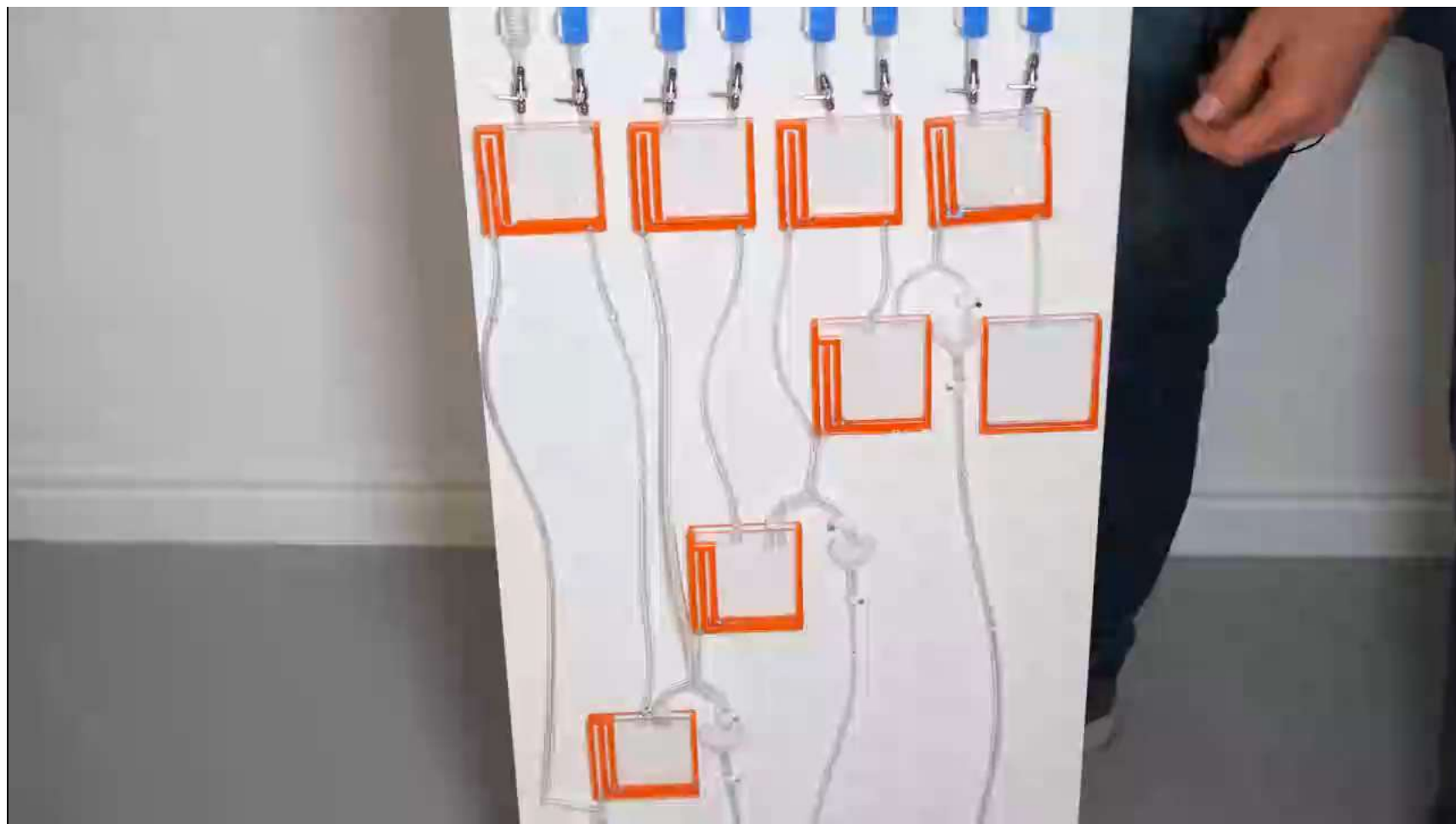
1954年，贝尔实验室  
第一台晶体管计算机 TRADIC

**684个晶体管  
<100W**

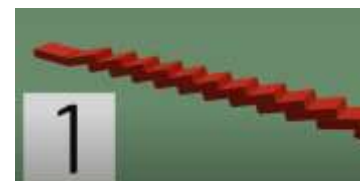
# 红石计算机



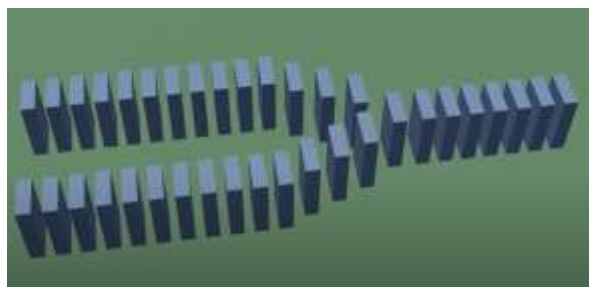
# 水计算机



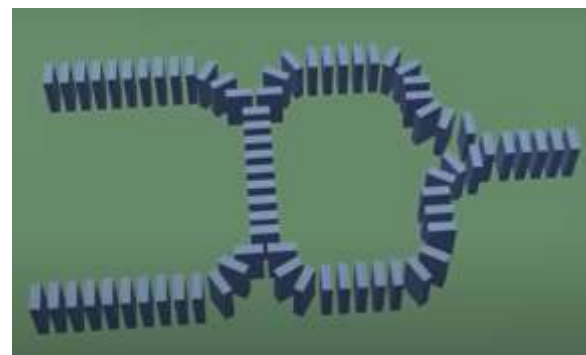
# 多米诺骨牌计算机



与门



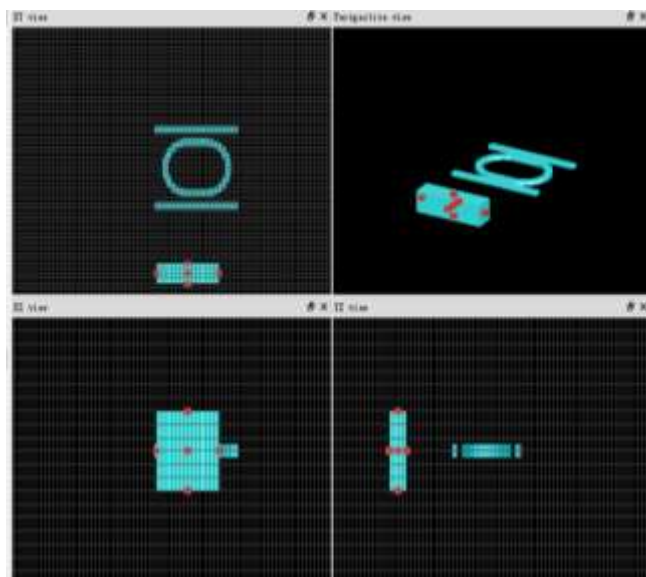
或门



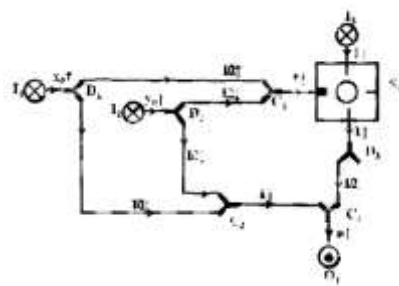
异或门

# 光计算机

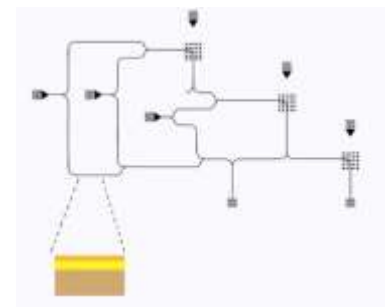
全光信息处理逻辑器件设计



一种光逻辑门



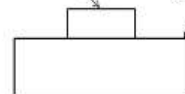
光学二进制进位加法器



一种光学二进制半加器及制备方法

①: 二氧化硅芯区空间

②: 硅



0.2μm\*2μm  
0.2μm\*0.8μm

图2-2

①: 二氧化硅芯区空间

②: 硅

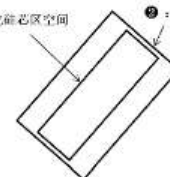


图2-3

①: 二氧化硅芯区空间

②: 硅

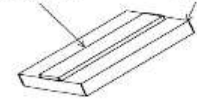


图2-4

①: 二氧化硅芯区空间

②: 硅

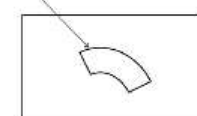


图2-5

①: 二氧化硅芯区空间

②: 硅

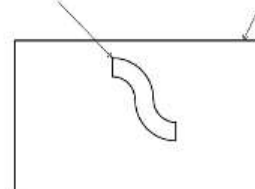


图2-6

## 3.2 门电路 (76) —小结

### 3.2 门电路

- 门电路的基本知识
- 典型与非门电路结构
- 与非门电路的外部特性与级连
- 集电极开路 (OC) 与非门
- 三态门

# 作业:

## 第三章 3.9, 3.10, 3.11, 3.14, 3.15, 3.16

3.9 图 3-51(a)所示电路为 TTL 三态门。三态门控制端  $\overline{C}_1$  和  $\overline{C}_2$  波形如图 3-51(b)所示, 试分析此电路能否正常工作, 为什么?

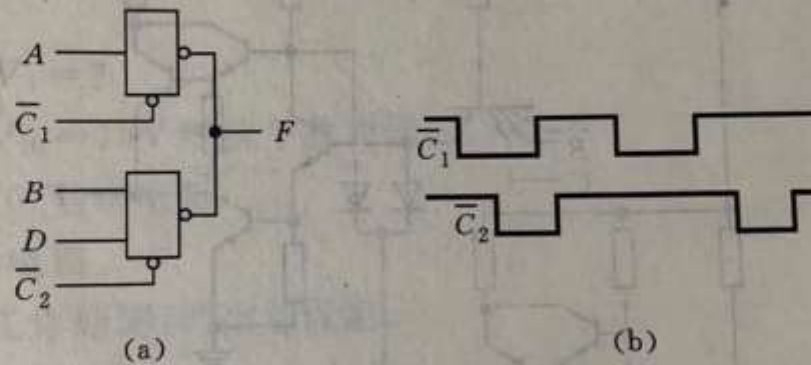
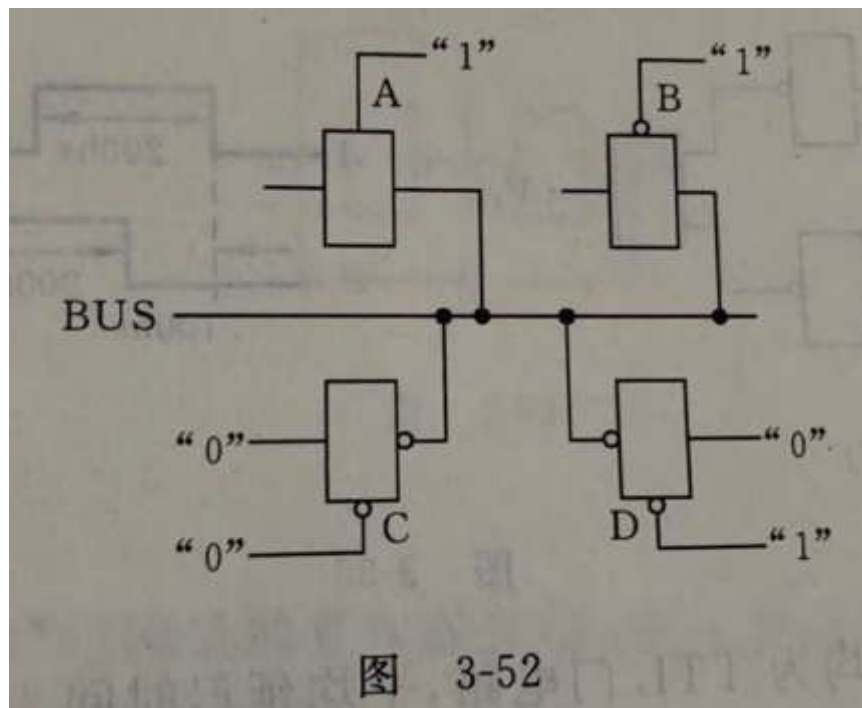


图 3-51



3.10 图 3-52 所示电路为一三态门工作系统,门 A、B 从总线接收数据;门 C、D 向总线发送数据。若电路工作在图上所标状态下,在图上标出电流的流向。





3.11 在图 3-53 所示各图中,将能正常工作的打“√”,不能正常工作的打“×”。

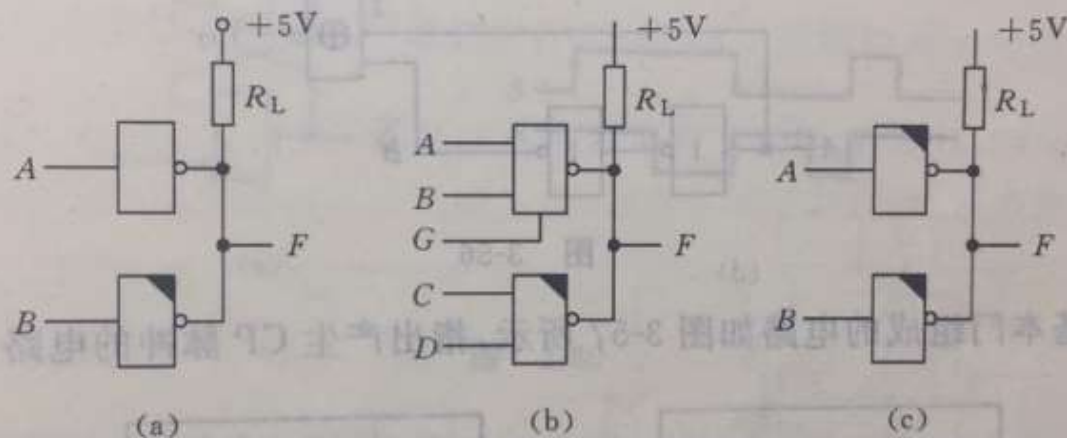


图 3-53

3.14 图 3-56 中门 1、2、3 均为 TTL 门电路,平均延迟时间为 20ns,画出  $V_O$  的波形(A 的波形自设)。

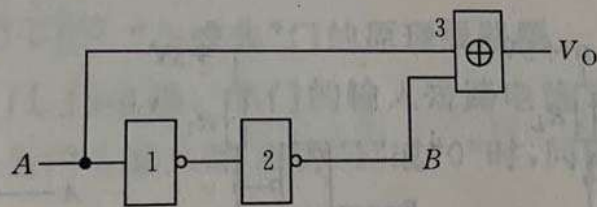


图 3-56

3.15 分析由基本门组成的电路如图 3-57 所示, 指出产生 CP 脉冲的电路。

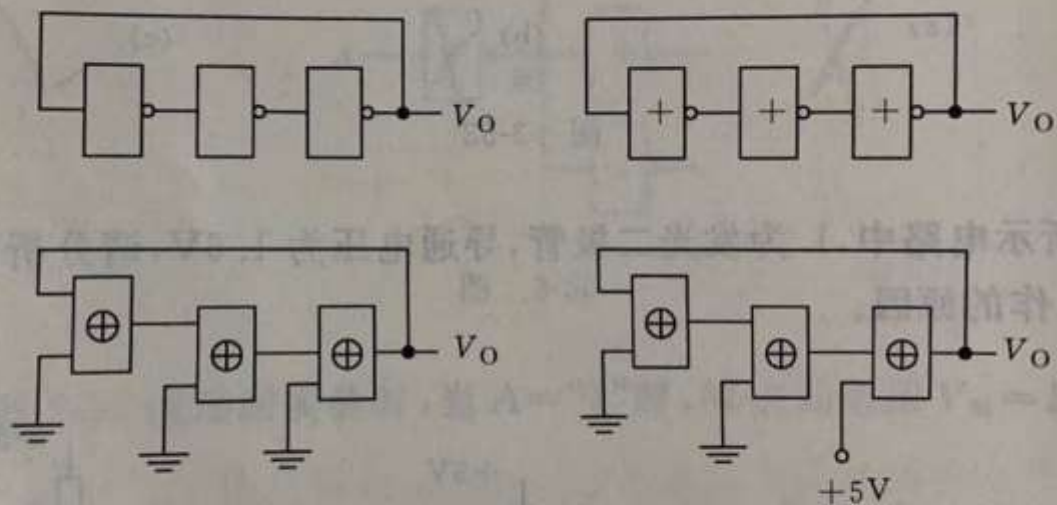


图 3-57

3.16 计算图 3-58 所示由 TTL 门组成的环形振荡器的频率? 门的平均传输时间  $t_{Pd} = 20\text{ns}$ 。

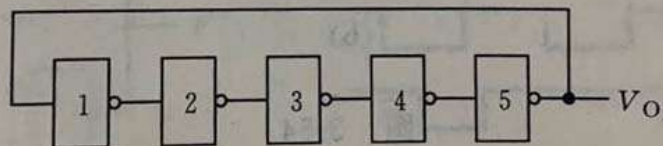


图 3-58