

# Проектирование систем на кристалле с программируемой архитектурой

## Лабораторная работа №1

### Цели работы:

1. Изучить особенности описания интерфейсов в HDL SystemVerilog;
2. Изучить протокол системного интерфейса AMBA APB3;
3. Разработать HDL модуль с использованием SystemVerilog, реализующий APB3-Slave (ведомое) устройство;

### **Введение**

Большинство современных СнК обладают встроенным процессором, что позволяет расширить функционал и гибкость устройства. Такие устройства позволяют создать оптимальную конфигурацию, уменьшить количество компонентов и мощность, потребляемую системой, а также сократить время разработки проекта. Проекты на базе ASIC чрезвычайно дороги и требуют длительного времени разработки, но возможности реализуемых функций практически не имеют ограничений.

Для реализации таких решений, используются процессорные ядра на базе различных архитектур (ARM, RISC-V и т.д.), позволяющие обращаться и конфигурировать разработанные периферийные устройства через системные шины (интерфейсы).

### **Теоретическая часть**

#### **SystemVerilog Интерфейс**

**Интерфейс (в SystemVerilog)** – метод инкапсуляции сигналов в логическую группу с целью упрощения взаимодействия с необходимой группой сигналов. Используется для дальнейшего упрощения использования группы сигналов в разрабатываемых модулях.

Пример реализации SystemVerilog интерфейс представлен на рисунке 1.

Авторы:

Любавин Кирилл Дмитриевич

Калистратов Олег Александрович

2022

```

1  interface SPI#(
2      parameter    SLAVES_NUM    = 2
3  )(
4      input        clk,
5      input        rst
6  );
7
8      logic          MOSI;
9      logic          MISO;
10     logic [SLAVES_NUM-1:0] SS;
11
12 endinterface : SPI

```

Рисунок 1 – Пример SystemVerilog Interface (без modport)

При объявлении списка внешних сигналов модуля используется следующая конструкция (рисунок 2).


<pre> 1  module Slave( 2      input    clk, 3      input    mosi, 4      input    ss, 5      output   miso 6  ); 7 8  /* logic */ 9 10 endmodule : Slave </pre>		<pre> 1  module Slave( 2      SPI_if spi 3  ); 4 5  /* logic */ 6 7  endmodule : Slave </pre>
---	---	---

Рисунок 2 – Пример объявления порт-листа с использованием интерфейса

Для обращения к сигналам, входящих в интерфейс используется так называемое «иерархическое» обращение: *<interface>.<signal\_name>*. Пример SPI-Slave модуля, реализованного с использованием SystemVerilog-интерфейсом приведён на рисунке 3.

```

1  module Slave(
2      |      SPI_if spi
3  );
4
5  logic [3:0]      cnt;
6  logic [7:0]      mosi_pkg;
7  logic [7:0]      miso_pkg;
8  logic [3:0] [3:0] memory;
9
10 always_ff@(negedge spi.clk or negedge spi.rst)
11 if (!spi.rst)
12     cnt <= 4'hF;
13 else if ( cnt <= 4'h7 )
14     cnt <= cnt + 1;
15 else
16     cnt <= 4'h0;
17
18 always_ff @( posedge spi.clk or negedge spi.rst)
19 if(!spi.rst)
20     mosi_pkg <= 8'h00;
21 else
22     mosi_pkg <= {mosi_pkg[6:0], spi.MOSI};
23
24 always_ff @( posedge spi.clk or negedge spi.rst)
25 if(!spi.rst)
26     memory <= 0;
27 else if (cnt == 4'h7 && mosi_pkg[4])
28     memory[mosi_pkg[7:6]] <= mosi_pkg[3:0];
29
30 always_ff @( negedge spi.clk or negedge spi.rst)
31 if (spi.rst)
32     miso_pkg <= 8'h00;
33 else if ( cnt == 4'h7 && mosi_pkg[5] )
34     miso_pkg <= {mosi_pkg[7:4], memory[mosi_pkg[7:6]]};
35 else
36     miso_pkg <= miso_pkg << 1;
37
38 always_comb spi.MISO = miso_pkg[7];
39
40 endmodule : Slave

```

Рисунок 3 – Пример реализации SPI-Slave модуля с использованием интерфейсов

### Системный интерфейс AMBA APB3

Системный интерфейс AMBA APB3 является широко распространённым системным интерфейсом в современных СнК и проектах на ПЛИС. Данный интерфейс не требует большого числа логических элементов для реализации и является достаточно простым, однако, из-за его особенностей транзакций, не может гарантировать высокую пропускную способность, в сравнении с другими системными интерфейсами типа AMBA AXI.

AMBA APB3 состоит из следующих сигналов:

Сигнал	Описание
PCLK	Тактовый сигнал
PRESETn	Сигнал сброса (активный уровень 0)
PADDR	Адрес
PWDATA	Данные для записи
PRDATA	Данные чтения
PSEL	Выбор определённого Slave-устройства
PWRITE	Строб записи (1 – запись, 0 – чтение)
PENABLE	Инициализация транзакции
PREADY	Сигнал окончания транзакции
PSLVERR	Сигнал наличия ошибки

Ниже представлены примеры работы AMBA APB3 системного интерфейса.

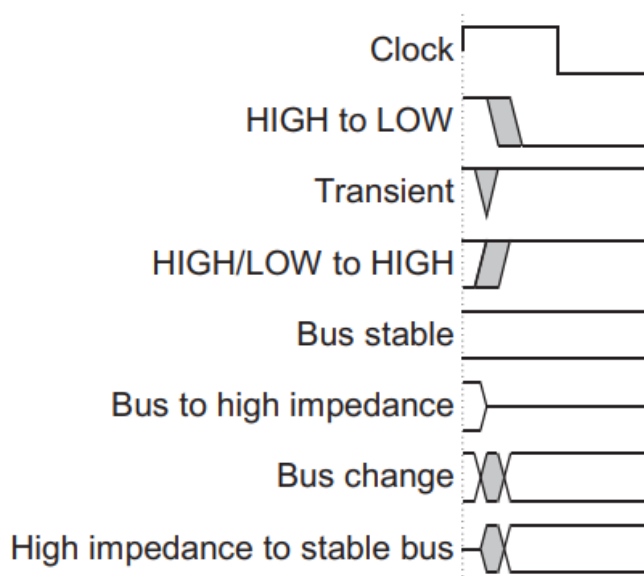


Рисунок 4 – Расшифровка переходов временных диаграмм

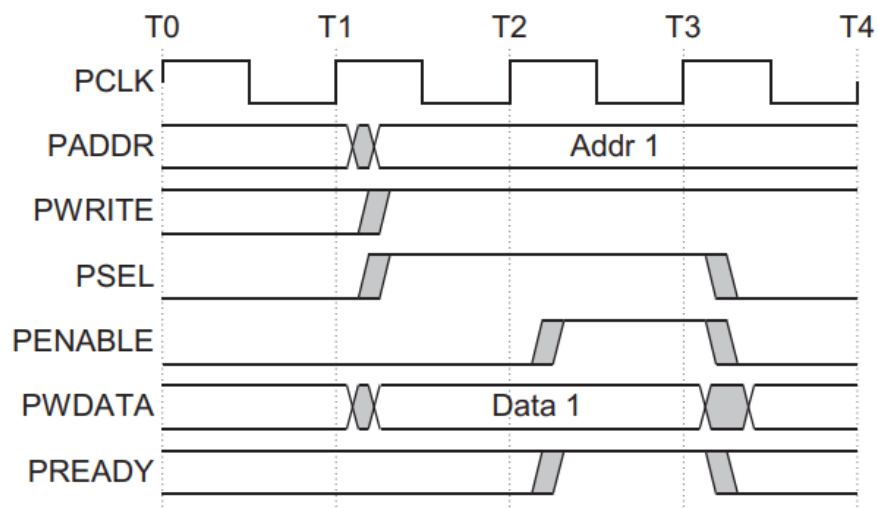


Рисунок 5 – Транзакция записи APB3 (без ожидания)

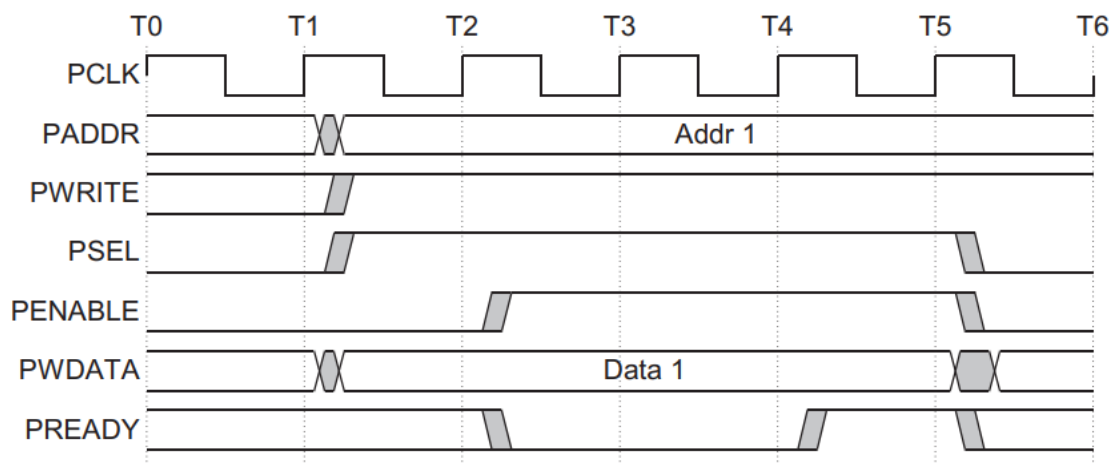


Рисунок 6 – Транзакция записи APB3 (с ожиданием)

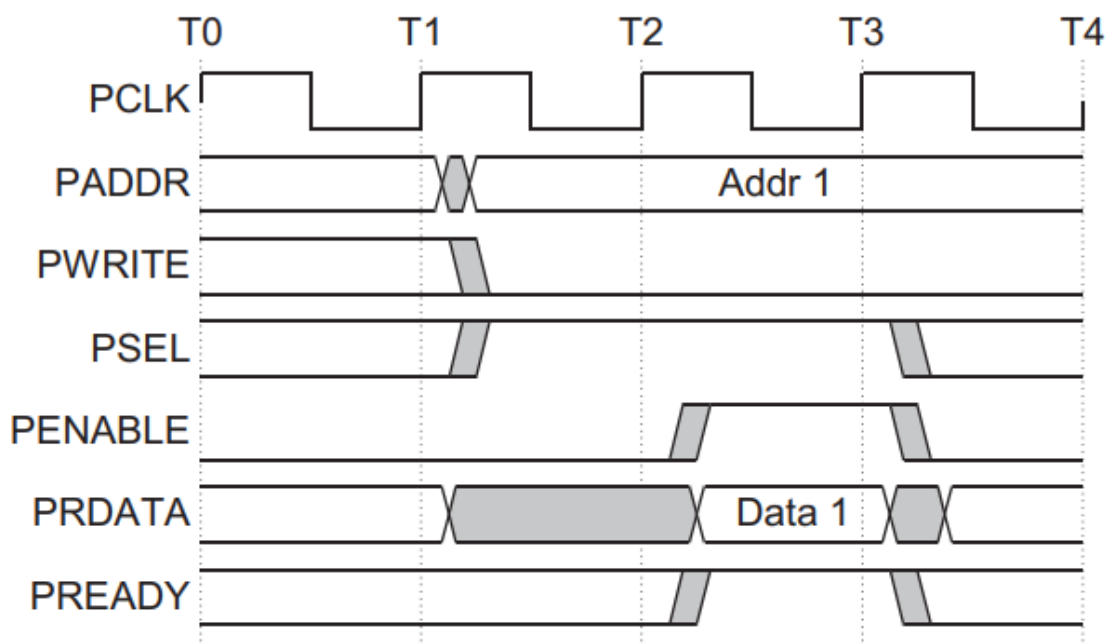


Рисунок 7 – Транзакция чтения (без ожидания)

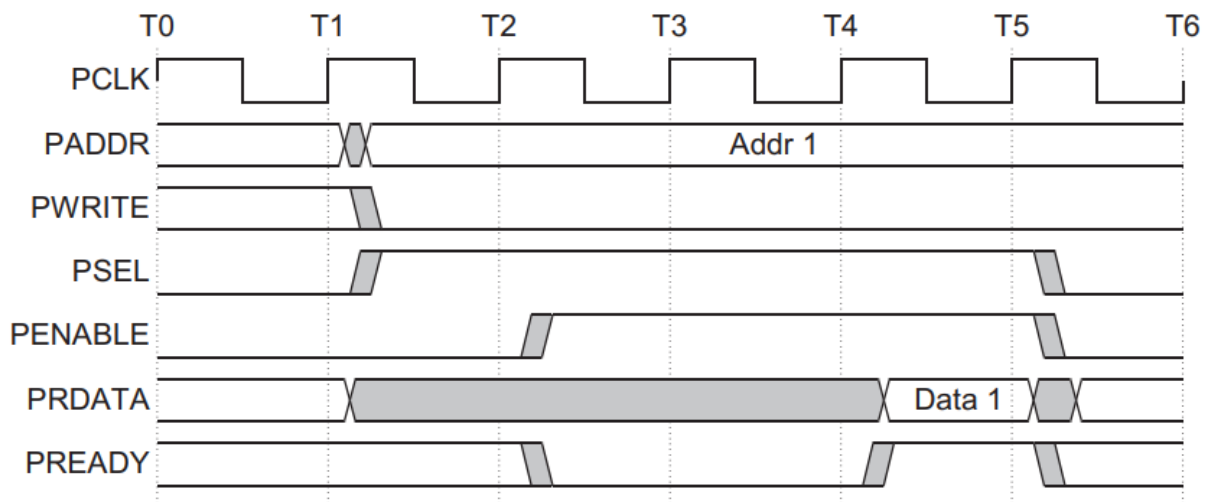


Рисунок 8 – Транзакция чтения (с ожиданием)

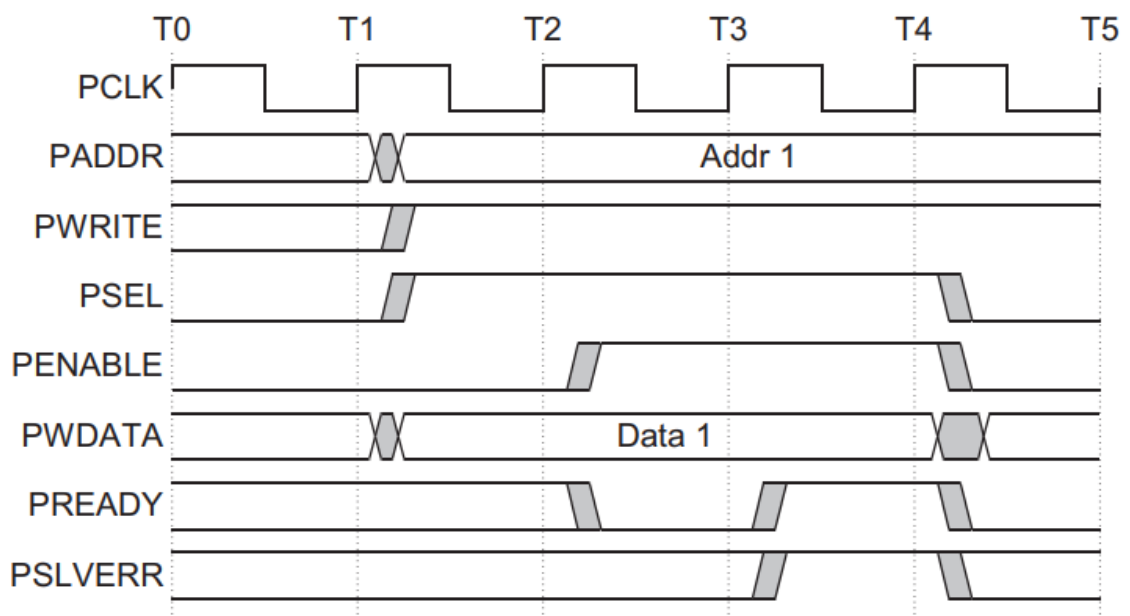


Рисунок 9 – Пример транзакции записи с ошибочным ответом

### Используемая литература

1. AMBA 3 APB Protocol v1.0. Режим доступа: [https://web.eecs.umich.edu/~prabal/teaching/eecs373-f12/readings/ARM\\_AMBA3\\_APB.pdf](https://web.eecs.umich.edu/~prabal/teaching/eecs373-f12/readings/ARM_AMBA3_APB.pdf)
2. SystemVerilog Interface. Режим доступа: <https://www.chipverify.com/systemverilog/systemverilog-interface>
3. Харрис Д., Харрис С., Цифровая схемотехника и архитектура компьютера. Режим доступа: <https://microelectronica.pro/wp-content/uploads/books/digital-design-and-computer-architecture-russian-translation.pdf>