**Проектирование систем на кристалле с программируемой архитектурой**

**Лабораторная работа №1**

Цели работы:

1. Изучить особенности описания интерфейсов в HDL SystemVerilog;
2. Изучить протокол системного интерфейса AMBA APB3;
3. Разработать HDL модуль с использованием SystemVerilog, реализующий APB3-Slave (ведомое) устройство;

**Введение**

Большинство современных СнК обладают встроенным процессором, что позволяет расширить функционал и гибкость устройства. Такие устройства позволяют создать оптимальную конфигурацию, уменьшить количество компонентов и мощность, потребляемую системой, а также сократить время разработки проекта. Проекты на базе ASIC чрезвычайно дороги и требуют длительного времени разработки, но возможности реализуемых функций практически не имеют ограничений.

Для реализации таких решений, используются процессорные ядра на базе различных архитектур (ARM, RISC-V и т.д.), позволяющие обращаться и конфигурировать разработанные периферийные устройства через системные шины (интерфейсы).

**Теоретическая часть**

**SystemVerilog Интерфейс**

**Интерфейс (в SystemVerilog)** – метод инкапсуляции сигналов в логическую группу с целью упрощения взаимодействия с необходимой группой сигналов. Используется для дальнейшего упрощения использования группы сигналов в разрабатываемых модулях.

Пример реализации SystemVerilog интерфейс представлен на риснуке 1.

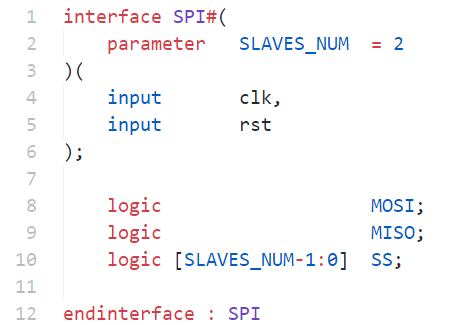


Рисунок 1 – Пример SystemVerilog Interface (без modport)

При объявлении списка внешних сигналов модуля используется следующая конструкция (рисунок 2).

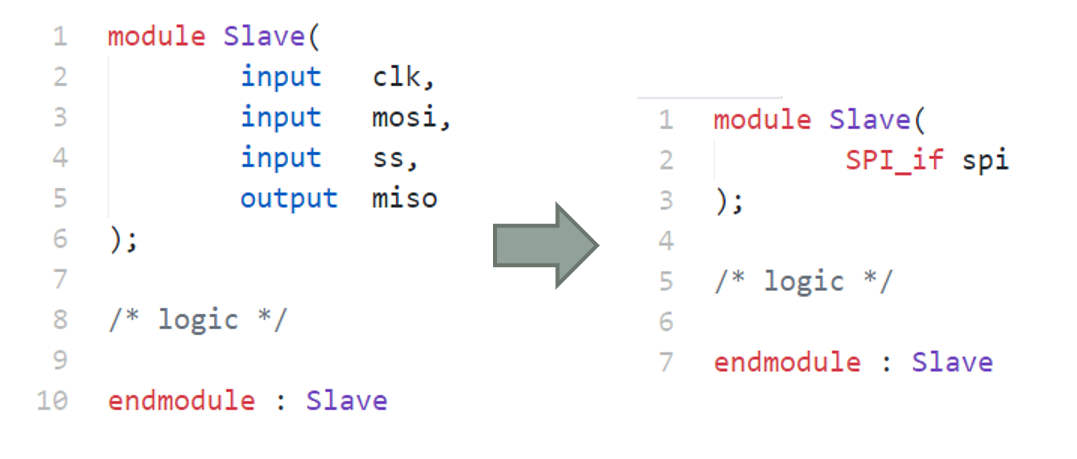


Рисунок 2 – Пример объявления порт-листа с использованием интерфейса

Для обращения к сигналам, входящих в интерфейс используется так называемое «иерархическое» обращение: ***<interface>.<signal\_name>***. Пример SPI-Slave модуля, реализованного с использованием SystemVerilog-интерфейсом приведён на рисунке 3.

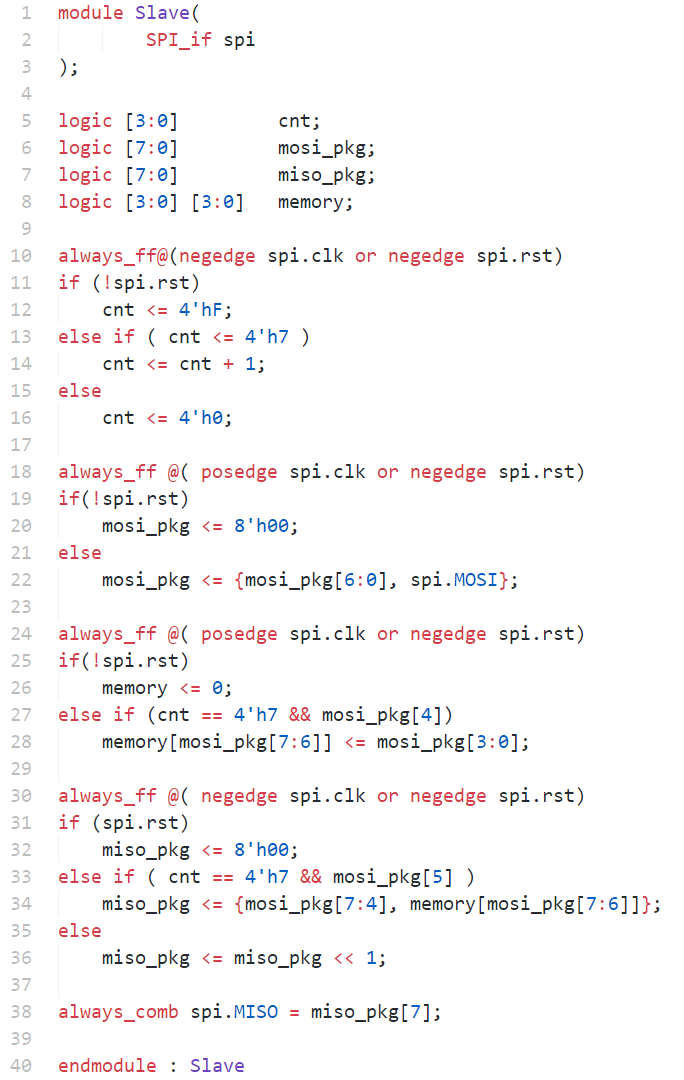


Рисунок 3 – Пример реализации SPI-Slave модуля с использованием интерфейсов

**Системный интерфейс AMBA APB3**

Системный интерфейс AMBA APB3 является широко распространённым системным интерфейсом в современных СнК и проектах на ПЛИС. Данный интерфейс не требует большого числа логических элементов для реализации и является достаточно простым, однако, из-за его особенностей транзакций, не может гарантировать высокую пропускную способность, в сравнении с другими системным интерфейсами типа AMBA AXI.

AMBA APB3 состоит из следующих сигналов:

|  |  |
| --- | --- |
| Сигнал | Описание |
| PCLK | Тактовый сигнал |
| PRESETn | Сигнал сброса (активный уровень 0) |
| PADDR | Адрес |
| PWDATA | Данные для записи |
| PRDATA | Данные чтения |
| PSEL | Выбор определённого Slave-устройства |
| PWRITE | Строб записи (1 – запись, 0 – чтение) |
| PENABLE | Инициализация транзакции |
| PREADY | Сигнал окончания транзакции |
| PSLVERR | Сигнал наличия ошибки |

Ниже представлены примеры работы AMBA APB3 системного интерфейса.

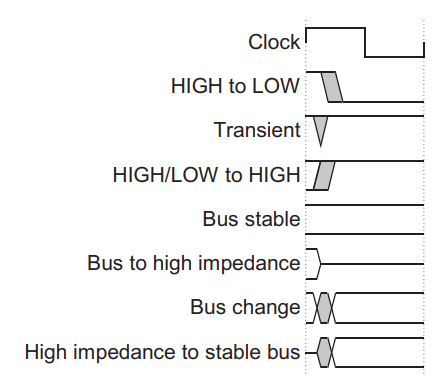


Рисунок 4 – Расшифровка переходов временных диаграмм

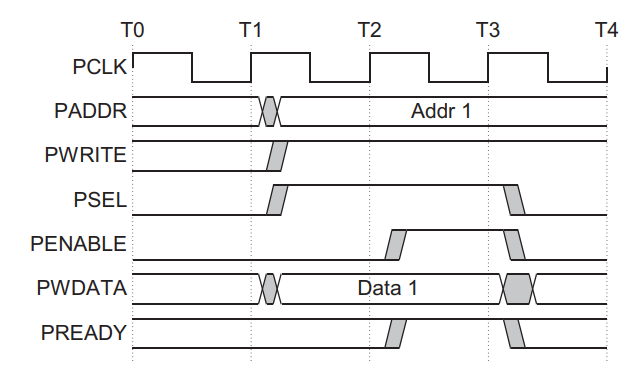


Рисунок 5 – Транзакция записи APB3 (без ожидания)

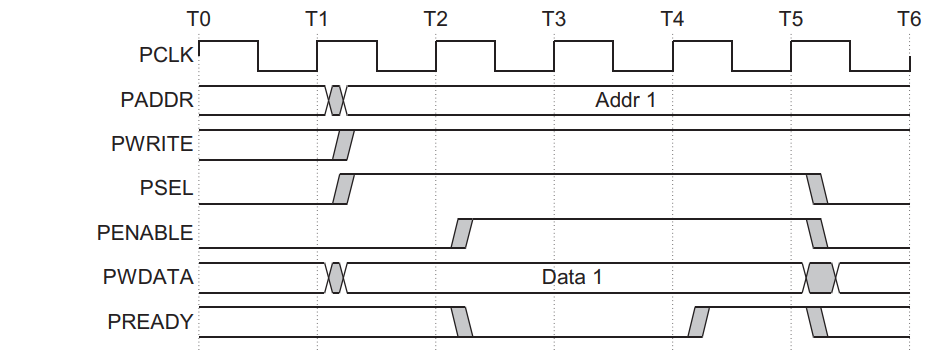


Рисунок 6 – Транзакция записи APB3 (с ожиданием)

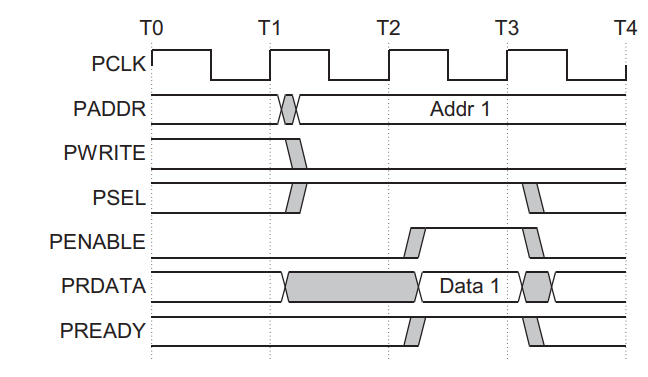


Рисунок 7 – Транзакция чтения (без ожидания)

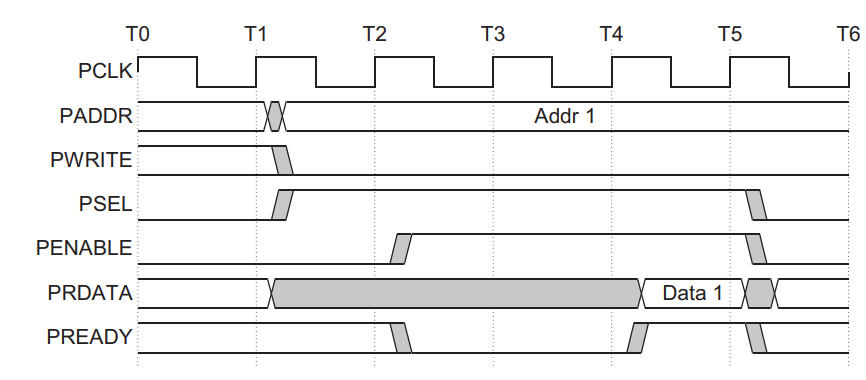


Рисунок 8 – Транзакция чтения (с ожиданием)

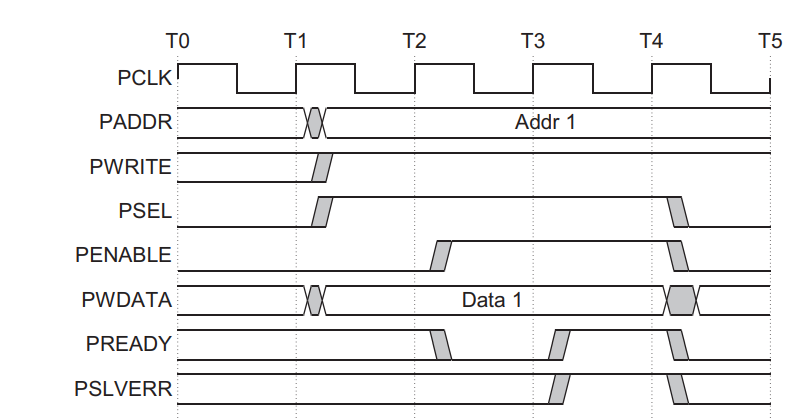


Рисунок 9 – Пример транзакции записи с ошибочным ответом

**Используемая литература**

1. AMBA 3 APB Protocol v1.0. Режим доступа: <https://web.eecs.umich.edu/~prabal/teaching/eecs373-f12/readings/ARM_AMBA3_APB.pdf>
2. SystemVerilog Interface. Режим доступа: <https://www.chipverify.com/systemverilog/systemverilog-interface>
3. Харрис Д., Харрис С., Цифровая схемотехника и архитектура компьютера. Режим доступа: <https://microelectronica.pro/wp-content/uploads/books/digital-design-and-computer-architecture-russian-translation.pdf>