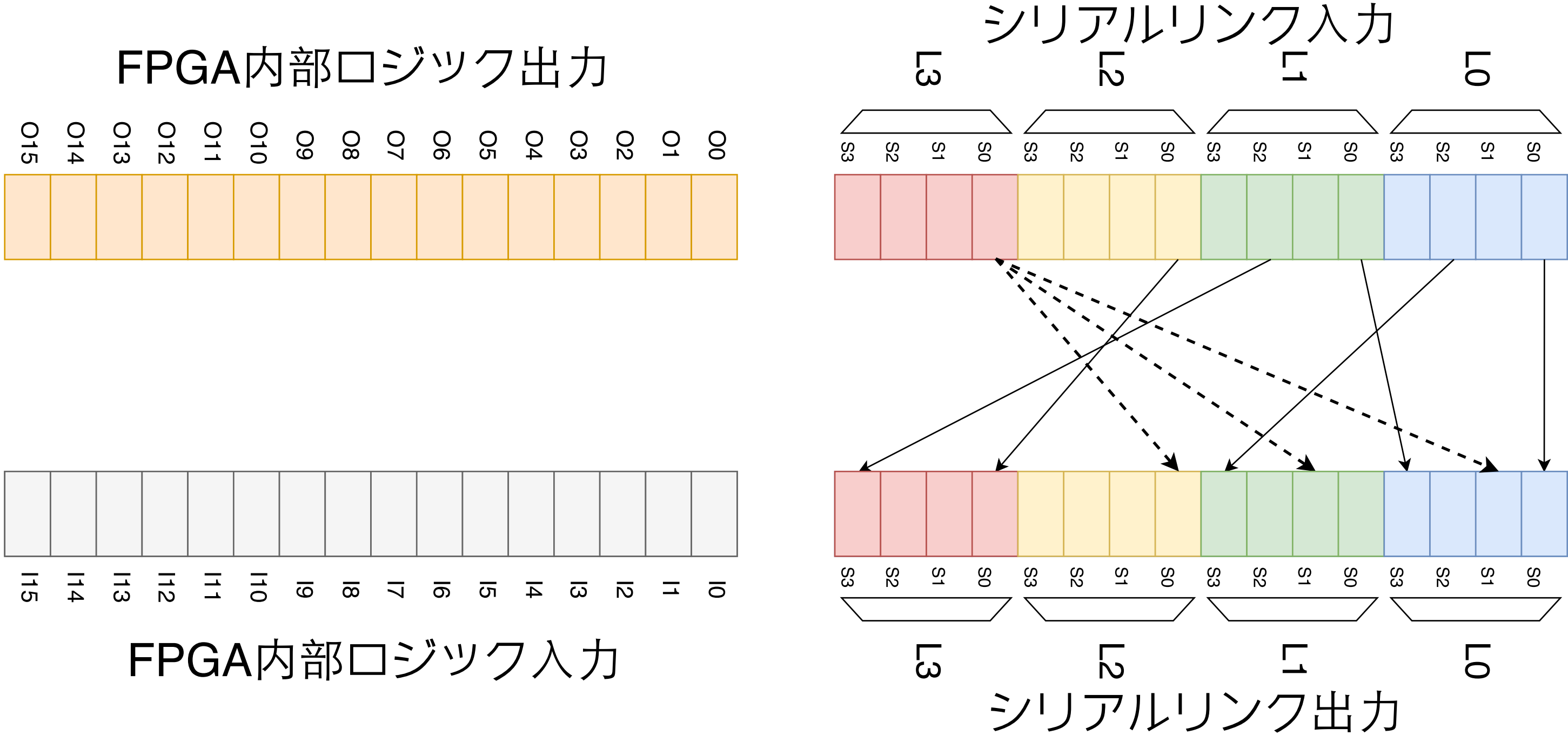
FPGA内部ロジック出力
O15 O14 O13 O12 O11 O10 O9 O8 O7 O6 O5 O4 O3 O2 O1 O0
I15 I14 I13 I12 I11 I10 I9 I8 I7 I6 I5 I4 I3 I2 I1 I0
FPGA内部ロジック入力
シリアルリンク入力
L3 L2 L1 L0
S3 S2 S1 S0
シリアルリンク出力