

# 論理回路

平野 健汰

2024 年 12 月 29 日

## 1 目的

デジタルシステムを構成する論理回路について、組み合わせ回路、順序回路の動作と設計法・実装法の実習、論理素子の動作の理解。

## 2 理論

### 2.1 デジタル信号処理と論理素子

デジタル信号処理を行うデバイスは多岐にわたるが、その主要部分は論理回路である。つまり、二値論理とそれを実行する論理素子からなる。論理素子の実態は電磁リレーや真空管、バイポーラトランジスタなどの連続した入出力特性を持つスイッチング回路である。そして、素子ごとに固有の電氣的、時間的特性を持つ。このため、高速な動作を行うデジタル信号処理回路を設計・作製するためにはこれらの特性を考慮する必要がある。

### 2.2 論理素子 (CMOS) の特性

#### 2.2.1 動作電圧範囲 (最大定格, 推奨動作条件)

デジタル IC には IC 毎に決まった動作保証に関する電氣的条件がある。これは、電源電圧、動作周波数、動作温度範囲などがある。その条件を満足するように使う必要がある。

絶対最大定格：端子に印加できる最大の電圧、あるいは流すことができる最大の電流。これは IC の破壊を防ぐために必ず守らなければならない。

推奨動作条件：IC が正常に動作するための電氣的条件。これは、IC の性能を最大限に引き出すために守るべき条件である。

#### 2.2.2 入出力電圧特性 ( $V_{OH}$ , $V_{OL}$ , $V_{IH}$ , $V_{IL}$ )

デジタル IC はアナログ値を持つ入出力電圧が、高レベルか低レベルかを判定して信号処理を行う。

- $V_{OH}$ ：出力ハイレベル電圧
- $V_{OL}$ ：出力ローレベル電圧
- $V_{IH}$ ：入力ハイレベル電圧
- $V_{IL}$ ：入力ローレベル電圧

#### 2.2.3 伝搬遅延時間

伝搬遅延時間とは入力状態に変化を加えた場合、出力状態が変化するのにかかる時間を表す特性である。

- $t_{PLH}$  : ローレベルからハイレベルへの伝搬遅延時間
- $t_{PHL}$  : ハイレベルからローレベルへの伝搬遅延時間
- $t_{pd}$  :  $t_{PLH}$  と  $t_{PHL}$  の平均

## 2.2.4 ファンアウト

ファンアウトとは、ある素子が特性を満たす範囲で駆動できる同一の素子の数を表す。ファンアウトが大きいほど、多くの素子を駆動できるが、伝搬遅延時間が大きくなる。

## 3 使用器具

- LED: 4 個
- ジャンプワイヤ: 一式
- 抵抗器 (330  $\Omega$ ): 4 個, (1 k $\Omega$ ): 4 個
- コンデンサ (470 nF): 3 個, (4.7  $\mu$ F): 3 個
- タクトスイッチ: 1 個
- D フリップフロップ IC (TC74AC74P, Toshiba): 1 個
- 2 入力論理和 IC (TC74HC08AP, Toshiba): 1 個
- インバータ IC (TC74HC14AP, Toshiba): 1 個

## 4 実験

### 4.1 実験方法

#### 4.1.1 リングオシレータ

- ブレッドボード上にインバータ回路をロジック IC(インバータ) を用いて実装した。
- 2 種類のコンデンサ (470 nF, 4.7  $\mu$ F) を用いてファンクションジェネレータより方形波 ( $f = 100$  Hz,  $V_{pp} = 5$  V, offset = 2.5 V) を入力した。
- 出力波形をオシロスコープで観測した。
- ブレッドボード上に三段の縦続接続インバータによるリングオシレータ回路を実装した。
- V1, V2 を観測して 1 素子の伝搬遅延時間、発振周波数を求めた。
- 各段のコンデンサを変更して同様に測定した。

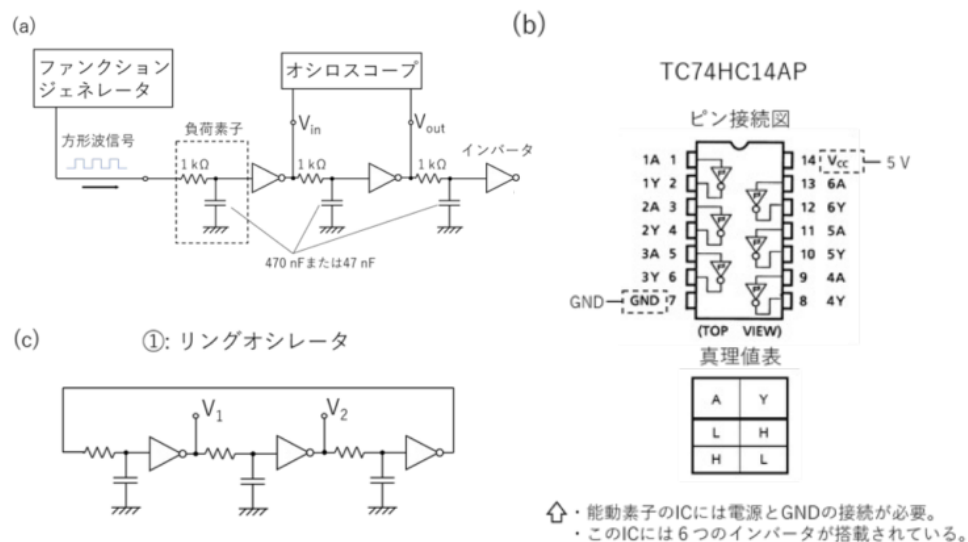


図1 リングオシレータ実験. (a) 負荷素子を含む単一インバータ遅延回路と実験セットアップ. (b) インバータ IC のピン接続図と素子の真理値表. (c) 三段のリングオシレータ回路.

#### 4.1.2 D フリップフロップを用いた2ビット4進非同期カウンタ回路

- ブレッドボード上に2ビットカウンタ回路をロジック IC(エッジトリガ型 D フリップフロップ) を用いて実装した.
- ファンクションジェネレータ ( $f = 1 \text{ kHz}$ ,  $V_{pp} = 5 \text{ V}$ ,  $\text{offset} = 2.5 \text{ V}$  の方形波) をクロック信号 CLK として用いて駆動させた.
- Q1, Q2 およびクロック CLK を観測して記録した.

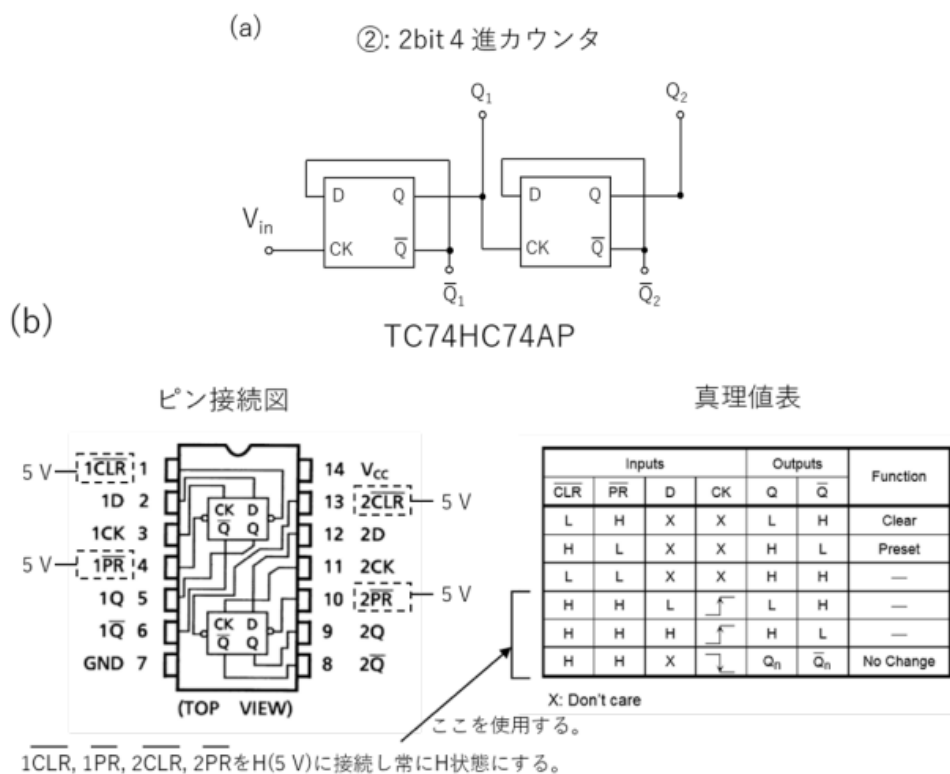


図2 D フリップフロップによる非同期カウンタ実験. (a) 2 ビット 4 進非同期カウンタ回路. (b) エッジトリガ型 D フリップフロップ IC のピン接続図と素子の真理値表.

#### 4.1.3 2 ビットデコーダ回路による LED ルーレット

- ブレッドボード上に 2 ビットデコーダ回路と LED 回路をロジック IC(2 入力論理和) を用いて実装した.
- 2bit 4 進カウンタ回路と接続し, FG( $f = 10 \text{ Hz}$ ,  $V_{pp} = 5 \text{ V}$ ,  $\text{offset} = 2.5 \text{ V}$  の方形波) をクロック信号 CLK として用いて駆動させた.
- LED の点灯状態を観測して動画で記録した.
- LED の光る順番を記録した.
- リングオシレータと 2 ビット 4 進非同期カウンタ回路を接続した.
- 間にはタクトスイッチを挟んだ.
- タクトスイッチが推されている間, LED がルーレットのように点滅し, スイッチをオフにすると 4 つの LED のうち 1 つの LED のみが点灯することを確認し, 記録した.

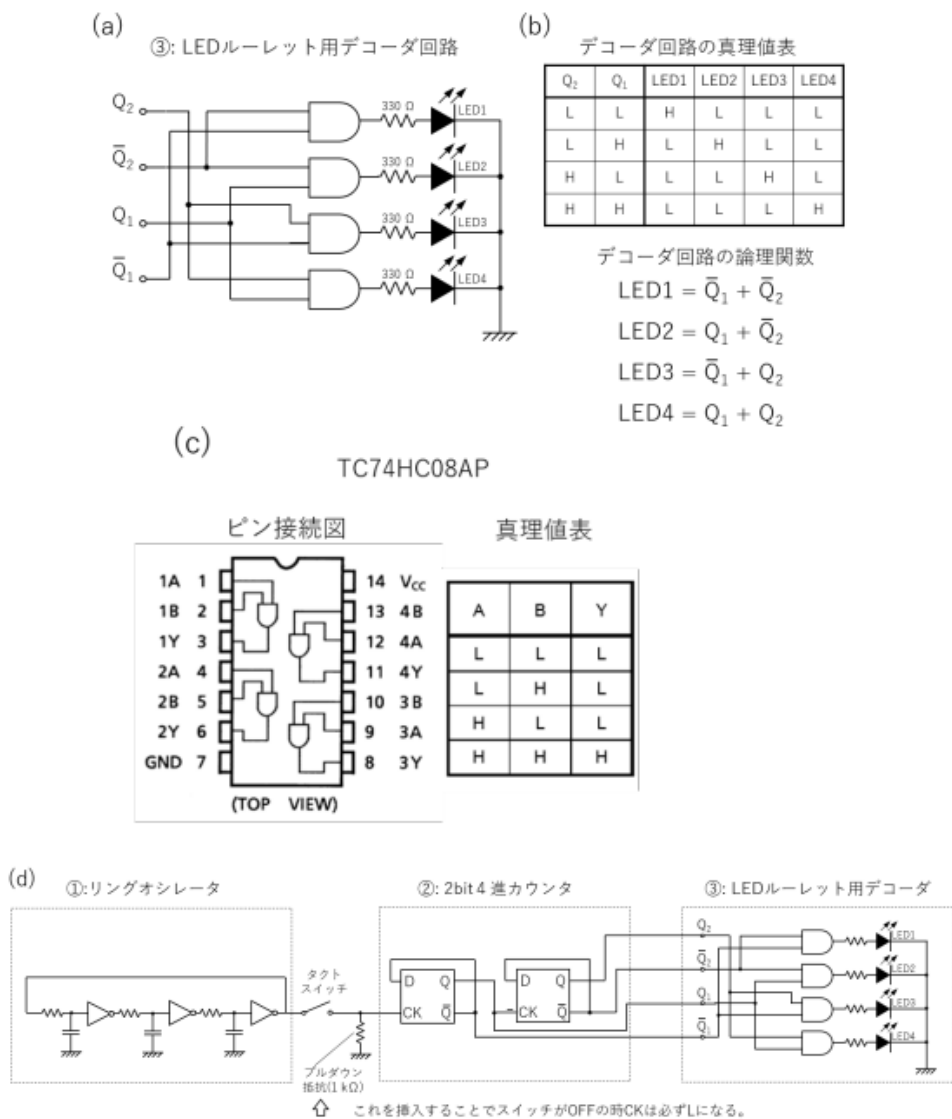


図3 デコーダ回路によるLEDルーレット実験. (a) 2ビットデコーダとLED回路. (b) デコーダ回路の真理値表と論理関数. (c) 2入力論理和ICのピン接続図と素子の真理値表. (d) 電子ルーレットシステム全体の回路図

## 4.2 結果

### 4.2.1 実験課題1

コンデンサ [ $\mu F$ ]	遅延時間 [ $ms$ ]
4.7	7.62
0.47	5.56

表1 ファンクションジェネレータを利用したリングオシレータのコンデンサと遅延時間の関係

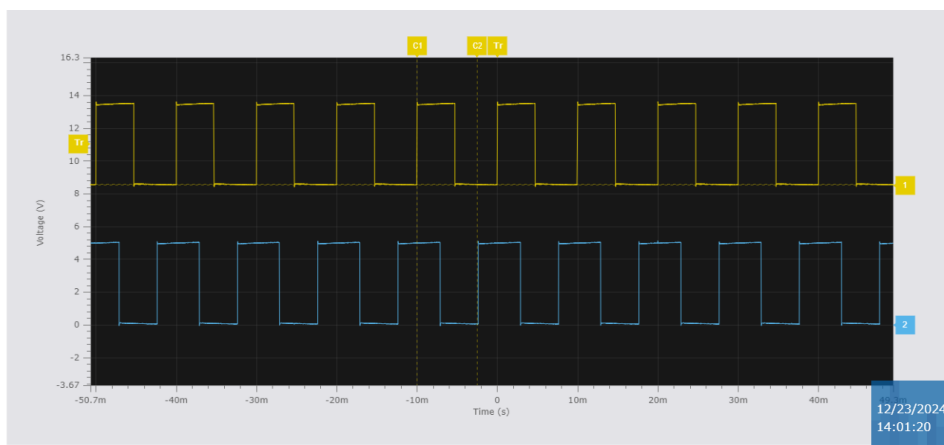


図4 4.7  $\mu\text{F}$  のコンデンサを用いたリングオシレータの波形

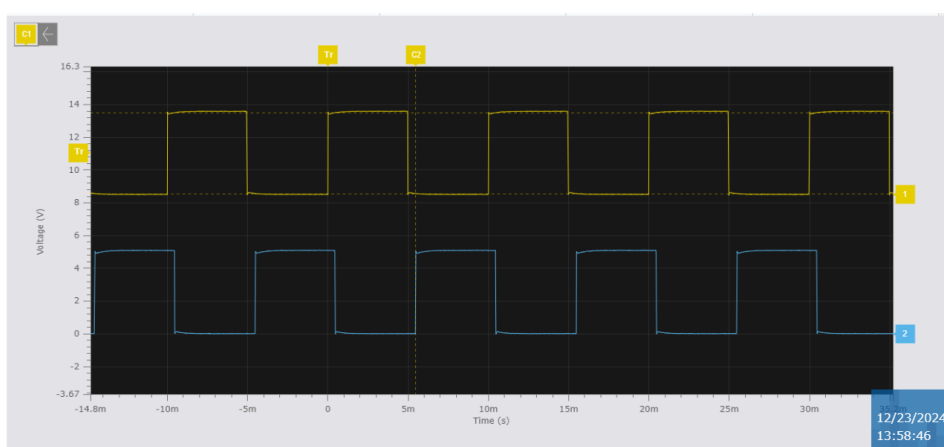


図5 470 nF のコンデンサを用いたリングオシレータの波形

#### 4.2.2 実験課題2

コンデンサ [ $\mu\text{F}$ ]	遅延時間 [ $\text{ms}$ ]
4.7	16.7
0.47	1.77

表2 リングオシレータのコンデンサと遅延時間の関係

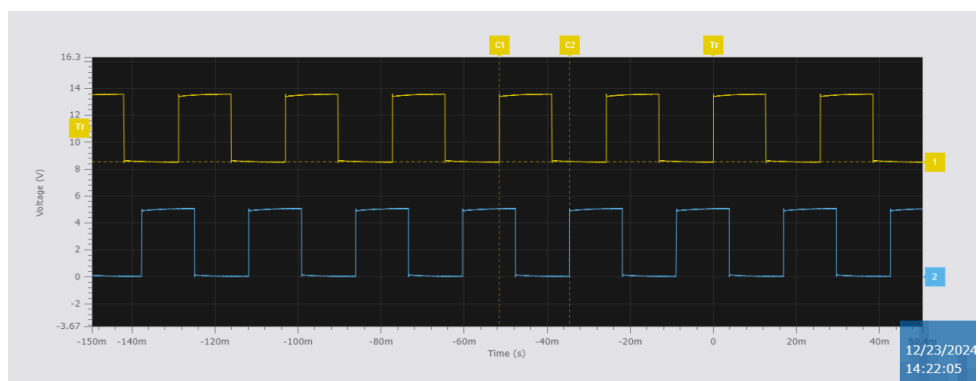


図6 4.7  $\mu\text{F}$  のコンデンサを用いたリングオシレータの波形

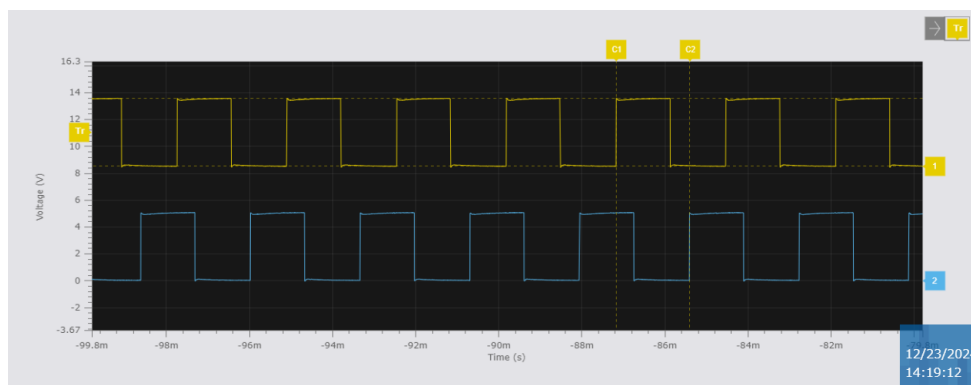


図7 470 nF のコンデンサを用いたリングオシレータの波形

### 4.2.3 実験課題3

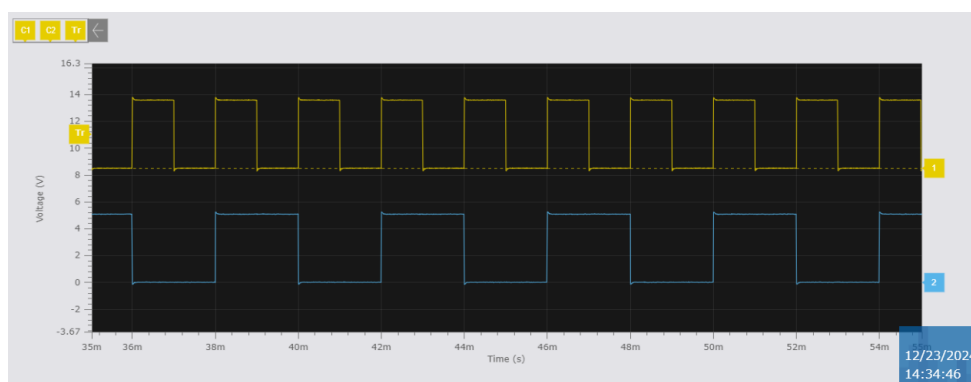


図8 2ビット4進非同期カウンタ回路の波形

### 4.2.4 実験課題4

LED の光る順番は LED4 → LED3 → LED2 → LED1 → LED4 → ・ ・ ・ となった。

## 5 考察

### 5.1 基本課題 (1) インバータ IC 回路

表1より、コンデンサの容量が大きいほど遅延時間が大きくなることがわかる。これは、コンデンサの容量が大きいほど、充放電にかかる時間が大きくなるためである。

### 5.2 基本課題 (2) リングオシレータ

コンデンサ [ $\mu F$ ]	伝達遅延時間 [ $ms$ ]	全体の伝達遅延時間 [ $ms$ ]	発振周波数 [ $Hz$ ]
4.7	16.7	50.1	38.9
0.47	1.77	5.31	379

表3 リングオシレータのコンデンサと遅延時間、発振周波数の関係

表3より、コンデンサの容量が大きいほど遅延時間が大きくなり、発振周波数が小さくなることがわかる。これは、コンデンサの容量が大きいほど、充放電にかかる時間が大きくなるためである。つまり、発振周波数をより早くするためには、コンデンサの容量を小さくする必要がある。

### 5.3 基本課題 (3) 2 ビット 4 進非同期カウンタ回路

図 9 より、2 ビット 4 進非同期カウンタ回路の波形が正常に動作していることがわかる。この回路が 2 ビット 4 進カウンタになることを説明する。この回路は、2 つの D フリップフロップを用いて、2 ビットのカウンタを実装している。このカウンタは、クロック信号が入力されるたびに、カウンタが 1 つ進む。図 9 より、 $Q_1$ 、 $Q_2$  の値が変化していて、4 つの状態を持つことがわかる。以上より、この回路は 2 ビット 4 進カウンタになることがわかる。

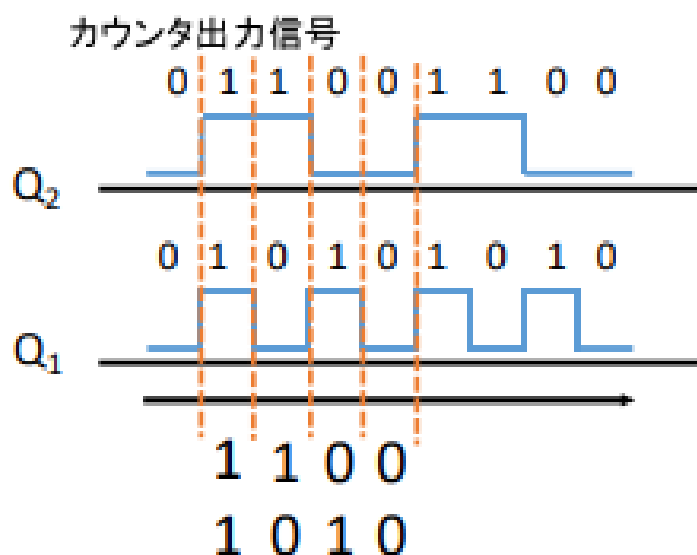


図 9 2 ビット 4 進非同期カウンタ回路の波形

### 5.4 基本課題 (4) LED 用デコーダ回路及び電子ルーレット

2 ビット 4 進非同期カウンタ回路とデコーダ回路で電子ルーレットになる仕組みについて述べる。先述のとおり、2 ビット 4 進非同期カウンタ回路は、2 ビットのカウンタを実装している。つまり、4 つの状態を持ち、クロック信号が入力されるたびに、1 つの状態に進む。このカウンタの出力をデコーダ回路に入力すると、4 つの状態を表す信号が 1 つだけハイレベルになる。この信号を LED に入力することで、LED が点灯する。このため、この回路は、4 つの LED のうち 1 つの LED のみが点灯する電子ルーレットとなる。

次に LED の光る順番について考察する。この回路は、2 ビット 4 進非同期カウンタ回路を用いているため、4 つの状態を持つ。

- LED1 は、 $\overline{Q_2}$  と  $\overline{Q_1}$  の論理和である。
- LED2 は、 $\overline{Q_2}$  と  $Q_1$  の論理和である。
- LED3 は、 $Q_2$  と  $\overline{Q_1}$  の論理和である。
- LED4 は、 $Q_2$  と  $Q_1$  の論理和である。

$Q_2$  の値が 1 のとき、 $Q_1$  の値は 0 から 1 に変化する。その後、 $Q_2$  の値が 0 になり、 $Q_1$  の値は 1 から 0 に変化する。このため、LED の光る順番は、LED4 → LED3 → LED2 → LED1 → LED4 → … となる。

次に LED がルーレットのように光る間隔とリングオシレーターが作るクロック信号及び FG の波形の周波



数との関係について考察する。リングオシレーターは、クロック信号を入力すると、その周波数に合わせて発振する。このため、リングオシレーターの周波数が高いほど、LED がルーレットのように光る間隔が速くなる。また、リングオシレーターの周波数が低いほど、LED がルーレットのように光る間隔が遅くなる。

## 5.5 基本課題 (5)

デジタル IC は、スマートフォンの中で重要な役割をはたしている。具体的には、スマートフォンの中央処理装置 (CPU) として使用されている。CPU は、スマートフォンのアプリケーションの実行やシステム全体の管理を行う「頭脳」の役割をになっている。このデジタル IC は、高速で複雑な演算処理を行い、ユーザーの操作に応じてアプリケーションを起動したり、データを処理したりする。また、CPU は電気の流れを高速でオン・オフすることでデジタル信号を処理し、スマートフォンの様々な機能を制御しています。これにより、ユーザーは滑らかな操作感覚でスマートフォンを使用することができ、多様なアプリケーションや機能を利用することが可能となっています。

## 参考文献

- [1] 【基礎実験】4. 論理回路 (テキスト資料, 説明資料)
- [2] <https://www.y-skt.co.jp/magazine/knowledge/guide-semicon/>
- [3] <https://jobpal.jp/contents/column/trivia/001/>