



Technologies d'élaboration & MEMS (TELEMS)

Technologies d'élaboration des matériaux et composants semi-conducteurs

I - Introduction - Généralités

II - Elaboration des substrats semi-conducteurs (SC)

III - Croissance de couches minces monocristallines par épitaxie

III - Techniques de dopage : Diffusion thermique – Implantation ionique

IV - Oxydation du silicium

V - Dépôts de couches minces SC, diélectriques et couches métalliques

VI – Technique de transfert : Photolithogravure

VII - Réalisations technologiques



TELEMS

Objectifs du cours en compétences et connaissances

Sciences pour l'Ingénieur

Résoudre les questions posées par un problème scientifique en étant conscient des limites

Mettre en œuvre une démarche scientifique

Identifier, formuler et résoudre un problème d'ingénierie complexe

Science de la Matière

Connaitre et pouvoir établir les relations Structures-Propriétés des Matériaux

Identifier et mettre en œuvre les méthodes d'élaboration des matériaux

Mettre en application les matériaux

Modéliser et prédire le comportement des matériaux

Compétence en humanité, documentation

Travailler, apprendre, évoluer de manière autonome

Objectifs du Cours

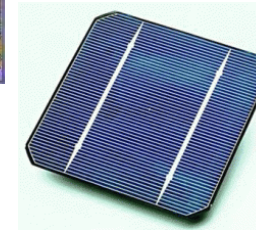
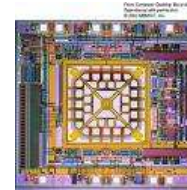
- Connaitre les propriétés physiques spécifiques des matériaux
 - ✓ Semi-conducteurs
 - ✓ Diélectriques
 - ✓ Métaux
- Connaitre les principales techniques d'élaboration
- Connaître les différents domaines d'applications
- Identifier les briques technologiques
- Savoir choisir les procédés adaptés en fonction du cahier des charges
- Etre former à la R&D et à la recherche académique

Technologies d'élaboration des matériaux et composants



matériau.....

....aux composants



Technologie \equiv maîtrise des procédés élémentaires :

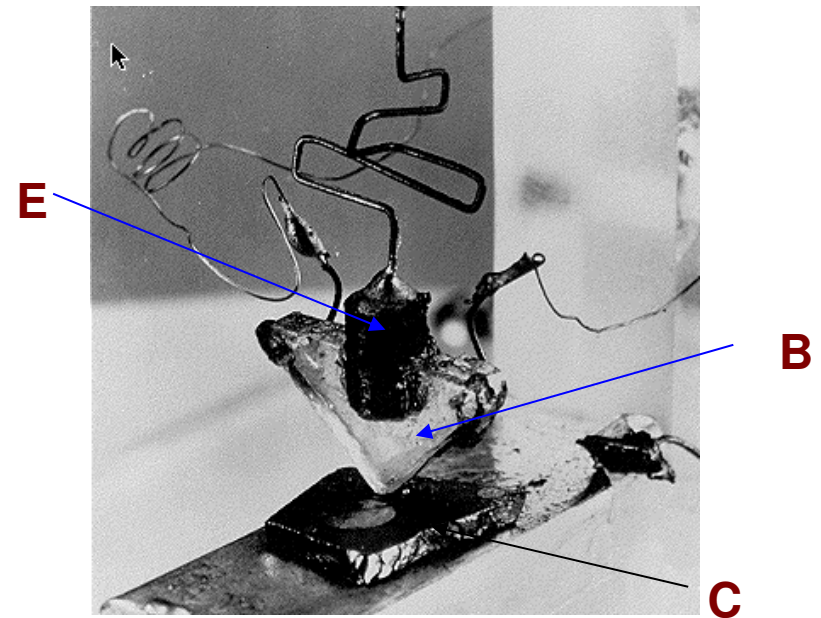
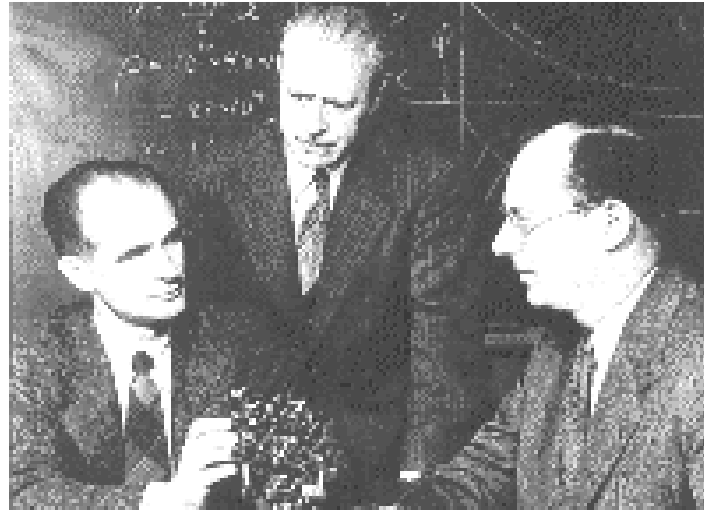
- ☐ fabrication du cristal et des plaquettes
- ☐ croissance matériau en couche mince, dopage n ou p
- ☐ oxydation thermique (SiO_2)
- ☐ prise de contacts ohmiques, contact Schottky
- ☐ passivation par diélectrique
- ☐ photolithogravure (transfert des motifs)
- ☐ intégration des briques élémentaires



Filière technologique

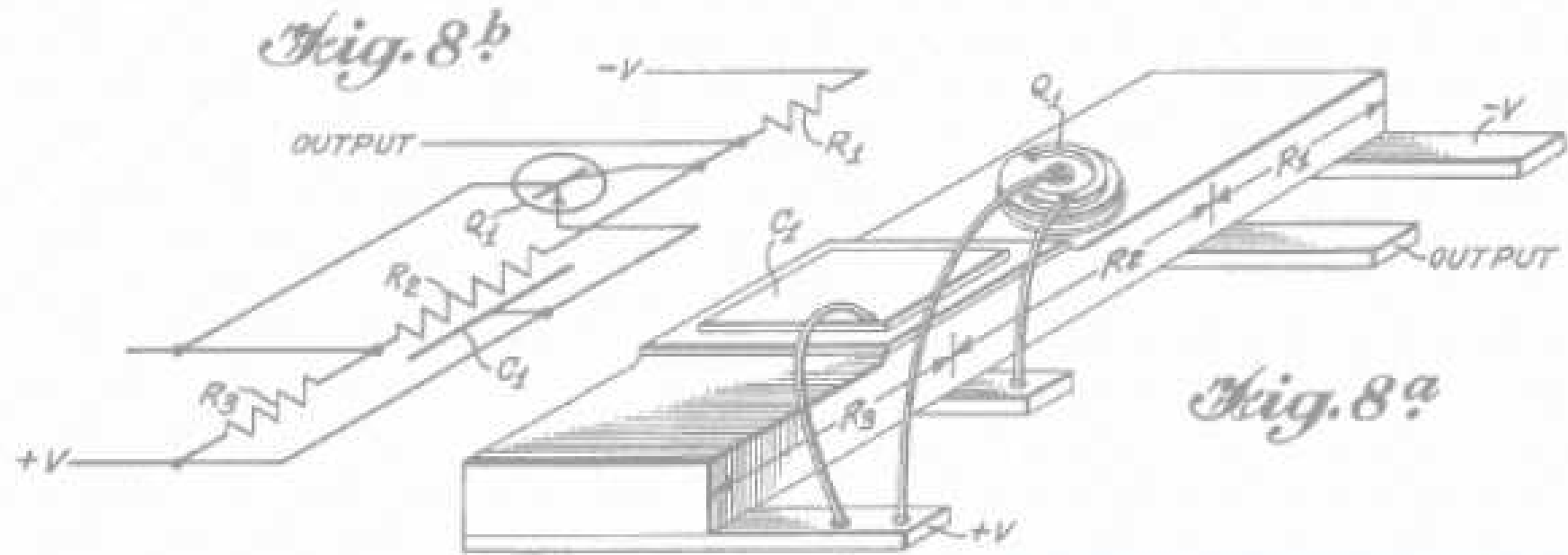
Historique

1947 : premier transistor (Lilienfeld et Heil)



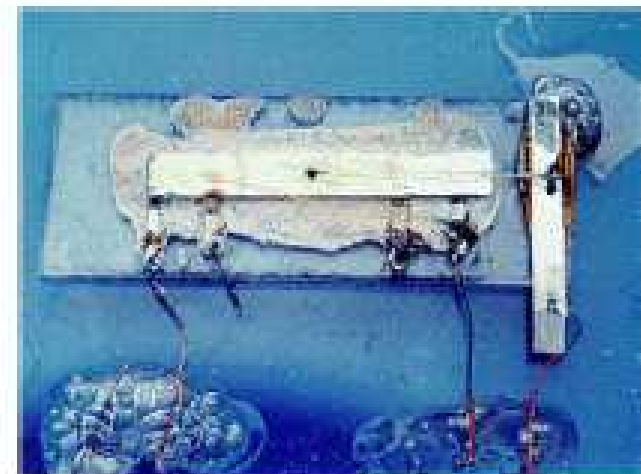
Historique

1958 : premier Circuit intégré (C.I)



1958

Jack Kilby, Texas Instruments
first IC (**I**ntegrated **C**ircuit)



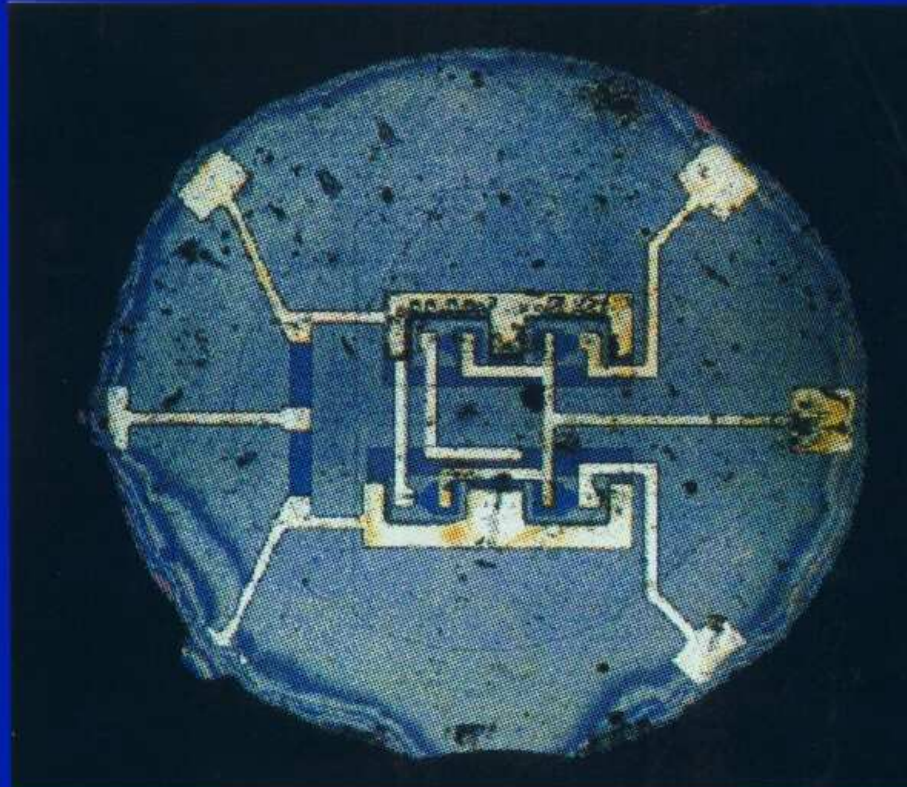
Historique

Premier inverseur CMOS (Fairchild)

1961

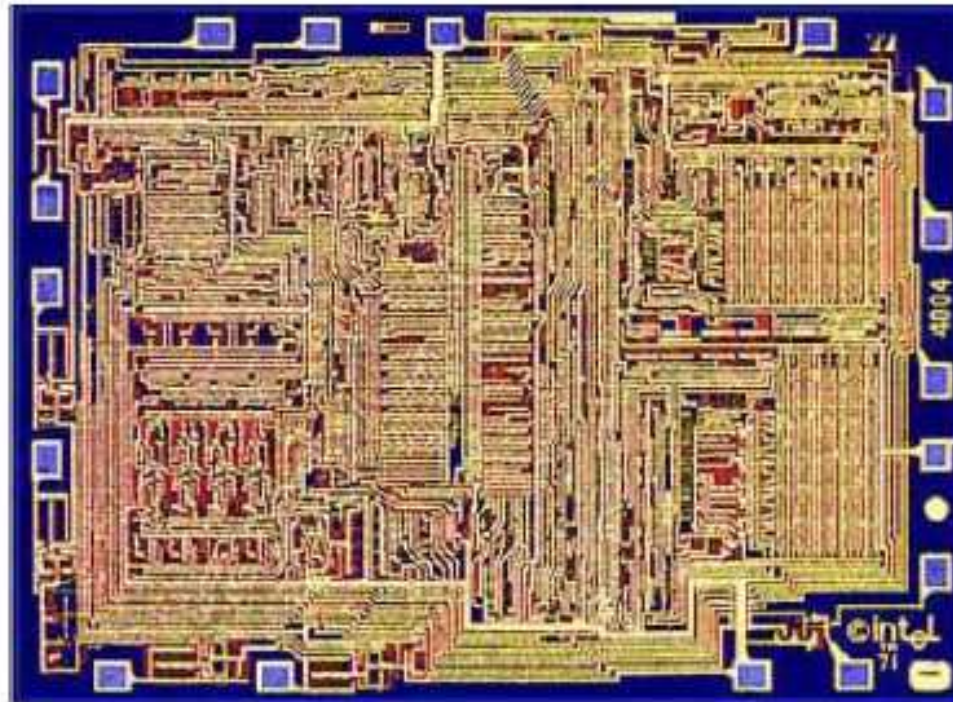
FIRST MONOLITHIC IC BY R. N. NOYCE

(US Patent 2,981,877 filed July 1959, granted 1961)



Historique

Premier μ processeur: des milliers de transistors



1971

Intel announces the i4004 **microprocessor**
"a new era of integrated electronics"
2250 transistors, 10 μ m technology, 108kHz

Quelques milliers de transistors par puce (intégration large échelle : LSI
Large Scale Integration)

Historique

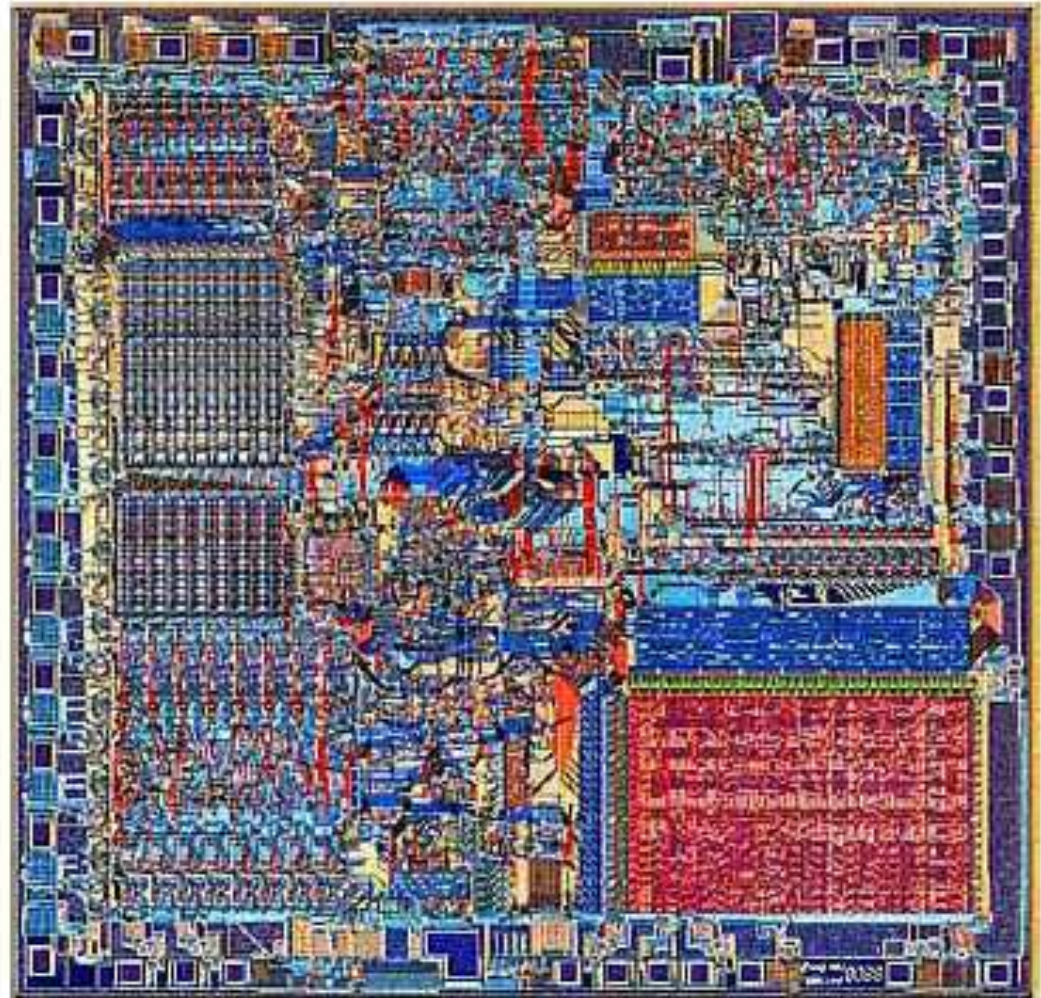
1981

Intel i8088

29000 transistors,
3 μ m technology, 8MHz

invention of the PC
(personal computer)

IBM, A.Child, B.Gates



Quelques millions de transistors par puce (intégration très large échelle :VLSI)

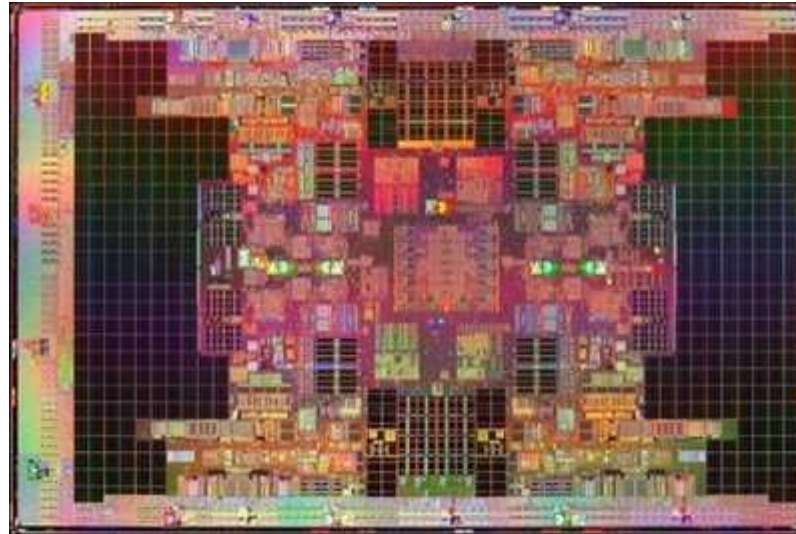
Historique

PENTIUM D: 410 millions de transistors

45 nm

2 milliards components

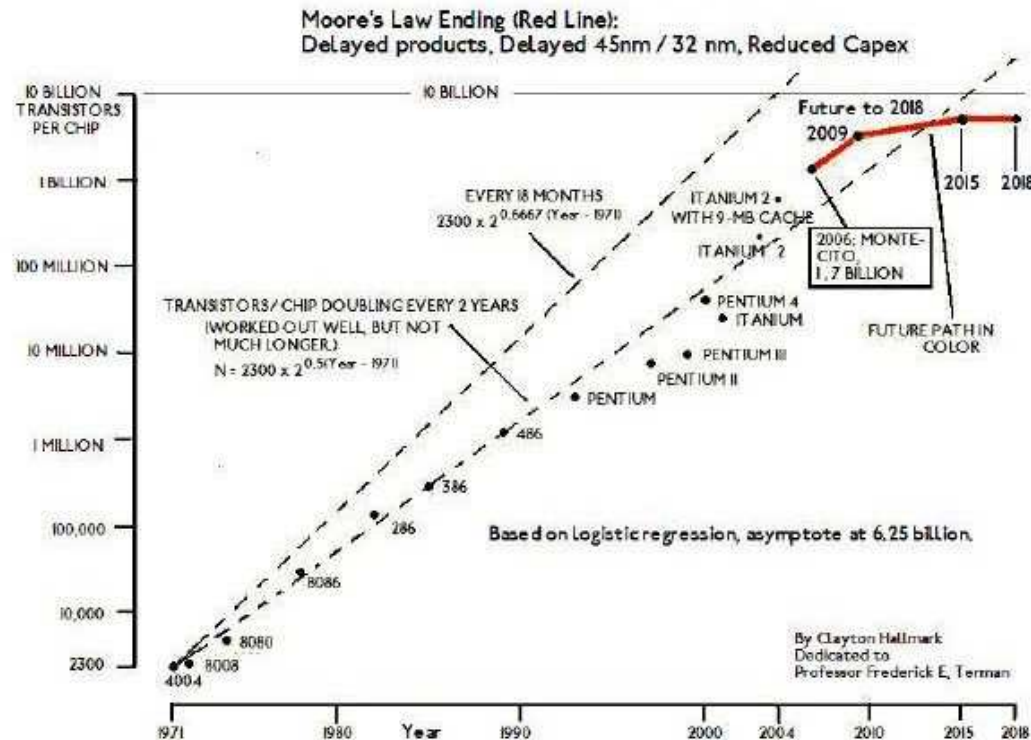
1.8 GHz



Plusieurs centaines de millions de transistors par puce
(intégration à ultra large échelle : ULSI)

Evolution de la technologie silicium

La Loi de Moore



Gordon Moore

- In 1965, Gordon Moore avait prédit que tous les 3 ans:

Surface de puce: $\times 3$

Longueur minimale: réduction de 30 %

Nombre de composants par puce: $\times 4$

Fréquence d'horloge: $\times 1,5$

Coût par transistor: réduction de 50 %

Coût d'une unité de production: $\times 2$

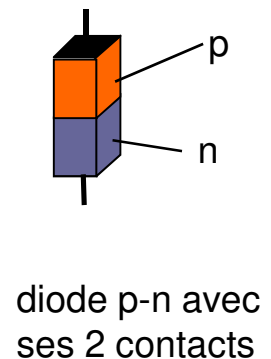
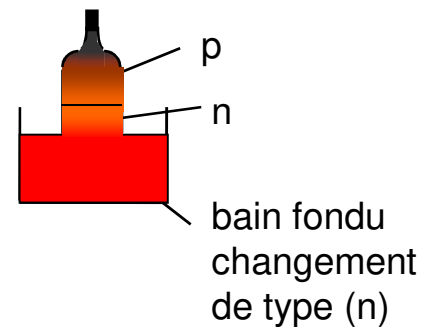
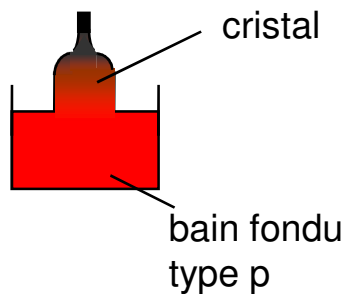
2 grandes périodes de développement :

- de 1950 à 1960 : composants discrets
- de 1960 à nos jours : méthode planar

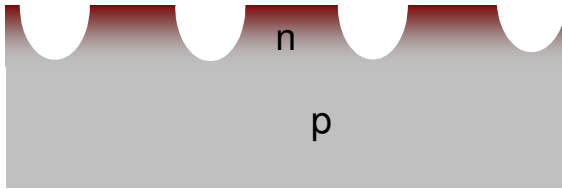
Avant : développement de composants simples

→ diodes, transistors, capacités, résistances avec Si et Ge

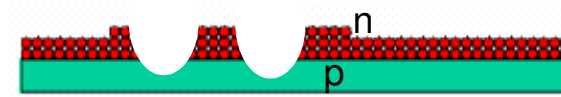
a) - Méthode par tirage



b) - Jonctions diffusées mésa



c) - Mésa épitaxiaux



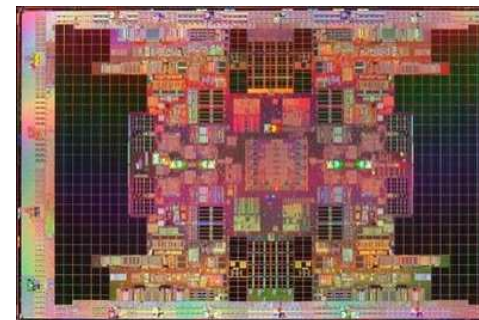
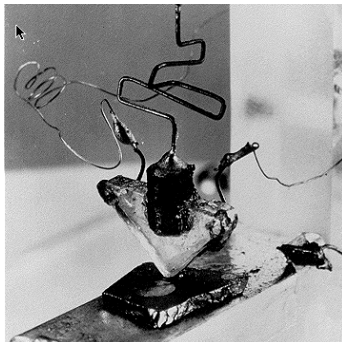
Après : Technologie planar

composant plan où l'on utilise SiO_2 comme

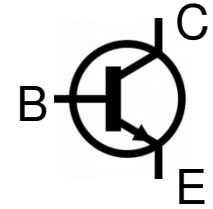
- masque naturel de diffusion
- isolant

Ce qui a permis :

Transistor unique → C.I. ULSI (Ultra Large Scale Integration)



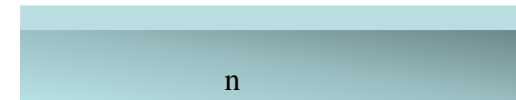
Transistor bipolaire NPN en technologie planar



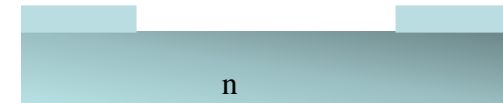
Rodage et polissage de la plaquette



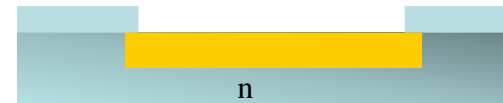
1^{ère} oxydation



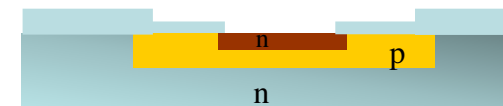
Photogravure de la zone de base



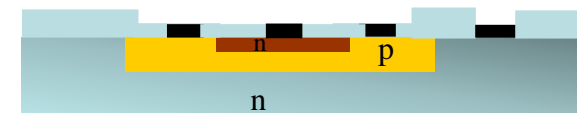
Diffusion de base



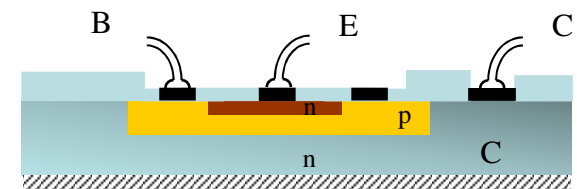
2^{ème} oxydation : Photogravure de base
et diffusion de l'émetteur



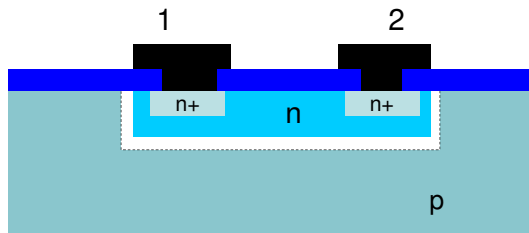
Photogravure et évaporation des contacts métalliques



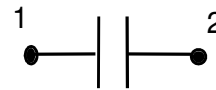
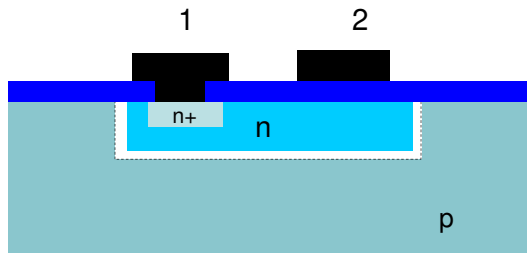
Découpage de la plaquette en pastille et montage sur support



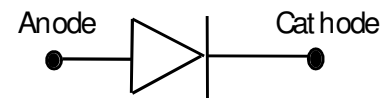
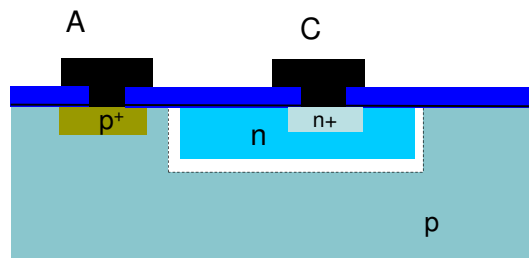
Eléments intégrables



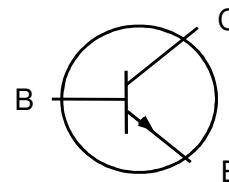
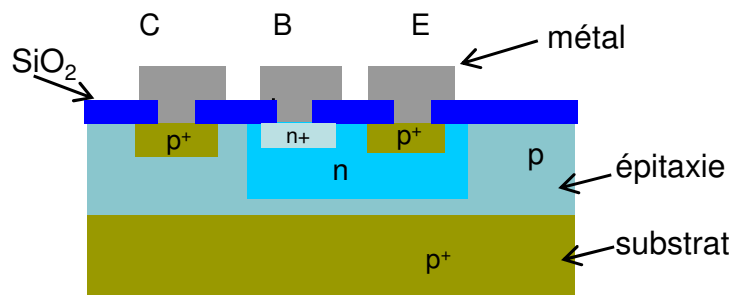
résistance



capacité



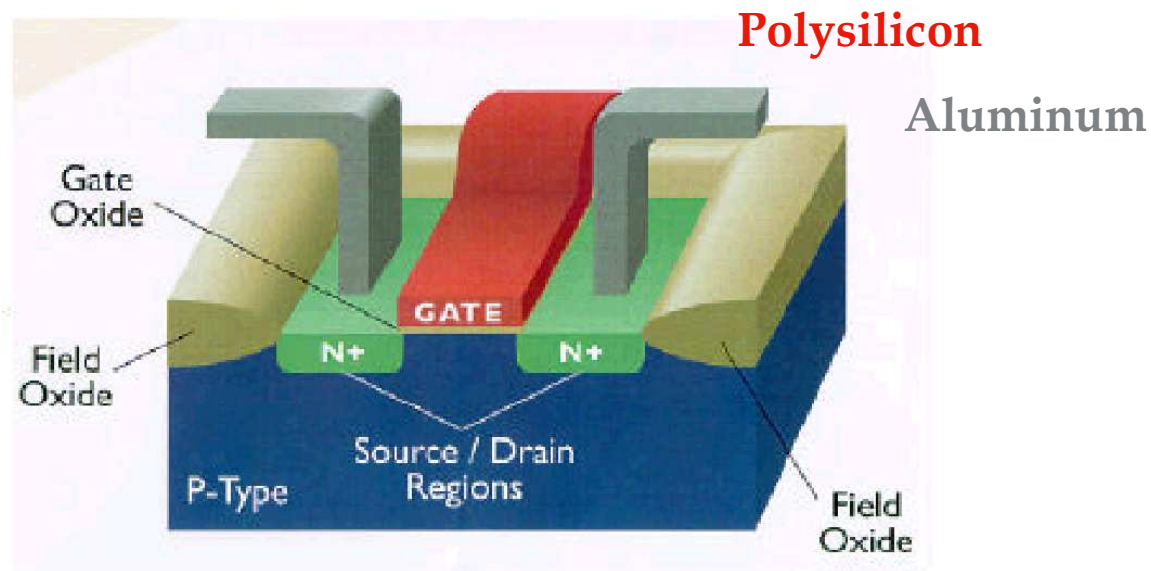
diode



transistor pnp

Transistor NMOS

- ✓ Si type p ■
- ✓ oxydation ■
- ✓ photogravure , dopage type n ■
- ✓ dépôt grille Si poly. - métallisation ■
- ✓ prise de contact ■



Réalisation technologique

Transistor NMOS

https://www.youtube.com/watch?v=tz62t-q_KEc

- 4 étapes de masquage

1. Source/Drain :

1^{er} niveau de masquage

2. oxyde mince :

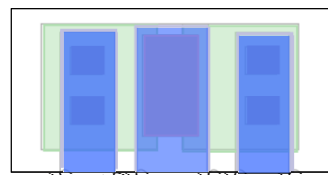
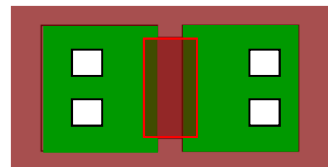
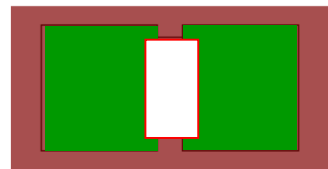
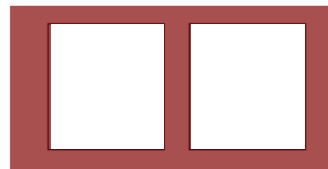
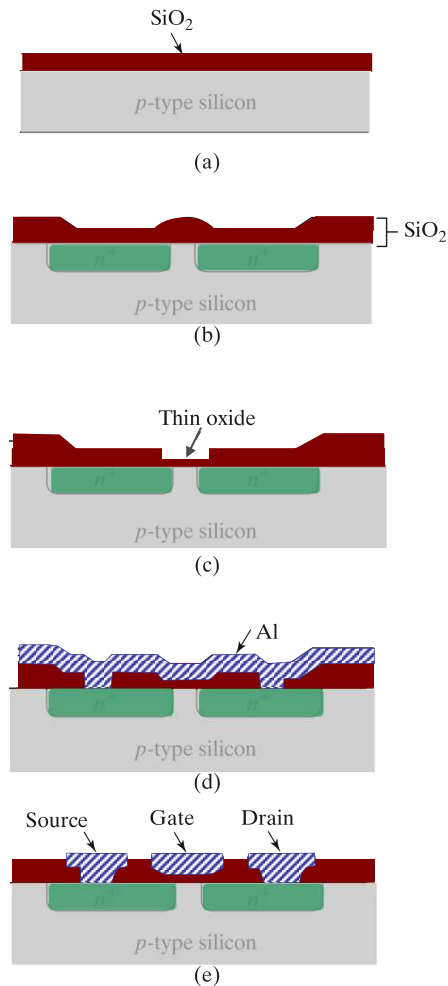
alignement avec le 1^{er} niveau

3. Trous de contacts :

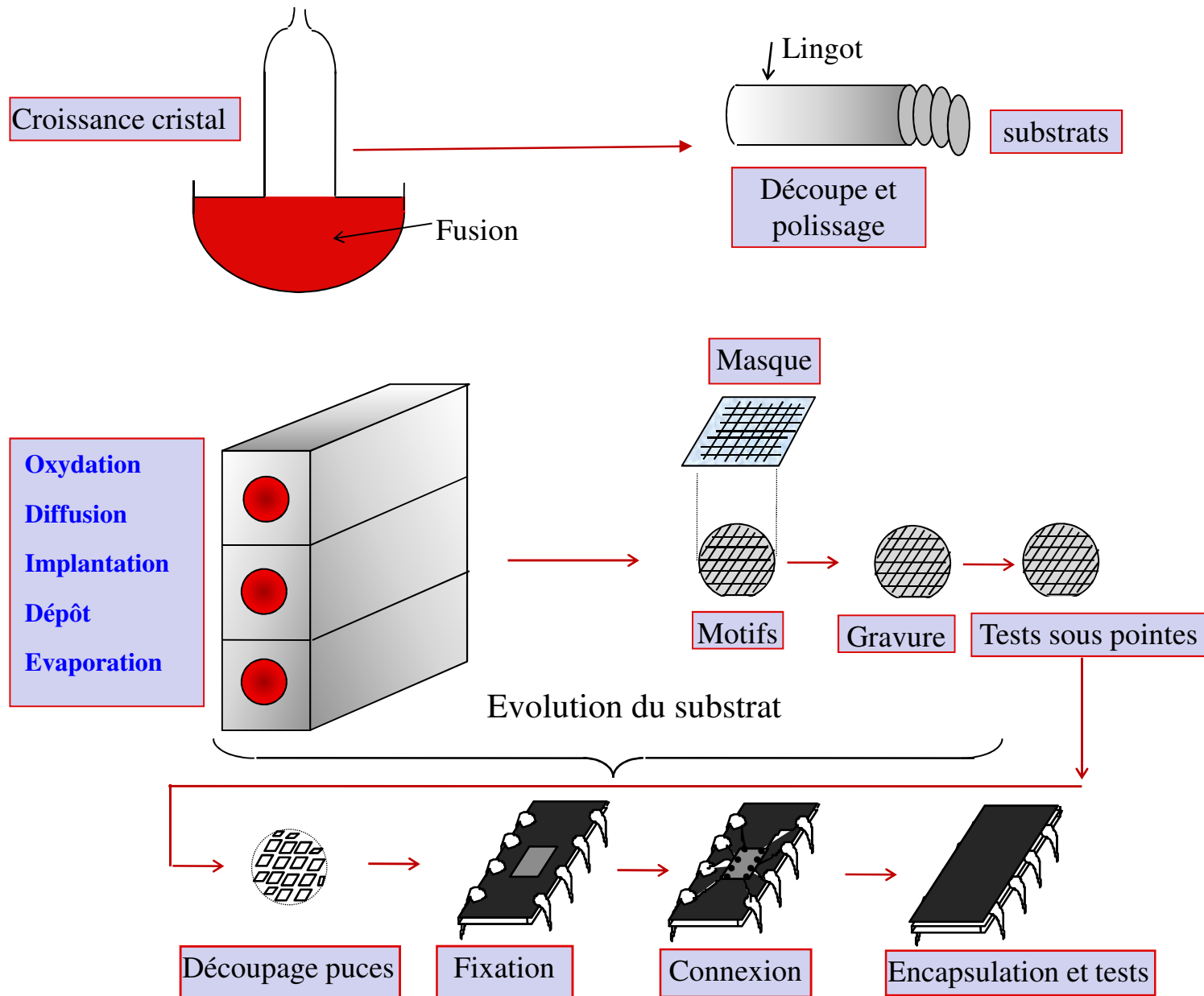
alignement avec le 1^{er} niveau

4. Métallisation :

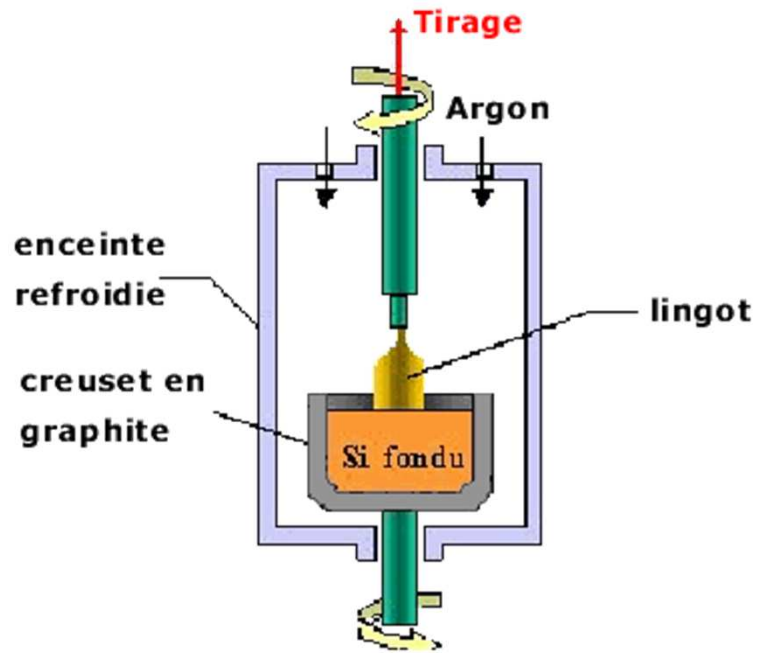
alignement avec le 2^{ème} niveau



Etapes de fabrication d'un C.I.

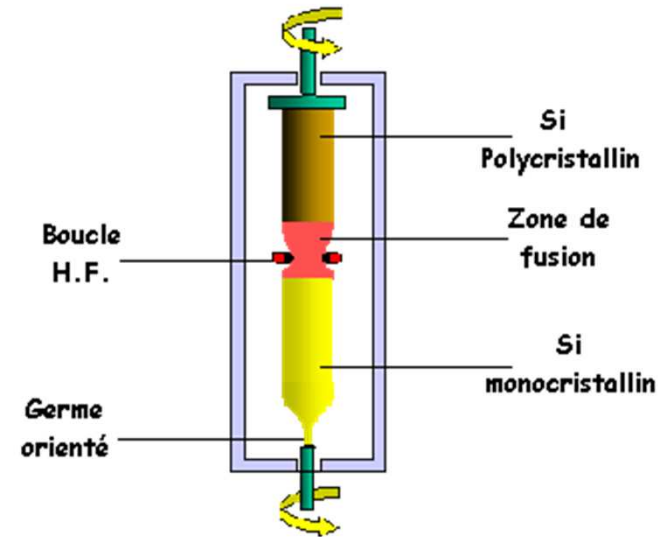


Fabrication du cristal



Méthode Czochralski

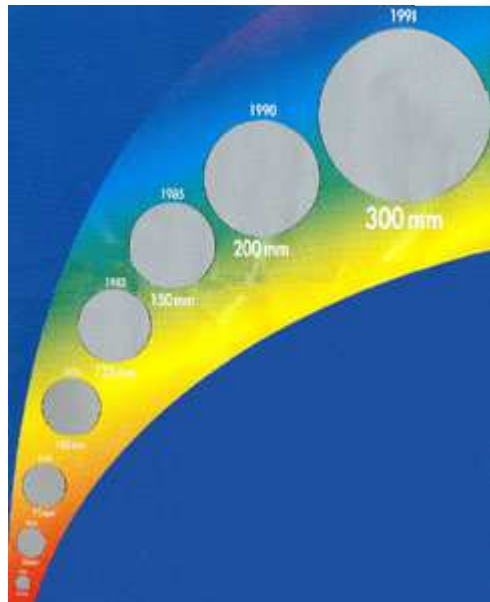
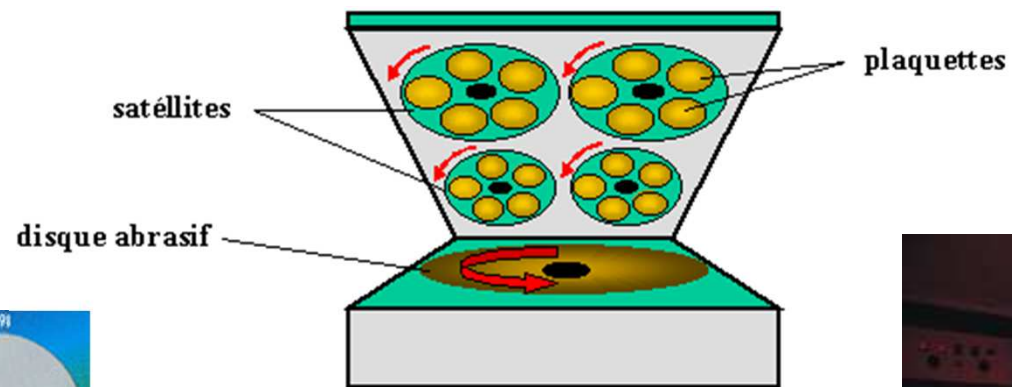
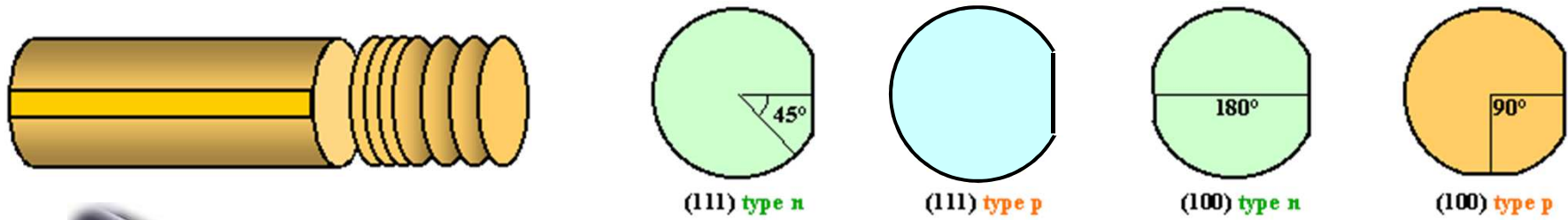
ou



Méthode de la fusion de zone
(destinée aux cristaux de grande dimension)



Fabrication des wafers



30mm en 1964

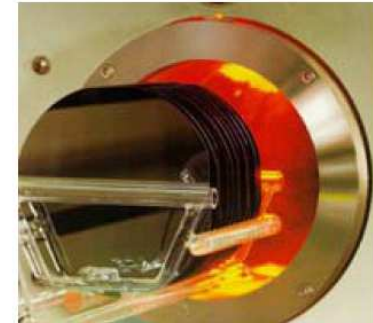


300 mm en 1998

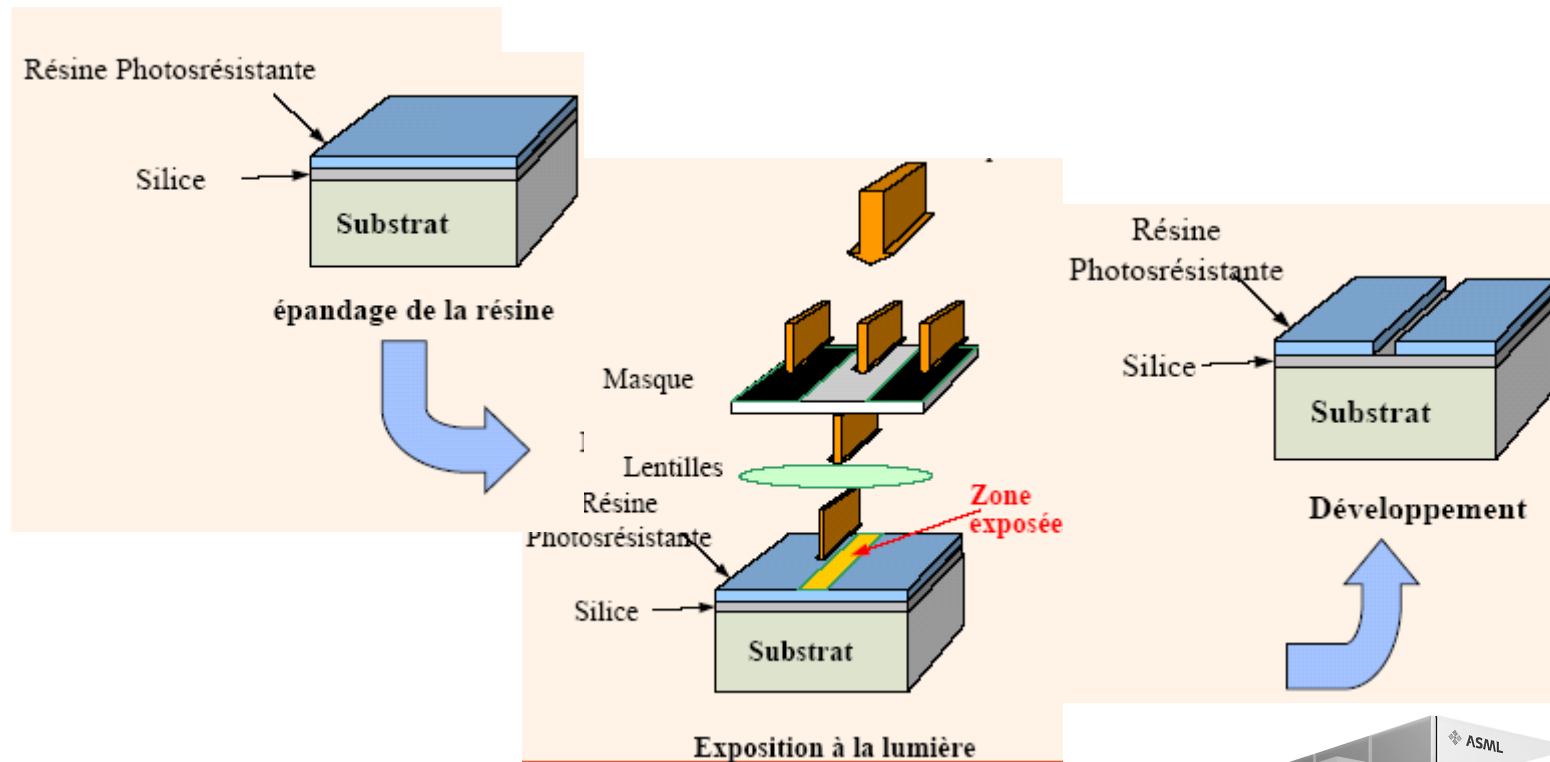


Etapes technologiques

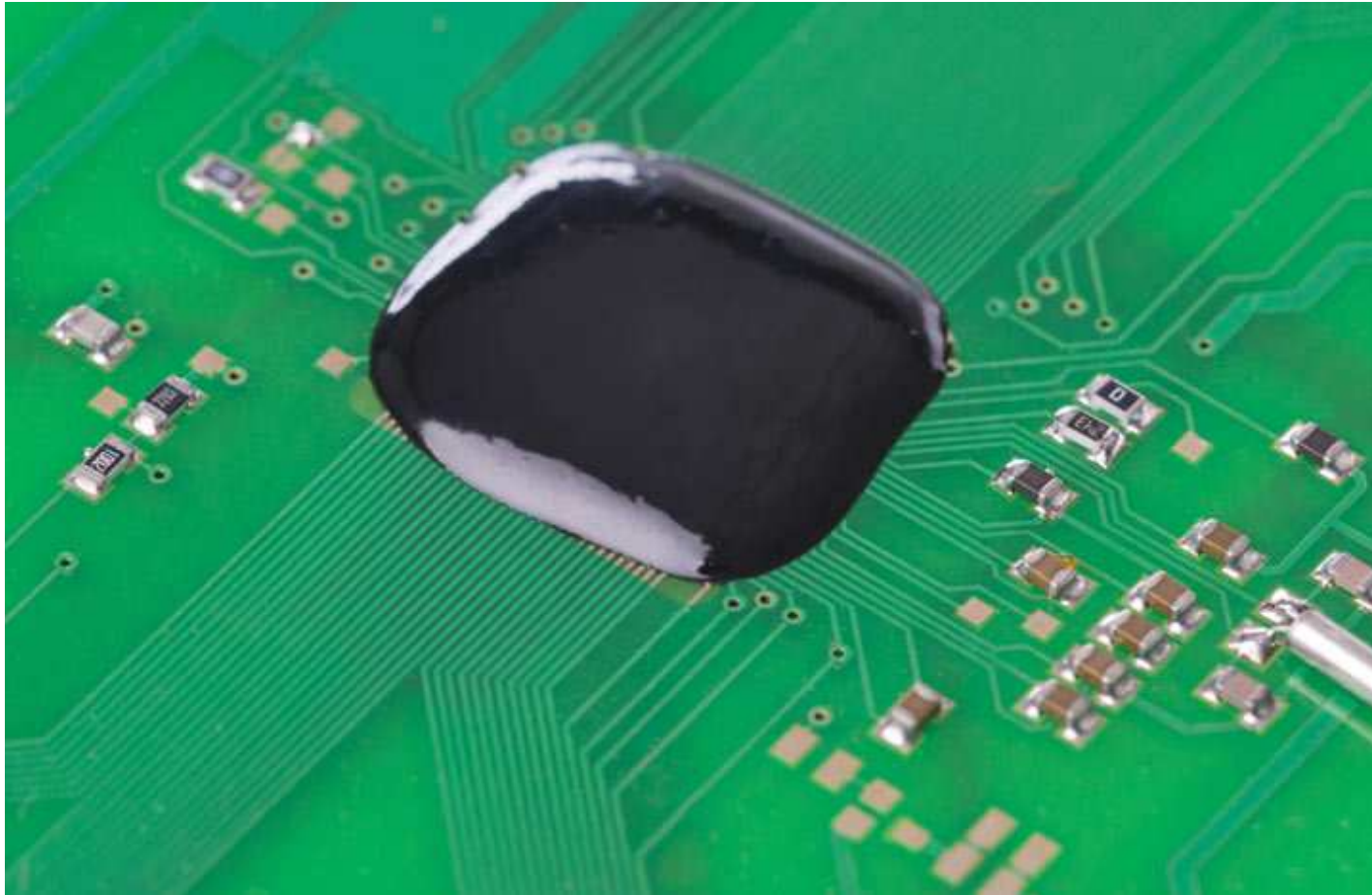
- **Oxydation**
- **Diffusion**
- **Implantation**
- **Dépôt**
- **Evaporation**



Photomasquage

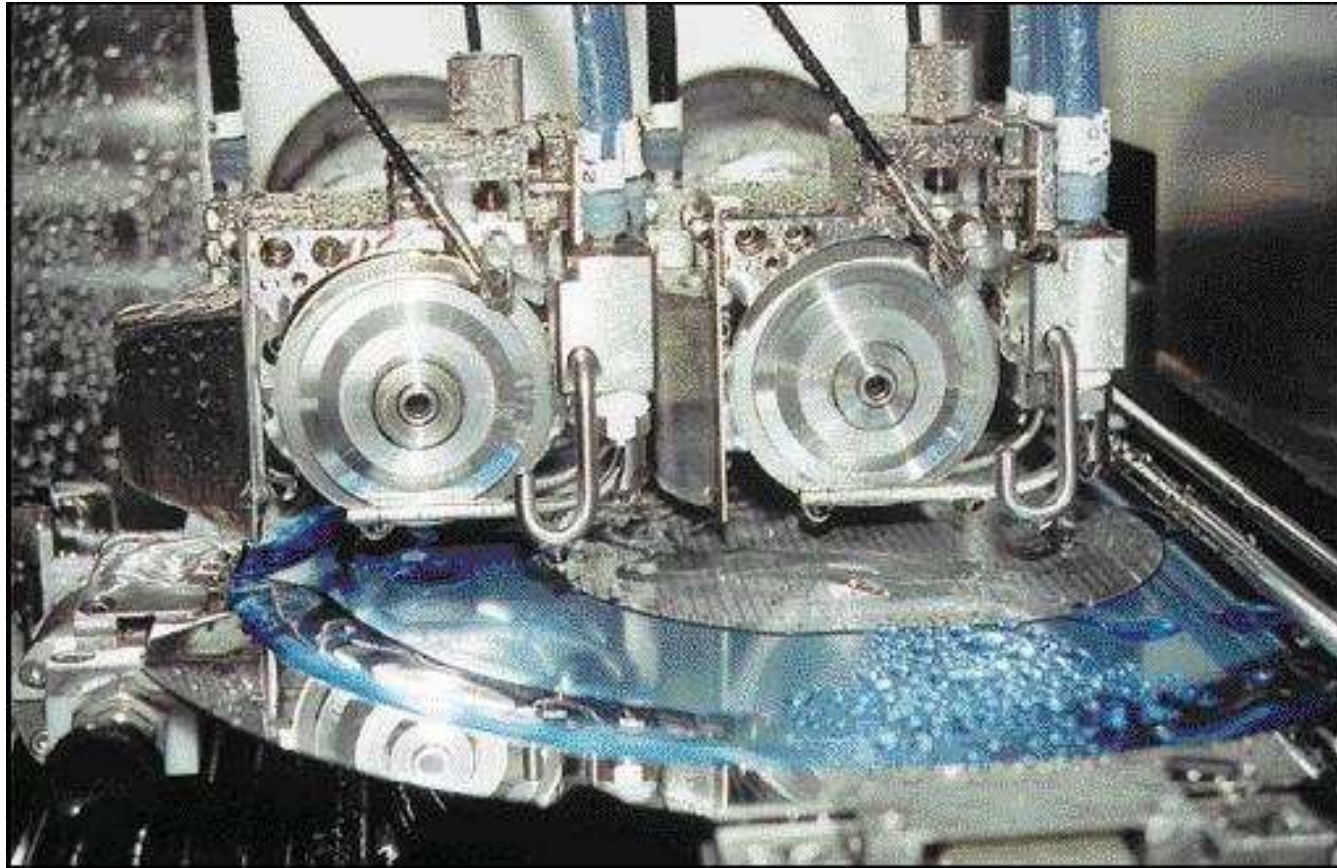


Enrobage



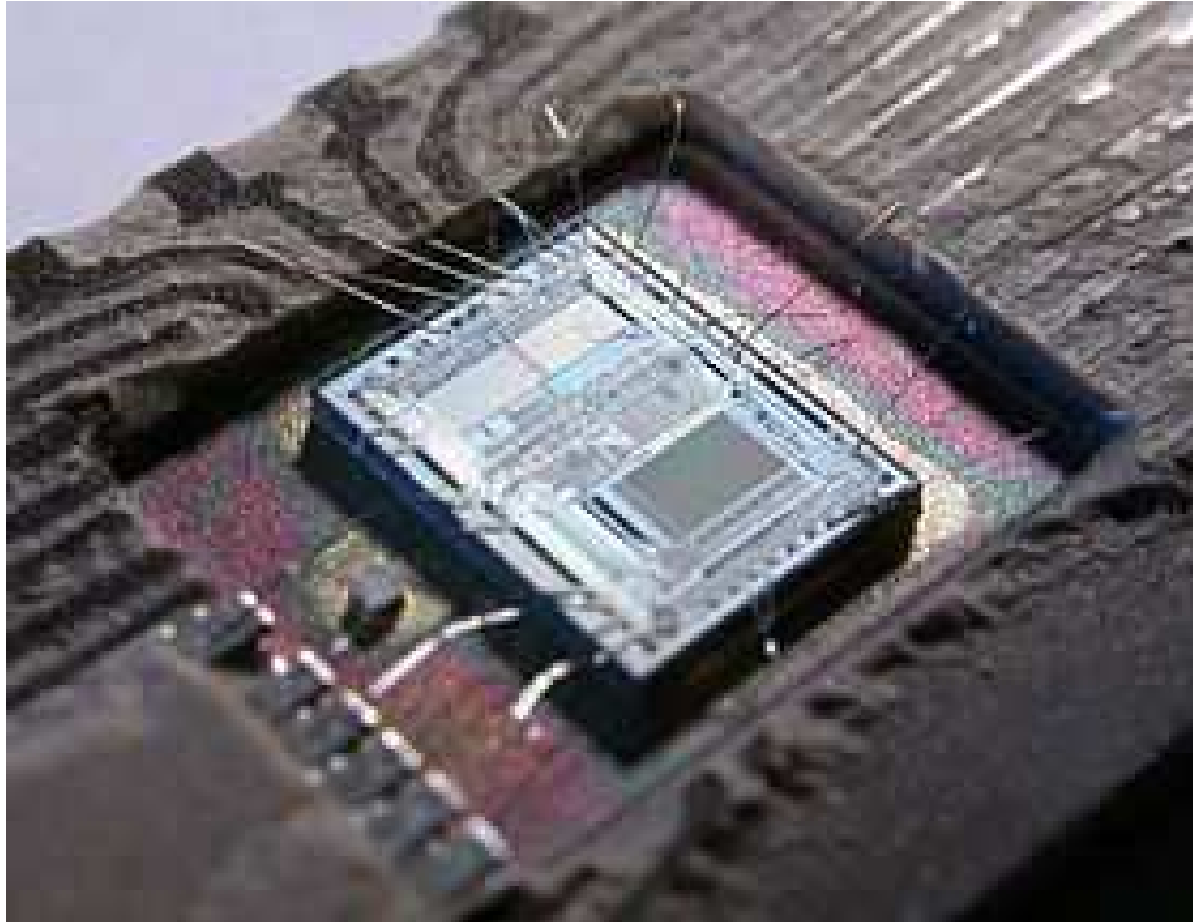
Opération qui consiste à **recouvrir les puces d'une couche de laque** pour les protéger contre les agressions extérieures

Découpage

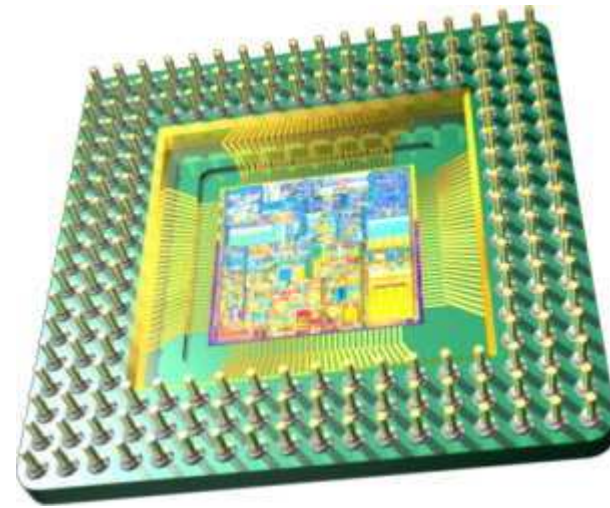
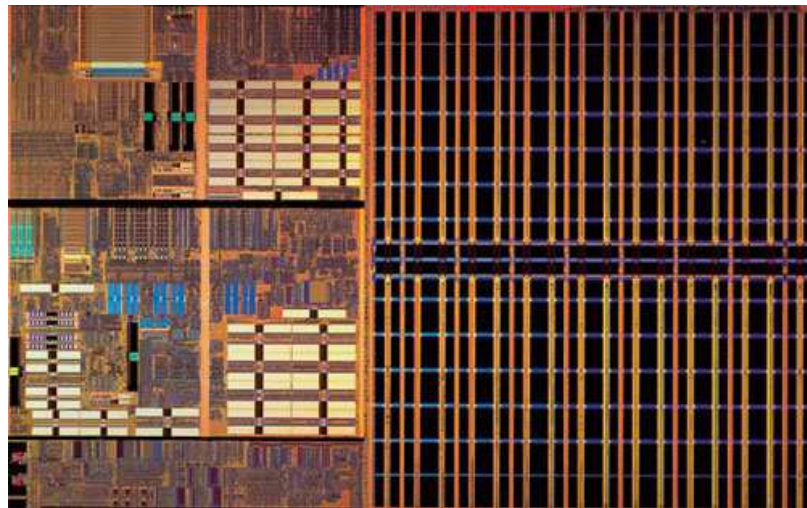
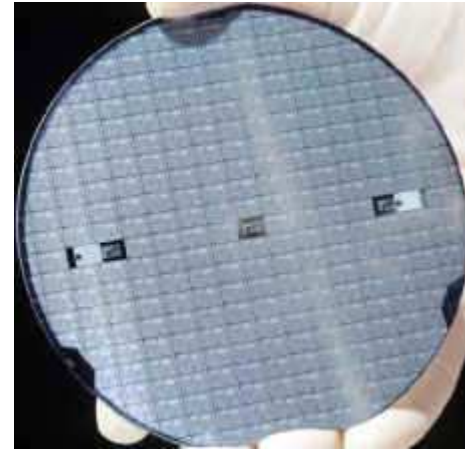


Opération de sciage de la plaquette selon les lignes de découpe afin d'obtenir les circuits intégrés élémentaires

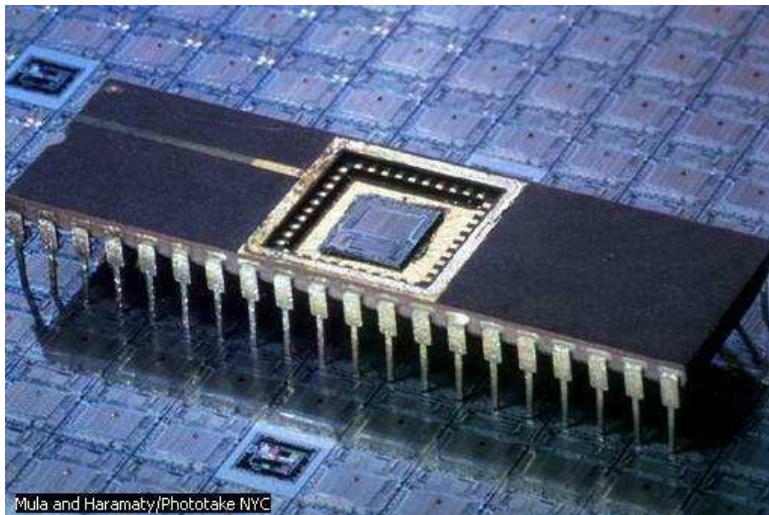
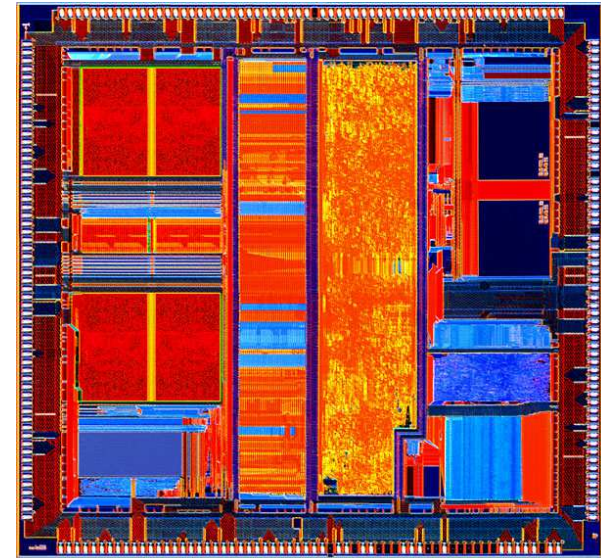
Circuit intégré



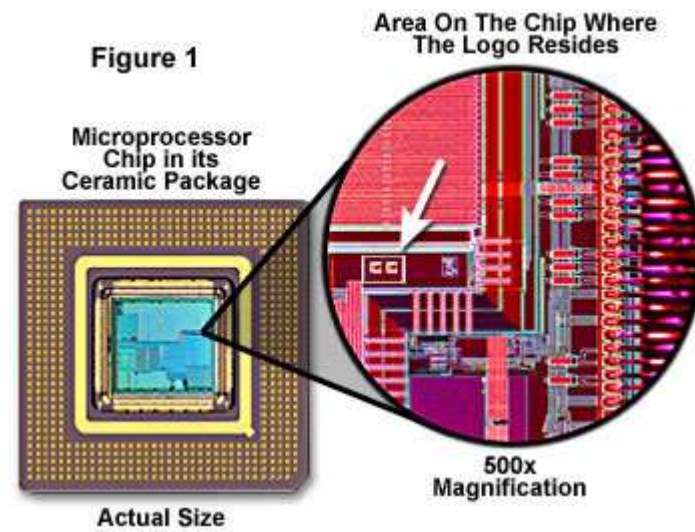
Puce (chip) : substrat de matériau semi-conducteur contenant un circuit intégré élémentaire



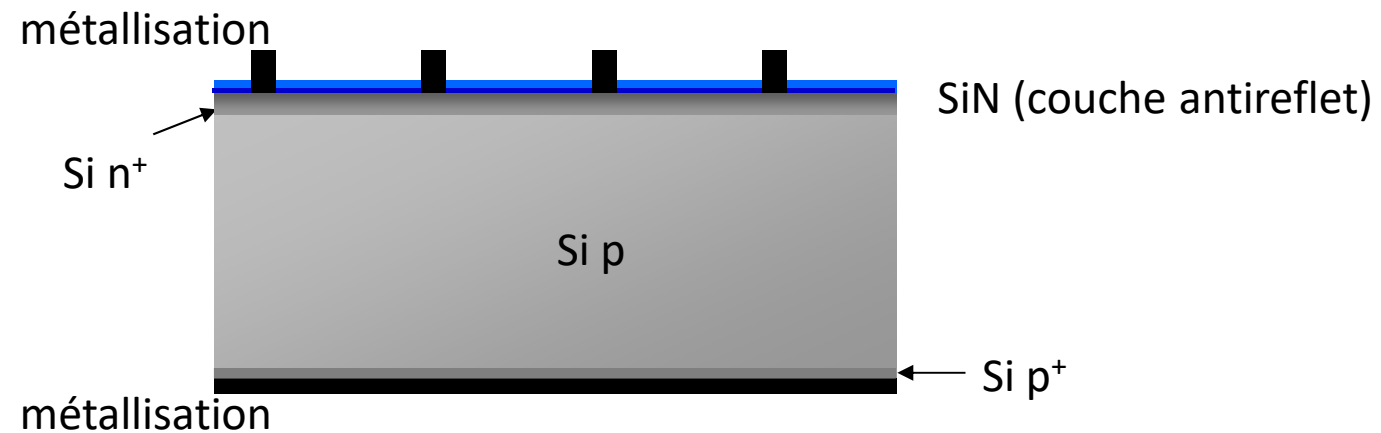
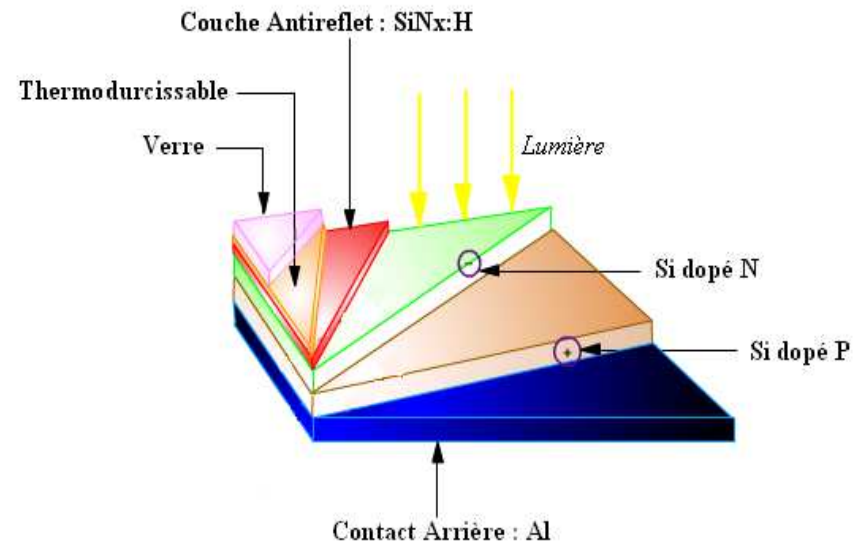
Circuit intégré



Mula and Haramaty/Phototake NYC

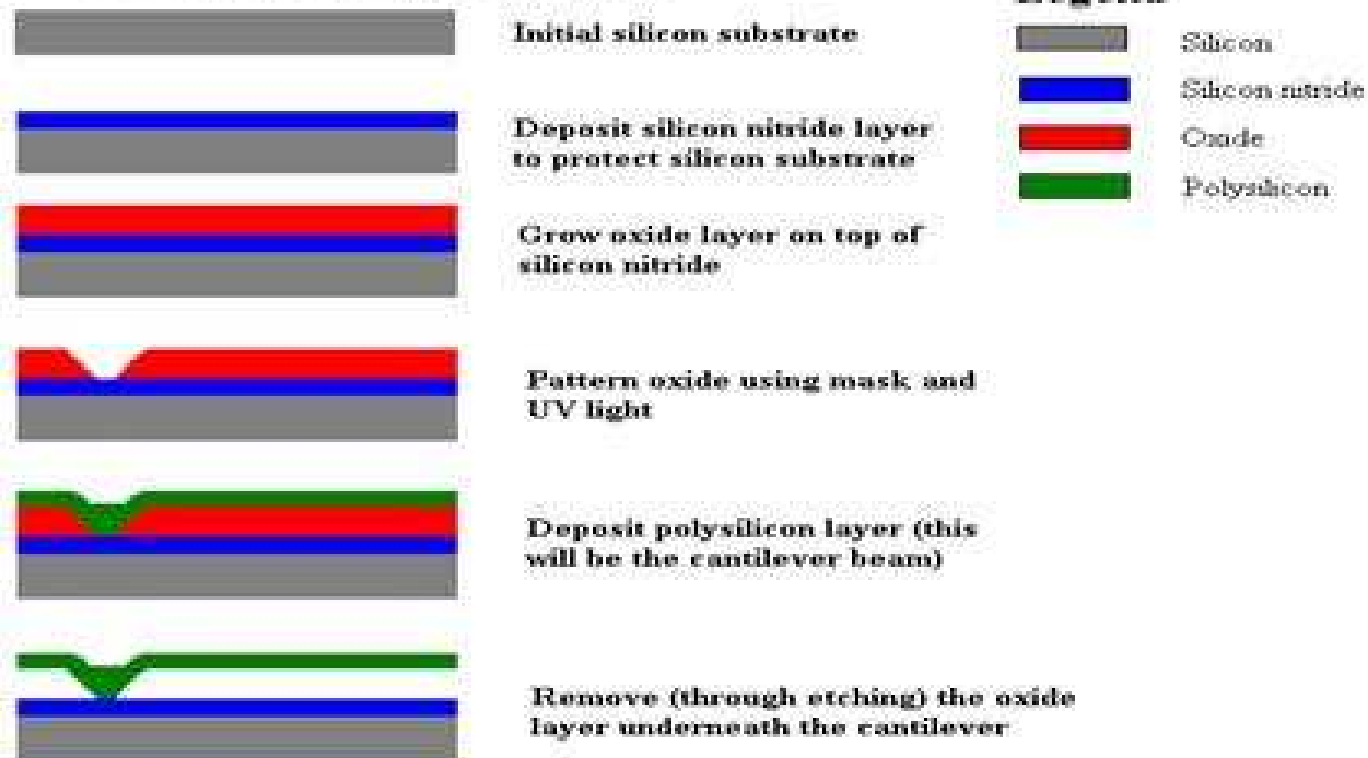


Structure d'une cellule photovoltaïque Si



Exemple de réalisation d'une structure MEMS (micro-poutres)

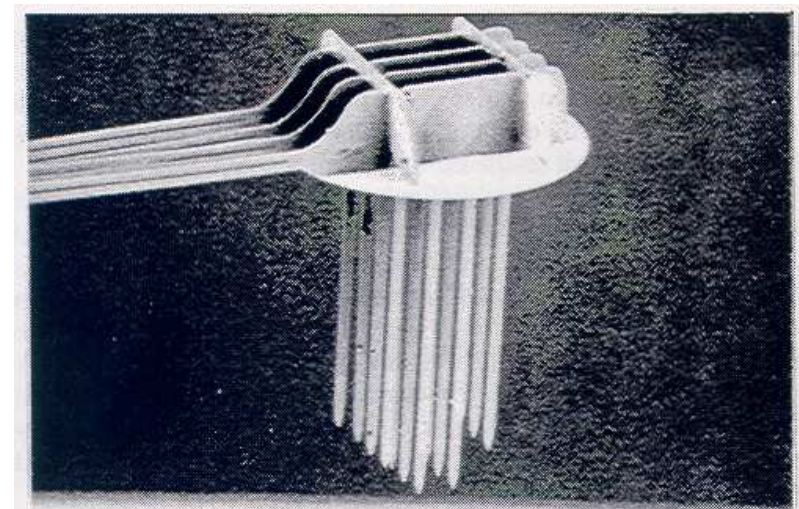
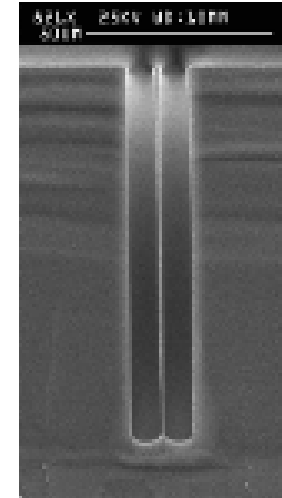
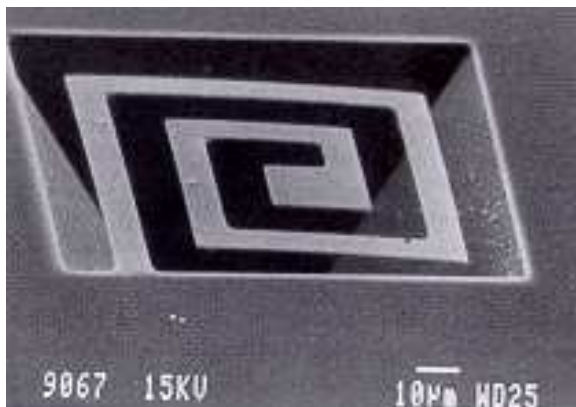
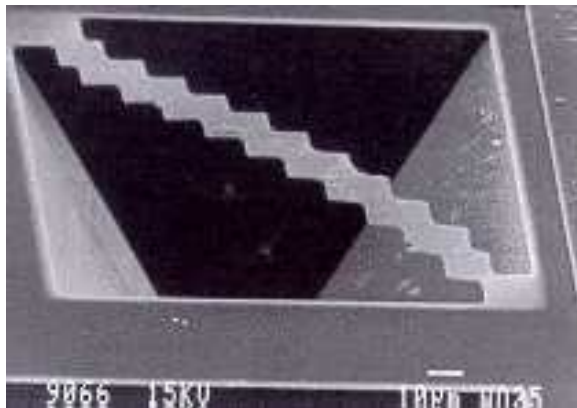
Sample process for fabricating a micro-cantilever using Surface Micromachining Techniques



Final product: micro-cantilever on a chip

Silicon Bulk Etching

- Anisotropic Etching
- Isotropic etching

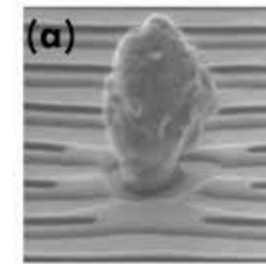


Travail en atmosphère contrôlée : salle blanche

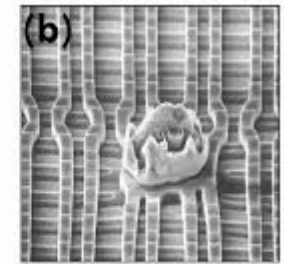


En présence de poussières plusieurs défauts peuvent apparaître

- Contamination du masque par des particules
- Présente dans l'oxyde de grille
- De grosses particules



Defect Causing an Open
A large, non-conducting defect opens up three wires in the circuit.



Defect Causing a Short
A large, conducting defect shorts out four wires in the circuit.

⇒ Travail en salle blanche

ISO norm 14644							OLD CLASS FED STD 209E
Class	Maximum Number of Particles in Air						
	(particles in each cubic meter equal to or greater than the specified size)						
	Particle size						
	> 0.1 μm	> 0.2 μm	> 0.3 μm	> 0.5 μm	> 1 μm	> 5 μm	
ISO Class 1	10	2					
ISO Class 2	100	24	10	4			
ISO Class 3	1000	237	102	35	8		1
ISO Class 4	10000	2370	1020	352	83		10
ISO Class 5	100000	23700	10.200	3520	832	29	100
ISO Class 6	1000000	237000	102000	35200	8320	293	1.000
ISO Class 7				352000	83200	2930	10.000
ISO Class 8				3.520.000	832000	29.300	100.000
ISO Class 9				35.200.000	8.320.000	293.000	1.000.000

Les divers matériaux semiconducteurs - Propriétés importantes

II	III	IV	V	VI
	B	C	N	O
	Al	Si	P	S
Zn ($4s^2 4p$)	Ga ($\dots 4s^2 4p^1$)	Ge ($\dots 4s^2 4p^2$)	As ($\dots 4s^2 4p^3$)	Se ($\dots 4s^2 4p^4$)
Cd	In	Sn	Sb	Te
Hg				

Tout est dans cette partie du tableau de Mendeleïv

On distingue :

a) **les SC simples** : colonnes IV

Si (microélectronique)

Ge

b) **Les semiconducteurs binaires** : (A-B)

IV-IV : SiGe, SiC

III-V : GaAs, InP, GaP, InAs, InSb, ...

II-VI : ZnSe, CdTe, CdS, CdSe

Utilité :

Si = 93%

III-V = 6%

II-VI = 1%

c) **Les semiconducteurs alliages ternaires et quaternaires**

III-V : $Ga_{1-x}Al_xAs$, $GaAs_{1-x}Px$, ...

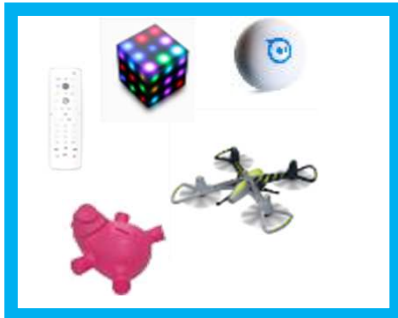
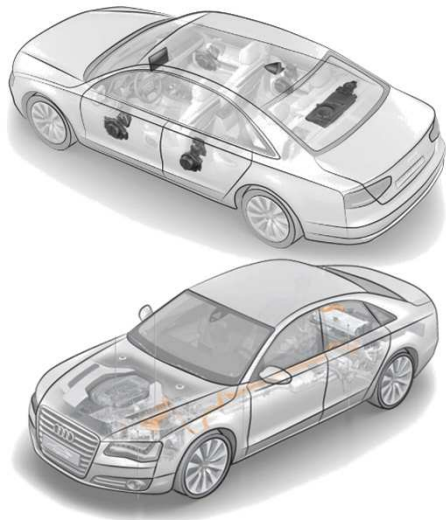
II-VI : $Hg_xCd_{1-x}Te$, ...

⇒ Possibilités très grandes



reportage-procede-de-fabrication-du-silicium-micro-possesseur.mp4

Diverses applications



Utilité

Si	= 93%
III-V	= 6%
II-VI	= 1%

Si : Microélectronique, CI , Puissance, cellules solaires, photodétecteurs

GaAs : Emetteurs Opto, détection, Composants hyperfréquences , CI très rapides

II-VI : Détecteurs IR



Télécommunications :

Télévision haute définition - Ecrans plats

Téléphone portable - Liaisons par fibres optiques

TV satellite - CD ROM



Domotique :

Maison “intelligente”



Automobile :

Voiture “intelligente” (détecteur collision, ordinateur de bord)



Robotique - intelligence artificielle :

Capteurs, microsystemes