

SOPC-EP4CE40

EDA/SOPC 系統綜合開發平臺

使用手冊

華亨科技股份有限公司

目 錄

第一節 手冊指南	4
1.1 如何使用該手冊	4
1.2 相關說明	4
1.3 聯繫我們	5
第二節 HH-FPGA-EP4CE40 核心板概述	6
2.1 HH-FPGA-EP4CE40 核心板資源	6
2.2 核心板系統功能	6
2.3 核心板各功能模組說明	8
2.3.1 Cyclone IV EP4CE40 FPGA	10
2.3.2 USB-Blaster 調試器	10
2.3.3 存儲單元	12
2.3.4 板載介面單元	20
2.3.5 電源管理介面	24
2.3.6 擴展介面	26
第三節 USB BLASTER 安裝與使用	36
3.1 安裝 USB-BLASTER 驅動	36
3.1.1 軟體要求	36
3.1.2 驅動安裝準備	36
3.1.3 WinXP 系統下驅動安裝	37
3.1.4 Linux 中的驅動安裝	41
3.2 USB 調試器在 QUARTUSII 中的設置	41
第四節 系統板功能概述	44
4.1 EDA/SOPC 系統板資源	44
4.2 EDA/SOPC 系統板功能	46
4.3 EDA/SOPC 系統板各模組說明	47
4.3.1 顯示及顯示控制	48
4.3.2 開關量輸入	54
4.3.3 介面控制	58
4.3.4 AD/DA 轉換	65
4.3.5 控制模組及感測器	69
4.3.6 信號源	73

4.3.7 擴展介面.....	74
附表一：核心板上資源模組與 FPGA(EP4CE40)的管腳連接表.....	79
附表二：系統板上資源模組與核心板上 FPGA(EP4CE40)的管腳連接表.....	87

第一節 手冊指南

非常感謝選用本公司開發研製的 HH-SOC 系列 EDA/SOPC 系統綜合開發平臺產品。为了更好的使用本開發平臺，請在使用之前務必仔細閱讀本手冊。

HH-SOC 系列 EDA/SOPC 教學科研開發平臺產品是根據現代電子發展的方向，集 EDA 和 SOPC 系統開發為一體的綜合性實驗開發系統，除了滿足高校專、本科生和研究生的 SOPC 教學實驗開發之外，也是電子設計和電子專案開發的理想工具。整個開發系統由 FPGA 核心板、EDA/SOPC 系統板和擴展子板構成，根據使用者不同的需求配置成不同的開發系統。

本手冊適用於 HH-SOC-EP4CE40 EDA/SOPC 系統綜合開發平臺產品。該平臺由 HH-FPGA-EP4CE40 核心板、EDA/SOPC 系統板組成，每個子板卡上的模組的說明將在後面的章節中做詳細說明。

1.1 如何使用該手冊

下面列出本手冊每個章節的主題：

第一節：指導您如何使用本手冊。

第二節：HH-FPGA-EP4CE40 核心板的組成結構以及模組的詳細說明。

第三節：板載 USB-Blaster 下載器的安裝與使用以及其參數說明。

第四節：系統板的組成結構及其模組的詳細說明。

附錄一：核心板上 FPGA 與板上模組之間的管腳分配說明。

附錄一：核心板上 FPGA 與開發平臺系統各模組之間的管腳分配說明。

1.2 相關說明

■ 核心板

本手冊中所指的核心板均為核心晶片為 HH-FPGA-EP4CE40 的核心板。

■ 系統板

本手冊中所指的系統板是指實驗平臺上大的整個電路板但不包括核心板和擴展子板。

■ bit 和 byte

Bit(位元) 二進位數字系統中，每個 0 或 1 就是一個位(bit)，位元是記憶體的最小單位。Byte(位元組) 位元組是由 8 個位所組成，可代表一個字元(A~Z)、數位(0~9)、或符號(, . ? ! % & ...)

■ FPGA 管腳

FPGA 的管腳名稱均用 Pin—FPGA 管腳名稱表示，如：Pin—A19 等。

■ 模組信號

各模組的信號的輸入/輸出方向均為模組信號的方向不是 FPGA 的輸入/輸出方向。

1.3 聯繫我們

感謝您選擇了這款 HH-SOC-EP4CE40 EDA/SOPC 系統綜合開發平臺，也請您把對本平臺和本手冊的意見和建議告訴我們。

公司主頁：<http://www.hhfpga.com>

電子郵件：hhfpga@163.com

第二節 HH-FPGA-EP4CE40 核心板概述

2.1 HH-FPGA-EP4CE40 核心板資源

HH-FPGA-EP4CE40 核心板是基於 Altera CycloneIV 器件而開發的一款嵌入式系統開發平臺，它可以為開發人員提供以下資源：

- Altera Cyclone IV 器件 EP4CE40F23C8N FPGA
- 16 Mbits 的 EPCS16 配置晶片
- 1 Mbytes SRAM (256K×32bit)
- 64 Mbytes DDRII SDRAM (32M×16Bit)
- 16 Mbytes NOR Flash ROM
- 板載 USB Blaster 調試器
- 4 個使用者自訂按鍵輸入
- 4 個使用者自訂 LED 顯示
- 1 個七段碼 LED 數碼管顯示
- 標準 JTAG 調試介面
- 50MHz 高精度時鐘源
- 三個標準高速擴展介面（可與配套實驗箱連接）
- 系統上電重定電路
- 電源管理模組，輸出功率、電壓穩定的電源
- 支援+5V 直接輸入，

2.2 核心板系統功能

HH-FPGA-EP4CE40 核心板是在經過長期用戶需求考察後，結合目前市面上以及實際應用需要，同時兼顧入門學生以及資深開發工程師的應用需求而研發的。就

資源而言，它已經可以組成一個高性能的嵌入式系統，可以運行目前流行的 RTOS，如 uC/OS、uClinux 等。

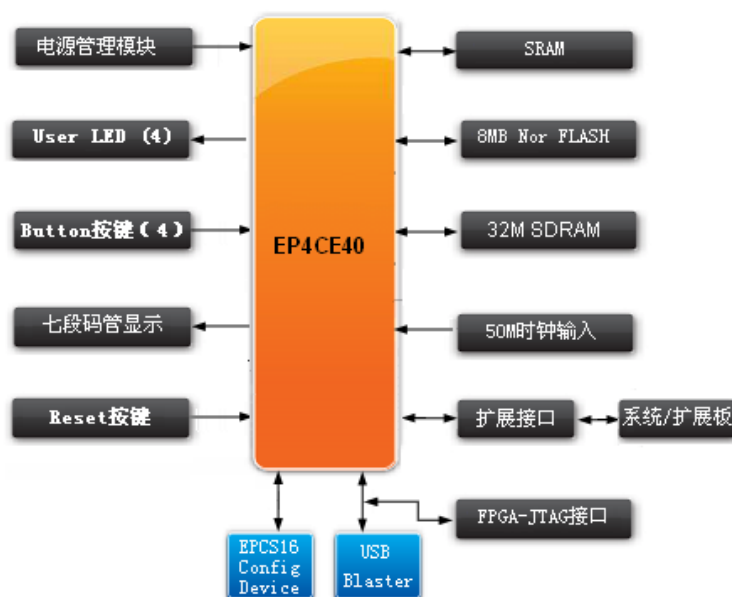


圖 2-1 核心板功能框圖

核心板主晶片採用 484 引腳、BGA 封裝的 EP4CE40 FPGA，它擁有 39,600 個 LEs，1134 個嵌入式記憶體（KbitS），116 個 18×18 硬體乘法器、4 個高性能 PLL 以及多達 532 個用戶自訂 IO。板上提供了大容量的 SRAM、SDRAM 和 Flash ROM 等存儲單元。同時核心板上載入了一個 USB-Blaster 調試器，用戶只需要一根 USB 的連接結就能將核心板與 PC 機連接起來，使用更加方便。除去板上資源已經固定連接的 IO 外，還有多達 194 個 IO 通過不同接外掛程式引出，供用戶使用。所以，不管從性能上而言，還是從系統靈活性上而言，無論您是初學者，還是資深硬體工程師，它都會成為您的好幫手。

2.3 核心板各功能模組說明

本節將重點介紹核心板所有的組成模組和各模組所在電路板的位置以及各模組在系統中所起的作用。

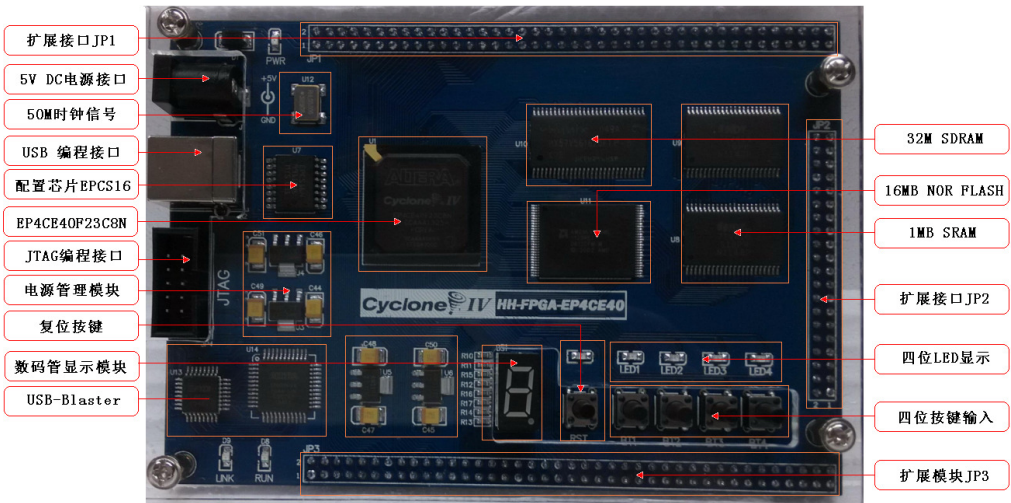


圖 2-2 核心板模組位置圖

核心板位號	名 稱	功 能 描 述
U1	Cyclone IV	主晶片 EP4CE40F23C8N
USB-Blaster 調試器		
U13-U16	USB-Blaster	板上提供一個 USB-Blaster 調試器，用戶只需要一根 USB 連接線即可將核心板與 PC 機聯結起來
J2	USB- Blaster	USB 調試器與 PC 的介面端
JP4	JTAG 調試介面	JTAG 供用戶下載 FPGA 代碼，即時調試 Nios II CPU，以及運行 Quartus II 提供的嵌入式邏輯分析儀 SignalTap II 等；

存 儲 單 元		
U8-U9	SRAM	兩片組成 1 Mbytes，即 256K×32bits
U10	SDRAM	3264 Mbytes SDRAM（32M×8bits）
U11	NOR Flash	16Mbytes 線性 Flash 記憶體（16M×8bits）
U7	EPCS16	16 Mbits 主動串列配置器件
接 口 資 源		
U12	晶振	高精度 50MHz 時鐘源，使用者可以用 FPGA 內部 PLL 或分頻器來得到其它頻率的時鐘
人 機 交 互		
BT1~BT4	自訂按鍵	4 個使用者自訂按鍵，用於簡單電平輸入，該信號直接與 FPGA 的 IO 相連
RST	重定按鍵	該按鍵在調試 Nios II CPU 時，可以作為重定信號，當然也可以由用戶自訂為其它功能輸入
LED1-LED4	自訂 LED	4 個使用者自訂 LED，用於簡單狀態指示，LED 均由 FPGA 的 IO 直接驅動
DS1	七段碼 LED	靜態七段碼 LED，用於簡單數字、字元顯示，直接由 FPGA 的 IO 驅動
擴展介面		
JP2	40Pin 高速插座	提供標準的 2.54mm 間距的 IDE 座供用戶自由擴展
JP1、JP3	80Pin 高速插座	提供標準的 2.54mm 間距的 IDE 座供用戶自由擴展
電 源		
J1	直流電源輸入	直流電源適配器插座，適配器要求為+5V/1A
U2-U6	電源管理	負責提供板上所需的 3.3V、1.2V 和 2.5V 電壓

表 2-1 系統組成部分及其功能描述

下面對板上的各個模組及其硬體連接作詳細說明。

2.3.1 Cyclone IV EP4CE40 FPGA

HH-FPGA-EP4C40 核心板上採用的 FPGA 是 Altera Cyclone IV 系列中的 EP4CE40F23C8N，這款 FPGA 的資源特性如下。

- 39,600 LEs（邏輯單元）
- 1134 個嵌入式記憶體（Kbits）
- 116 Embedded multipliers（18×18 硬體乘法器）
- 4PLLs（鎖相環）
- 328 user I/O pins（用戶可用 I/O）
- Fineline BGA484-pin package（封裝）

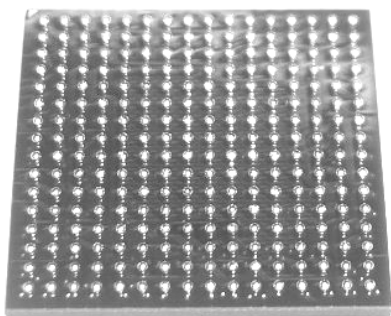


圖 2-3 BGA 封裝

BGA 是英文 Ball Grid Array Package 的縮寫，即球柵陣列封裝。與傳統的 SOP 封裝相比，採用 BGA 封裝技術的 IC 具有更小體積、更加快速和有效的散熱性和更好的電性能。BGA 封裝的 FPGA 的管腳命名採用行、列名稱合起來表示。行用英文字母表示，列用數位來表示，通過行列的組合來確定是哪一個管腳。如 A2 表示 A 行 2 列的管腳。AF3 表示 AF 行 3 列的管腳。

2.3.2 USB-Blaster 調試器

NIOSII-EP3C40 核心板載入了一個 USB-Blaster 調試器，用戶只需要一根 USB 的連接線即可將 PC 機的程式通過這個調試器載入到 FPGA、配置晶片、FLASH 等。

核心板上除載入 USB-Blaster 以外，還預留有 JTAG 介面。既可以當做核心板

FPGA 的調試/程式設計介面（用於通過其它下載調試器對核心板的 FPGA 及其它記憶體件進行調試程式設計），其 JTAG 介面又可以當做板載 USB-Blaster 調試器的程式設計介面（將核心板的 USB-Blaster 調試器通過 JTAG 口對其它 FPGA 進行調試/程式設計）。其流程圖如圖 2-4 所示。

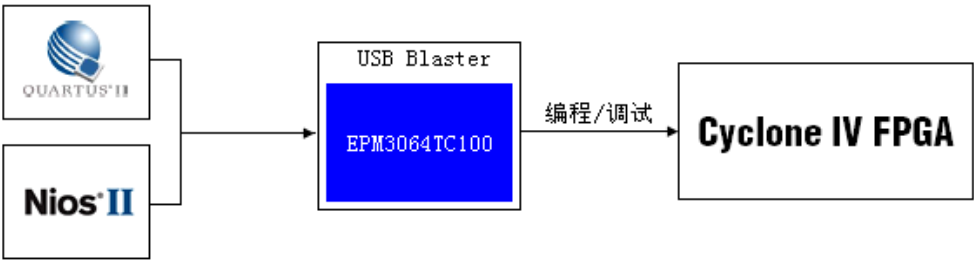


圖 2-4 USB Blaster 調試流程

JTAG 調試介面

核心板上提供 JTAG 調試介面為如下圖 2-5 所示的 10 針插座，其每個插針的信號定義見表 2-2。

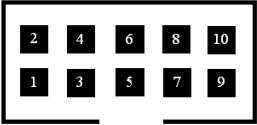


圖 2-5 開發板上的 JTAG 調試插座

JTAG 插座	信號定義
1	TCK
2	GND
3	TDO
4	Vcc(3.3V)
5	TMS
6	/
7	/
8	/
9	TDI
10	GND

表 2-2 JTAG 插座信號定義

注： ‘/’ 表示該插針沒有任何信號。

2.3.3 存儲單元

EPCS16 配置晶片

板上使用的配置晶片為 Altera 公司生產的串列主動配置晶片 EPCS16SI16N。Altera 公司的串列配置器件是業界最低價格的配置器件。基於最大效率的特殊設計，串列配置器件在最低成本的同時提供了一系列先進的性能。這些性能包括在系統程式設計（ISP）能力和多次程式設計能力，這種新型串列配置器件作為 Cyclone™ FPGA 器件在大容量低價格應用領域的完美補充，使得 FPGA 和配置器件相結合，提供一種盡可能最低價格的完整的可程式設計片上系統（SOPC）解決方案。EPCS16SI16N 器件的型號標識與參數如表 2-3 所示：

EPCS16SI16N 的型号标识		EPCS16SI16N 其他参数	
EPCS	产品系列	存储器容量	16 Mbit
16	flash存储器容量	工作电压	2.7~3.6 V
SI	封装类型，SOIC	编程类型	ISP
16	引脚数	温度等级	-40℃~85℃
N	无铅环保		

表 2-3 EPCS16 器件參數

對配置晶片 EPCS16 進行程式設計可以通過下面的方法：

- 通過核心板上的 USB Blaster 調試器，將 QuartusII 編譯生成的對應配置器件的 **.Jic** 檔進行配置程式設計。

SRAM

核心板的 SRAM 由兩片 2 片 3.3VCMOS 靜態 RAM IDT71V416 組成容量為 256Kx32bits 的存儲空間。高速度 SRAM 和高頻寬資料匯流排，保證了 Nios II CPU 可以工作在非常高效的狀態。本開發板所用的 SRAM 為-10 等級的，這就意味著 Nios II CPU 可以在 32 位元匯流排頻寬情況下，以 100MHz 的速度進行讀寫操作，資料吞吐率高達到 400Mbytes/S。SRAM 與 FPGA 的連接框圖如圖 2-6 所示：SRAM 與 FPGA 的管腳連接見如下表 2-4。

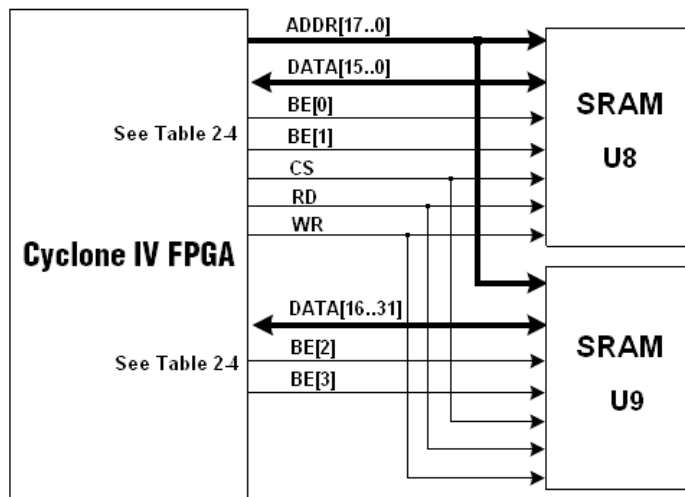


圖 2-6 SRAM 與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
SRAM_ADDR[0]	Pin_W20	SRAM 位址匯流排
SRAM_ADDR[1]	Pin_AA21	
SRAM_ADDR[2]	Pin_Y21	
SRAM_ADDR[3]	Pin_Y22	
SRAM_ADDR[4]	Pin_W21	
SRAM_ADDR[5]	Pin_W22	
SRAM_ADDR[6]	Pin_V21	
SRAM_ADDR[7]	Pin_P22	
SRAM_ADDR[8]	Pin_N21	
SRAM_ADDR[9]	Pin_N22	
SRAM_ADDR[10]	Pin_M21	
SRAM_ADDR[11]	Pin_M22	
SRAM_ADDR[12]	Pin_L21	
SRAM_ADDR[13]	Pin_L22	
SRAM_ADDR[14]	Pin_K19	

SRAM_ADDR[15]	Pin_K21	
SRAM_ADDR[16]	Pin_V22	
SRAM_ADDR[17]	Pin_U21	
SRAM_DATA[0]	Pin_AB17	SRAM 資料匯流排
SRAM_DATA[1]	Pin_AA17	
SRAM_DATA[2]	Pin_AB18	
SRAM_DATA[3]	Pin_AA18	
SRAM_DATA[4]	Pin_AB19	
SRAM_DATA[5]	Pin_AA19	
SRAM_DATA[6]	Pin_AB20	
SRAM_DATA[7]	Pin_AA20	
SRAM_DATA[8]	Pin_U17	
SRAM_DATA[9]	Pin_U19	
SRAM_DATA[10]	Pin_U20	
SRAM_DATA[11]	Pin_T18	
SRAM_DATA[12]	Pin_R19	
SRAM_DATA[13]	Pin_R20	
SRAM_DATA[14]	Pin_R18	
SRAM_DATA[15]	Pin_P20	
SRAM_DATA[16]	Pin_G18	
SRAM_DATA[17]	Pin_H20	
SRAM_DATA[18]	Pin_H18	
SRAM_DATA[19]	Pin_J18	
SRAM_DATA[20]	Pin_K18	
SRAM_DATA[21]	Pin_N18	
SRAM_DATA[22]	Pin_M20	
SRAM_DATA[23]	Pin_M19	
SRAM_DATA[24]	Pin_F19	

SRAM_DATA[25]	Pin_F20	
SRAM_DATA[26]	Pin_F17	
SRAM_DATA[27]	Pin_F16	
SRAM_DATA[28]	Pin_D20	
SRAM_DATA[29]	Pin_E16	
SRAM_DATA[30]	Pin_D19	
SRAM_DATA[31]	Pin_D17	
SRAM_BE[0]	Pin_N20	SRAM 資料選擇
SRAM_BE[1]	Pin_N19	
SRAM_BE[2]	Pin_C17	
SRAM_BE[3]	Pin_C19	
SRAM_CS	Pin_W17	SRAM 片選信號
SRAM_RD	Pin_H10	SRAM 讀信號
SRAM_WR	Pin_H11	SRAM 寫信號

表 2-4 SRAM 與 FPGA 管腳配置表

SDRAM

HH-FPGA-EP4CE40 核心板上使用的 SDRAM 為 HY57V561620BT-6，該晶片最高可工作在 166MHz 主頻上，由 4 個 4M×16bits 的 Bank 組成，共有 32Mbytes 的容量，即 16M×16bits。開發板上的主時鐘源為 50MHz，通過內部 PLL 進行 3 倍頻可得到穩定的 150MHz 時鐘，所以 Nios II CPU 可以在 150MHz 主頻上與 SDRAM 進行資料交互，資料吞吐率高達 300Mbytes/S，如此高的資料交互能力，足以滿足不同開發人士所需。具體的晶片有關參數請讀者參照其資料手冊。SDRAM 與 FPGA 的連接框圖如上圖 2-7 所示；與 FPGA 的管腳連接見如下表 2-5。

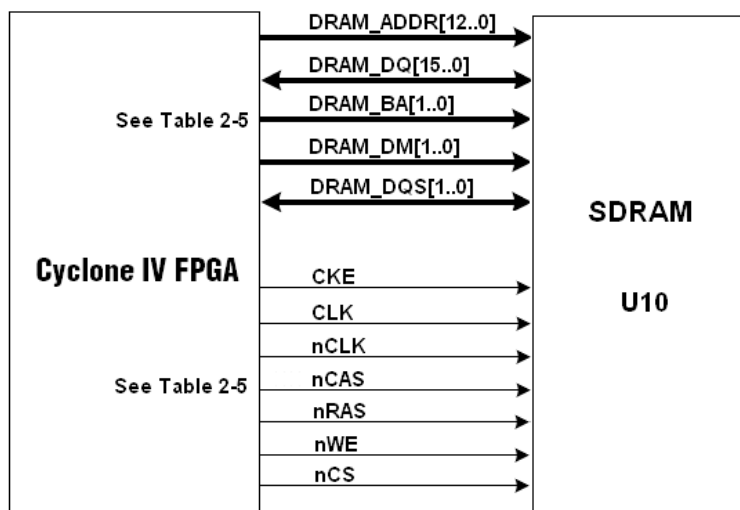


圖 2-7 SDRAM 與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
DRAM_ADDR[0]	Pin_B19	SDRAM 位址匯流排
DRAM_ADDR[1]	Pin_A19	
DRAM_ADDR[2]	Pin_B18	
DRAM_ADDR[3]	Pin_A18	
DRAM_ADDR[4]	Pin_D15	
DRAM_ADDR[5]	Pin_C15	
DRAM_ADDR[6]	Pin_E15	
DRAM_ADDR[7]	Pin_D13	
DRAM_ADDR[8]	Pin_C13	
DRAM_ADDR[9]	Pin_E14	
DRAM_ADDR[10]	Pin_A20	
DRAM_ADDR[11]	Pin_B17	
DRAM_ADDR[12]	Pin_A17	
DRAM_DQ[0]	Pin_C21	SDRAM 資料匯流排
DRAM_DQ[1]	Pin_B22	
DRAM_DQ[2]	Pin_B21	

DRAM_DQ[3]	Pin_C22	
DRAM_DQ[4]	Pin_D21	
DRAM_DQ[5]	Pin_D22	
DRAM_DQ[6]	Pin_E21	
DRAM_DQ[7]	Pin_E22	
DRAM_DQ[8]	Pin_B15	
DRAM_DQ[9]	Pin_A15	
DRAM_DQ[10]	Pin_B14	
DRAM_DQ[11]	Pin_A14	
DRAM_DQ[12]	Pin_B13	
DRAM_DQ[13]	Pin_A13	
DRAM_DQ[14]	Pin_B10	
DRAM_DQ[15]	Pin_A10	
DRAM_BA[0]	Pin_J22	DRAM 中 BANK 選擇
DRAM_BA[1]	Pin_B20	
DRAM_DM[0]	Pin_F21	DRAM Low-byte Data Mask
DRAM_DM[1]	Pin_A16	DRAM High-byte Data Mask
DRAM_CKE	Pin_B16	DRAM 時鐘使能信號
DRAM_CLK	Pin_E6	DRAM 時鐘
DRAM_CAS	Pin_H21	DRAM Column Address Storse
DRAM_RAS	Pin_H22	DRAM Row Address Storse
DRAM_WE	Pin_F22	DRAM 寫使能信號
DRAM_CS	Pin_J21	DRAM 片選

表 2-5 SDRAM 與 FPGA 管腳配置表

Nor Flash

核心板上提供了 1 片容量為 16Mbytes（16M×8bits）Nor Flash 記憶體—AM29LV128。該晶片支援 3.0~3.6V 單電壓供電情況下的讀、寫、擦除以及程式

設計操作，存取時間可以達到 90ns。AM29LV128 由 256 個 64Kbytes 的磁區組成，每個磁區都支援線上程式設計。另外，該晶片在高達 125℃ 條件下，依然可以保證存儲的資料 20 年不會丟失。

核心板上的 Nor Flash 記憶體主要用來存儲程式碼和代碼需要的資料(如字形檔等)。在本核心板中，共 256KB 的字形檔資料存貯於 Nor Flash 的 0XFC0000—0XFFFFFF 處。Nor Flash 與 FPGA 的連接框圖如上圖 2-8 所示：Nor Flash 與 FPGA 的管腳連接見如下表 2-6。

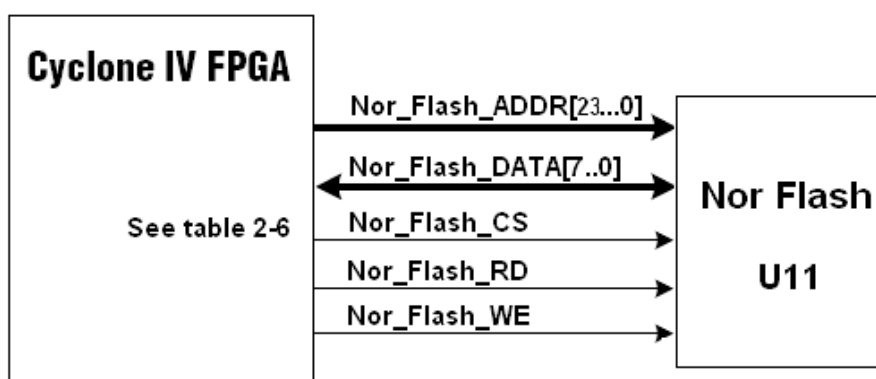


圖 2-8 Nor Flash 與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
NOR_FLASH_ADDR[0]	Pin_W19	Nor Flash 位址匯流排
NOR_FLASH_ADDR[1]	Pin_AA15	
NOR_FLASH_ADDR[2]	Pin_W20	
NOR_FLASH_ADDR[3]	Pin_AA21	
NOR_FLASH_ADDR[4]	Pin_Y21	
NOR_FLASH_ADDR[5]	Pin_Y22	
NOR_FLASH_ADDR[6]	Pin_W21	
NOR_FLASH_ADDR[7]	Pin_W22	
NOR_FLASH_ADDR[8]	Pin_V21	
NOR_FLASH_ADDR[9]	Pin_P22	

NOR_FLASH_ADDR[10]	Pin_N21	
NOR_FLASH_ADDR[11]	Pin_N22	
NOR_FLASH_ADDR[12]	Pin_M21	
NOR_FLASH_ADDR[13]	Pin_M22	
NOR_FLASH_ADDR[14]	Pin_L21	
NOR_FLASH_ADDR[15]	Pin_L22	
NOR_FLASH_ADDR[16]	Pin_K19	
NOR_FLASH_ADDR[17]	Pin_K21	
NOR_FLASH_ADDR[18]	Pin_V22	
NOR_FLASH_ADDR[19]	Pin_U21	
NOR_FLASH_ADDR[20]	Pin_P21	
NOR_FLASH_ADDR[21]	Pin_R22	
NOR_FLASH_ADDR[22]	Pin_U22	
NOR_FLASH_ADDR[23]	Pin_K22	與 FPGA 的 NCEO 複用
NOR_FLASH_DATA[0]	Pin_AB17	Nor Flash 資料匯流排
NOR_FLASH_DATA[1]	Pin_AA17	
NOR_FLASH_DATA[2]	Pin_AB18	
NOR_FLASH_DATA[3]	Pin_AA18	
NOR_FLASH_DATA[4]	Pin_AB19	
NOR_FLASH_DATA[5]	Pin_AA19	
NOR_FLASH_DATA[6]	Pin_AB20	
NOR_FLASH_DATA[7]	Pin_AA20	
NOR_FLASH_CS	Pin_AB16	片選信號
NOR_FLASH_RD	Pin_AA16	讀信號
NOR_FLASH_WE	Pin_R21	寫信號

表 2-6 Nor Flash 與 FPGA 管腳配置表

2.3.4 板載介面單元

晶振

核心板上提供了高精度、高穩定性 50MHz 時鐘，該時鐘直接與 FPGA 的 *PIN-G1 (CLK1)* 引腳相連。

如果設計人員需要其它頻率時鐘源，可以在 FPGA 內部進行分頻或利用 FPGA 內部 PLL 倍頻等途徑來得到。

圖 2-9 所示為晶體與 FPGA 連接框圖；表 2-7 所示為晶體與 FPGA 管腳連接配置表。

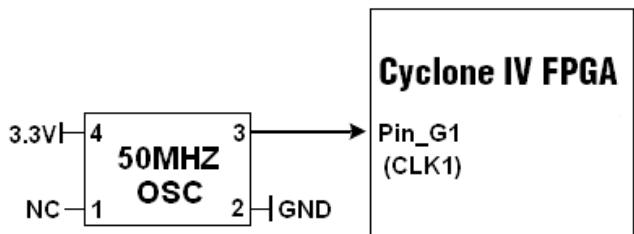


圖 2-9 50MHZ 晶振與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
50MHZ	Pin_G1	50MHZ Clock input

表 2-7 50MHZ 晶振與 FPGA 管腳配置表

使用者自訂按鍵

為了方便開發人員作一些簡單的、手動的邏輯輸入，核心板上提供了 4 個使用者自訂按鍵，位於核心板的右下方。這四個按鍵連接到了 FPGA 的四個 IO 引腳上，具體的定義和使用則有開發人員自由決定。按鍵與 FPGA 的硬體連接如圖 2-10。表 2-8 所示為按鍵與 FPGA 管腳連接配置表。

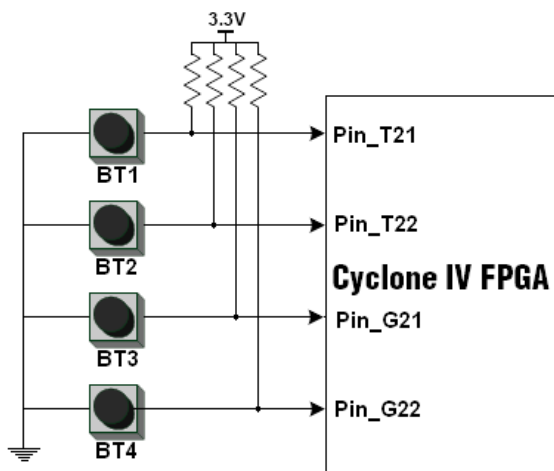


圖 2-10 BT1-BT4 按鍵與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
BT1	Pin_T21	Push Button input
BT2	Pin_T22	Push Button input
BT3	Pin_G21	Push Button input
BT4	Pin_G22	Push Button input

表 2-8 BT1-BT4 按鍵與 FPGA 管腳配置表

注：按鍵按下為低電平，抬起為高電平。

用戶自訂 LED

為了方便開發人員進行簡單直觀的信號觀察，開發板上提供了四個用戶自訂 LED。這四個 LED 燈位於核心板的右下方（四個自訂按鍵的上方），這四個 LED 由 FPGA 的 IO 引腳直接驅動，當 FPGA 對應的 IO 輸出高電平時，LED 點亮；當 FPGA 對應的 IO 輸出低電平時，LED 熄滅。

四個 LED 和 FPGA 的硬體連接如圖 2-11 所示，四個 LED 燈與 FPGA 的管腳連接如表 2-9。

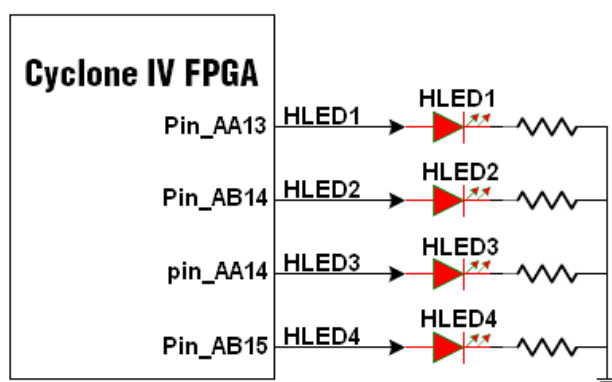


圖 2-11 LED1-LED4 燈與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
HLED1	Pin_AA13	Red LED display
HLED2	Pin_AB14	Red LED display
HLED3	Pin_AA14	Red LED display
HLED4	Pin_AB15	Red LED display

表 2-9 LED1-LED4 燈與 FPGA 管腳配置表

重定按鍵

開發板上有一個重定按鍵，位於四個按鍵開關的左邊。重定按鍵上面的 LED 為重定指示，當重定按鍵按下時（低電平），LED 亮。

重定按鍵連接到 FPGA 的 **E4** 引腳上，可以供開發人員作為 Nios II CPU 的重定信號。當然也可以作為普通的按鍵來使用。

重定按鍵與 FPGA 的連接如圖 2-12 所示。與 FPGA 的管腳配置如表 2-10 所示。

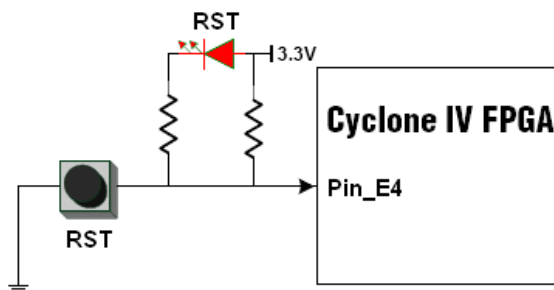


圖 2-12 重定按鍵與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
RST	Pin_E4	重定按鍵輸入

表 2-10 重定按鍵與 FPGA 管腳配置表

七段碼 LED 數碼管顯示

七段碼 LED 數碼管是核心板上提供的另一個方便開發人員調試的顯示裝置。核心板上使用的七段碼 LED 數碼管是共陽極型，a~f 和 dp 這八個 LED 均與 FPGA 的 IO 引腳直接相連，其對應段名稱如圖 2-13 所示。

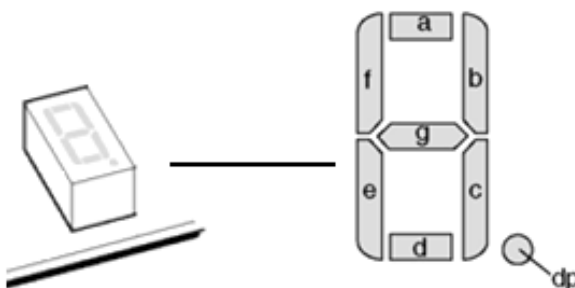


圖 2-13 七段碼 LED

由於七段碼 LED 數碼管公共端連接到 VCC（共陽極型），當 FPGA 對應的 IO 引腳輸出低電平時，對應的七段碼 LED 數碼管中的 LED 被點亮；當 FPGA 對應的 IO 引腳輸出高電平時，對應的七段碼 LED 中的 LED 熄滅。七段碼 LED 數碼管和 FPGA 的硬體連接如圖 2-14 所示。表 2-11 所示為七段碼 LED 數碼管的每

段與 FPGA 的管腳連接配置表。

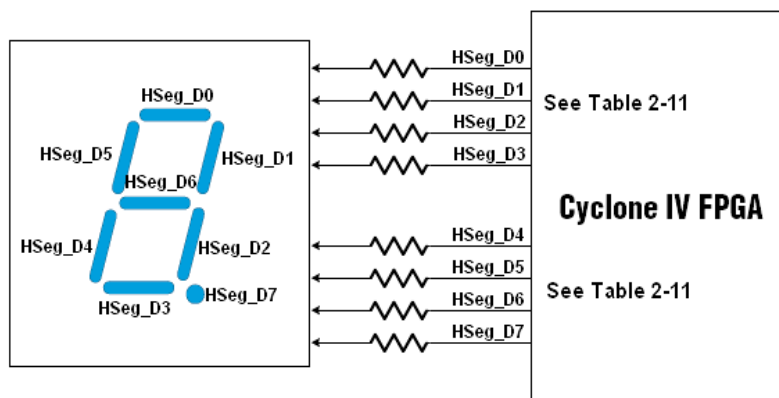


圖 2-14 七段碼 LED 數碼管與 FPGA 連接框圖

信號名稱	對應 FPGA 管腳名稱	功能說明
Hseg_D0	Pin_AB9	7-segment displays “a”
Hseg_D1	Pin_AA8	7-segment displays “b”
Hseg_D2	Pin_AA7	7-segment displays “c”
Hseg_D3	Pin_AA4	7-segment displays “d”
Hseg_D4	Pin_AB5	7-segment displays “e”
Hseg_D5	Pin_AB8	7-segment displays “f”
Hseg_D6	Pin_AB7	7-segment displays “g”
Hseg_D7	Pin_AA5	7-segment displays “dp”

表 2-11 七段碼 LED 數碼管與 FPGA 管腳配置表

2.3.5 電源管理介面

核心板單獨使用時，僅需從 Power 電源適配器介面輸入+5V 直流電壓即可

(HH-FPGA-EP4CE40 核心板的左上角處)。使用者需要特別注意的是，插入電源適配器介面的插頭必須為**內正外負**供電極性，如圖 2-15 所示。為了保證系統能夠穩定工作，電源適配器功率最好在 5V/1A 以上。

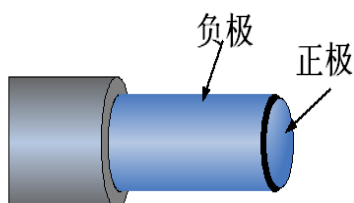


圖 2-15 電源適配器插頭說明

核心板與系統板和擴展板接合起來使用時，核心板的供電由系統板提供。系統板的開關電源通過系統板與核心板連接的擴展介面為核心板供電。

核心板上的電源管理模組將輸入的 5V 直流電源轉換為各模組所需的適配電源。電源管理模組輸出的電源分佈如下圖 2-16 所示。

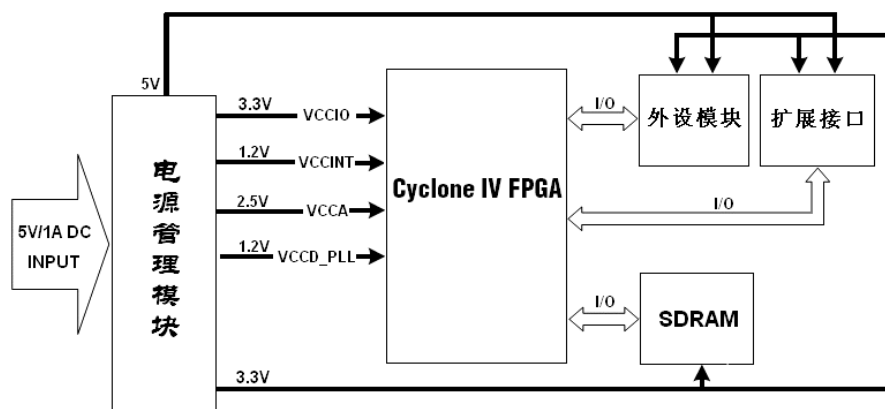


圖 2-16 電源管理模組流程圖

2.3.6 擴展介面

核心板上提供的資源模組佔用了部分 FPGA 引腳，除此之外，還有 190 多個可用 IO 供用戶自訂使用，這些 IO 通過不同的接外掛程式引出。JP1 和 JP3 是間距為 2.54mm 的標準 80 芯雙排針插座，JP2 是間距為 2.54mm 的標準 40 芯雙排針插座，通過這三個擴展介面使用者的 FPGA 晶片 IO 的擴展需要。三個擴展介面在核心板上的位置如下圖 2-17 所示。

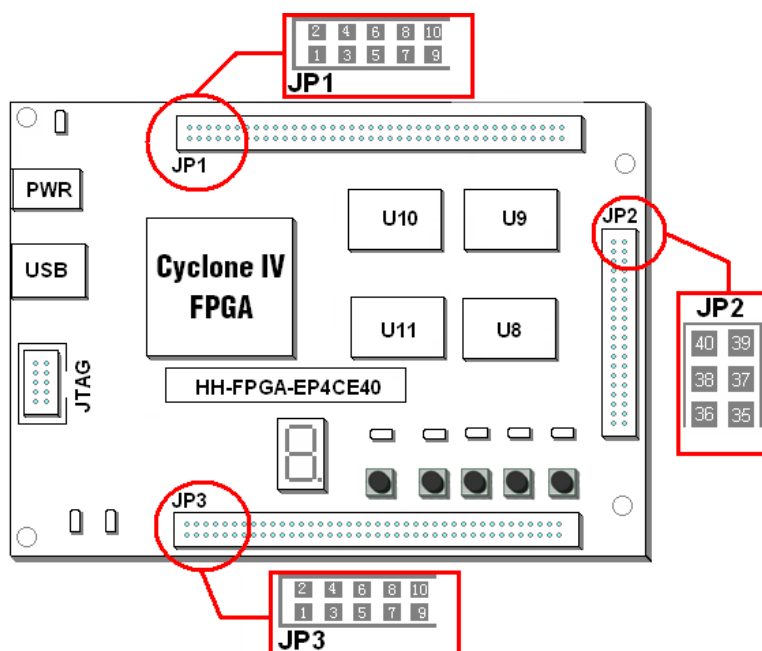


圖 2-17 擴展介面在核心板中所處位置

標準 2.54mm 排針擴展介面

在核心板的上、下方和右方分別有三個（JP1、JP2、JP3）間距為 2.54mm 的標準雙排針擴展介面，方便使用者自行擴展。三個擴展介面的腳位元名稱定義如圖 2-17 中所標注的 1-80 引腳位置。JP1、JP2、JP3 的每個針與 FPGA 管腳的連接如表 2-12、表 2-13、表 2-14 所示。

JP1 引脚位置	對應 FPGA 管腳名稱	功能說明
1	/	VCC (5V)
2	/	GND
3	Pin_J1	FPGA I/O
4	Pin_J2	FPGA I/O
5	Pin_H1	FPGA I/O
6	Pin_H2	FPGA I/O
7	Pin_G3	FPGA I/O
8	Pin_F1	FPGA I/O
9	Pin_F2	FPGA I/O
10	Pin_E1	FPGA I/O
11	Pin_D2	FPGA I/O
12	Pin_C1	FPGA I/O
13	Pin_C2	FPGA I/O
14	Pin_B1	FPGA I/O
15	Pin_C3	FPGA I/O
16	Pin_B2	FPGA I/O
17	Pin_A3	FPGA I/O
18	Pin_B3	FPGA I/O
19	Pin_A4	FPGA I/O
20	Pin_B4	FPGA I/O
21	Pin_A5	FPGA I/O
22	Pin_B5	FPGA I/O
23	Pin_A6	FPGA I/O
24	Pin_B6	FPGA I/O
25	Pin_A7	FPGA I/O
26	Pin_B7	FPGA I/O

JP1 引腳位置	對應 FPGA 管腳名稱	功能說明
27	Pin_A8	FPGA I/O
28	Pin_B8	FPGA I/O
29	Pin_A9	FPGA I/O
30	Pin_B9	FPGA I/O
31	Pin_M6	FPGA I/O
32	Pin_M7	FPGA I/O
33	Pin_L7	FPGA I/O
34	Pin_K7	FPGA I/O
35	Pin_J7	FPGA I/O
36	Pin_G7	FPGA I/O
37	Pin_H7	FPGA I/O
38	Pin_G8	FPGA I/O
39	Pin_G9	FPGA I/O
40	Pin_F8	FPGA I/O
41	Pin_F9	FPGA I/O
42	Pin_F10	FPGA I/O
43	Pin_E11	FPGA I/O
44	Pin_F11	FPGA I/O
45	Pin_G13	FPGA I/O
46	Pin_F13	FPGA I/O
47	Pin_F14	FPGA I/O
48	Pin_G14	FPGA I/O
49	Pin_F15	FPGA I/O
50	Pin_G15	FPGA I/O
51	Pin_G16	FPGA I/O
52	Pin_J6	FPGA I/O
53	Pin_J3	FPGA I/O
54	Pin_J5	FPGA I/O
55	Pin_J4	FPGA I/O

JP1 引腳位置	對應 FPGA 管腳名稱	功能說明
56	Pin_H5	FPGA I/O
57	Pin_G5	FPGA I/O
58	Pin_G4	FPGA I/O
59	Pin_H6	FPGA I/O
60	Pin_F7	FPGA I/O
61	Pin_E3	FPGA I/O
62	Pin_K8	FPGA I/O
63	Pin_C4	FPGA I/O
64	Pin_E5	FPGA I/O
65	Pin_E7	FPGA I/O
66	Pin_C6	FPGA I/O
67	Pin_D6	FPGA I/O
68	Pin_C7	FPGA I/O
69	Pin_D7	FPGA I/O
70	Pin_C8	FPGA I/O
71	Pin_E9	FPGA I/O
72	Pin_E10	FPGA I/O
73	Pin_D10	FPGA I/O
74	Pin_C10	FPGA I/O
75	Pin_E12	FPGA I/O
76	Pin_A11	CLK10
77	Pin_B11	CLK11
78	Pin_A12	CLK8
79	Pin_B12	CLK9
80	Pin_E13	FPGA I/O

表 2-12 標準雙排針擴展介面與 FPGA 的管腳連接表

JP2 引腳位置	對應 FPGA 管腳名稱	功能說明
1	/	VCC (5V)
2	/	GND
3	Pin_U10	FPGA I/O
4	Pin_U11	FPGA I/O
5	Pin_V12	FPGA I/O
6	Pin_V13	FPGA I/O
7	Pin_U12	FPGA I/O
8	Pin_U13	FPGA I/O
9	Pin_U14	FPGA I/O
10	Pin_U15	FPGA I/O
11	Pin_T10	FPGA I/O
12	Pin_T11	FPGA I/O
13	Pin_T23	FPGA I/O
14	Pin_T14	FPGA I/O
15	Pin_T13	FPGA I/O
16	Pin_R14	FPGA I/O
17	Pin_R15	FPGA I/O
18	Pin_P16	FPGA I/O
19	Pin_N16	FPGA I/O
20	Pin_H16	FPGA I/O
21	Pin_H14	FPGA I/O
22	Pin_H15	FPGA I/O
23	Pin_G11	FPGA I/O
24	/	未接任何信號
25	Pin_T15	FPGA I/O
26	Pin_T17	FPGA I/O
27	Pin_R17	FPGA I/O

JP2 引腳位置	對應 FPGA 管腳名稱	功能說明
28	Pin_T16	FPGA I/O
29	Pin_R16	FPGA I/O
30	Pin_P17	FPGA I/O
31	Pin_N17	FPGA I/O
32	/	未接任何信號
33	Pin_G10	FPGA I/O
34	Pin_H8	FPGA I/O
35	Pin_J8	FPGA I/O
36	Pin_M16	FPGA I/O
37	Pin_K17	FPGA I/O
38	Pin_J17	FPGA I/O
39	Pin_H17	FPGA I/O
40	Pin_G17	FPGA I/O

表 2-13 標準雙排針擴展介面與 FPGA 的管腳連接表

JP3 引腳位置	對應 FPGA 管腳名稱	功能說明
1	/	VCC (5V)
2	/	GND
3	Pin_M1	FPGA I/O
4	Pin_M2	FPGA I/O
5	Pin_N1	FPGA I/O
6	Pin_N2	FPGA I/O
7	Pin_P1	FPGA I/O
8	Pin_P2	FPGA I/O
9	Pin_R1	FPGA I/O
10	Pin_R2	FPGA I/O
11	Pin_T1	CLK3
12	Pin_T2	CLK2
13	Pin_U1	FPGA I/O
14	Pin_U2	FPGA I/O
15	Pin_V1	FPGA I/O
16	Pin_V2	FPGA I/O
17	Pin_W1	FPGA I/O
18	Pin_W2	FPGA I/O
19	Pin_Y1	FPGA I/O
20	Pin_Y2	FPGA I/O
21	Pin_AA1	FPGA I/O
22	Pin_Y3	FPGA I/O
23	Pin_AB3	FPGA I/O
24	Pin_AA3	FPGA I/O
25	Pin_AB4	FPGA I/O
26	Pin_N6	FPGA I/O
27	Pin_P6	FPGA I/O
28	Pin_R7	FPGA I/O
29	Pin_R6	FPGA I/O
30	Pin_T7	FPGA I/O

JP3 引腳位置	對應 FPGA 管腳名稱	功能說明
31	Pin_T8	FPGA I/O
32	Pin_T9	FPGA I/O
33	Pin_U8	FPGA I/O
34	Pin_U9	FPGA I/O
35	Pin_V8	FPGA I/O
36	Pin_V9	FPGA I/O
37	Pin_AA9	FPGA I/O
38	Pin_AB10	FPGA I/O
39	Pin_AA10	FPGA I/O
40	Pin_AB11	CLK14
41	Pin_AA11	CLK15
42	Pin_AB12	CLK12
43	Pin_AA12	CLK13
44	Pin_AB13	FPGA I/O
45	Pin_L6	FPGA I/O
46	Pin_M5	FPGA I/O
47	Pin_N5	FPGA I/O
48	Pin_P3	FPGA I/O
49	Pin_P4	FPGA I/O
50	Pin_P5	FPGA I/O
51	Pin_T3	FPGA I/O
52	Pin_T4	FPGA I/O
53	Pin_T5	FPGA I/O
54	Pin_V3	FPGA I/O
55	Pin_V5	FPGA I/O
56	Pin_V4	FPGA I/O
57	Pin_R5	FPGA I/O
58	Pin_U7	FPGA I/O
59	Pin_V6	FPGA I/O

JP3 引腳位置	對應 FPGA 管腳名稱	功能說明
60	Pin_Y4	FPGA I/O
61	Pin_V7	FPGA I/O
62	Pin_W6	FPGA I/O
63	Pin_Y6	FPGA I/O
64	Pin_Y7	FPGA I/O
65	Pin_W7	FPGA I/O
66	Pin_Y8	FPGA I/O
67	Pin_W8	FPGA I/O
68	Pin_V10	FPGA I/O
69	Pin_Y10	FPGA I/O
70	Pin_W10	FPGA I/O
71	Pin_V11	FPGA I/O
72	Pin_Y13	FPGA I/O
73	Pin_W13	FPGA I/O
74	Pin_W14	FPGA I/O
75	Pin_W15	FPGA I/O
76	Pin_V14	FPGA I/O
77	Pin_V15	FPGA I/O
78	Pin_V16	FPGA I/O
79	Pin_U16	FPGA I/O
80	Pin_Y17	FPGA I/O

表 2-14 標準雙排針擴展介面與 FPGA 的管腳連接表

第三節 USB Blaster 安裝與使用

USB-Blaster 調試器可以通過 USB 埠把 PC 機和目標器件相連接。通過 USB-Blaster 調試器，PC 可以將配置資料下載到目標器件中。由於設計變更等可以很容易地下載到目標器件，使用者的設計原型和多次重複設計等驗證工作可以很快地完成。這都要得益於 USB-Blaster 調試器的快速、高效、便捷等優點。

3.1 安裝 USB-Blaster 驅動

3.1.1 軟體要求

USB-Blaster 下載電纜僅能在 Windows2000、Windows XP 和 RedHat Linux 作業系統中使用，需要安裝 Quartus II 4.0 或更高版本的開發下載軟體。同時 USB-Blaster 下載電纜還支援下述軟體：

- Quartus II Programmer（用來程式設計或配置晶片）
- Quartus II SgianlTap II Logic Analyzer（進行邏輯分析）
- Quartus II Programmer（單機版本）
- Quartus II SgianlTap II Logic Analyzer（單機版本）

3.1.2 驅動安裝準備

在安裝驅動之前請按以下步驟正確連接 PC 機與核心板：

- 1、確認 PC 機中已安裝好 QuartusII4.0 以上版本的軟體，並查看 USB-Blaster 調試器的驅動是否存在（在安裝完 Quartus II 後，驅動會出現在\Quartus II 系統安裝目錄\drivers\usb-blaster 目錄下）。
- 2、確認核心板電源關閉。如果核心板與系統板連接起來工作，請將系統板的電源開關關閉。如果核心板單獨工作則撥下 PWR 電源適配器上的 5V 直流電源輸入。
- 3、用 USB（B 型）連接線將 PC 機與核心板連接起來。如下圖 3-1 所示：

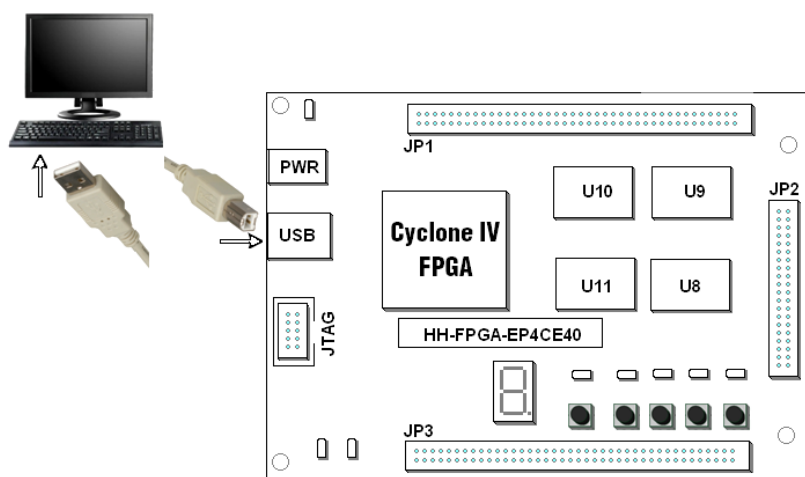


圖 3-1 核心板 USB Blaster 與 PC 機的連接

4、正確連接後，重新給核心板上電。

3.1.3 WinXP 系統下驅動安裝

USB-Blaster 調試器的驅動僅在您第一次插入 PC 時，系統會彈出“發現新硬體”的安裝嚮導(如果是同一台 PC，但是插入了其它 USB 埠，有可能也會出現“發現新硬體”的安裝嚮導)，此時您只需要按照下面的步驟進行安裝便可。

- 1、用 USB 線一端插入 USB-Blaster 下載電纜，另一端插入 PC 的 USB 介面，此時在桌面右下角的工作列中將會出現如圖 3-2 所示的發現新硬體的提示符。



圖 3-2 系統提示發現新硬體

- 2、稍等片刻，系統會彈出“找到新的硬體嚮導”的對話方塊，如圖 3-3 所示。



圖 3-3 安裝驅動第一步

- 3、選擇“是，僅這一次(Y)”後，點擊【下一步】繼續，如圖 3-4 所示。



圖 3-4 安裝驅動第二步

- 4、選擇“從列表或指定位置安裝(高級)(S)”後，點擊【下一步】繼續，如圖 3-5 所示。



圖 3-5 安裝驅動第三步

- 5、選中“在搜索中包括這個位置(Q):”後，通過【瀏覽】按鈕，找到驅動程式所在位置（本例中以 Quartus II 5.0 軟體安裝在 D 盤為例，相應的 USB 驅動就在 D:\altera\quartus50\drivers\usb-blaster 目錄中）。驅動目錄指定後，點擊【下一步】繼續。
- 6、此時系統會安裝驅動程式，稍等片刻，系統會彈出圖 3-6 所示的提示對話方塊（由於該驅動程式未經過微軟的徽標測試），此時點擊【仍然繼續】，繼續安裝驅動。

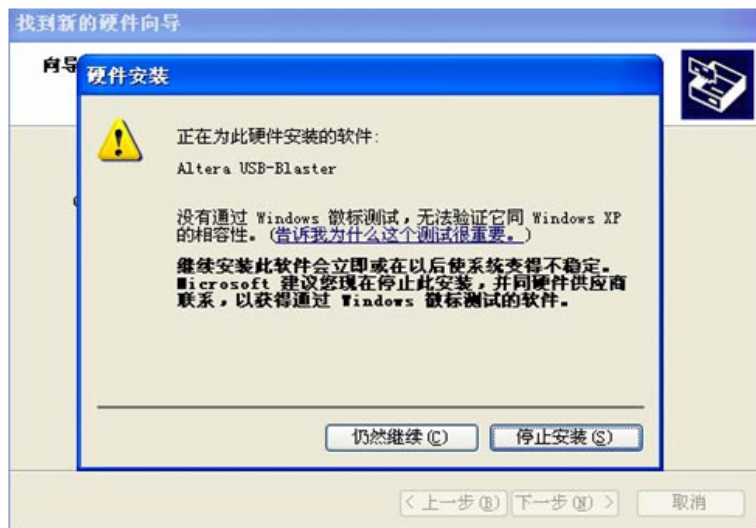


圖 3-6 安裝驅動第四步

- 7、驅動安裝結束後，系統會出現圖 3-7 所示的提示驅動安裝完成的對話方塊，直接點擊【完成】，結束驅動安裝。



圖 3-7 安裝驅動第五步

進入“裝置管理員”，查看硬體安裝是否正確。正確安裝 USB-Blaster 驅動後，會在“通用序列匯流排控制器”中出現“ALTERA USB-Blaster”的設備。如圖 3-8 所示。至此，USB-Blaster 在 WinXP 中的驅動已經安裝完成。

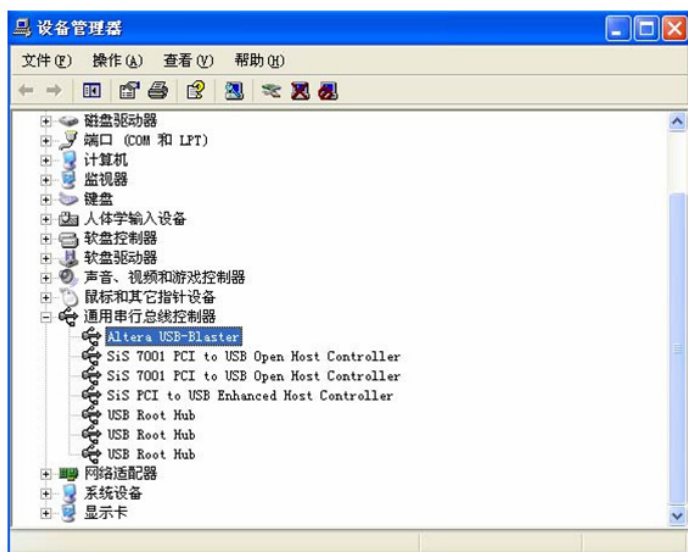


圖 3-8 查看安裝的設備狀況

3.1.4 Linux 中的驅動安裝

Quartus II 軟體採用 RedHat Linux 內建的 USB 驅動(usbfs)來訪問 USB-Blaster 下載電纜。預設情況下，root 是唯一可以直接訪問到 usbfs 的用戶，所以在使用 USB-Blaster 下載電纜配置或程式設計器件之前，必須首先改變埠的存取權限。另外您還必須具有管理員（root）特權去配置 USB-Blaster 下載電纜的驅動。

在上述條件均滿足後，您可以通過以下步驟來安裝 USB-Blaster 驅動：

1. 在/etc/hotplug/usb.usermap 文件中加入下面的幾行：

```
#  
# Altera USB-Blaster  
#  
usbblaster 0x03 0x09fb 0x6001 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0  
usbblaster 0x03 0x09fb 0x6002 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0  
usbblaster 0x03 0x09fb 0x6003 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0
```

2. 在目錄/etc/hotplug/usb/中創建一個名為 usbblaster 的檔，在其中加入下面幾行：

```
#!/bin/sh  
# USB-Blaster hotplug script  
# Allow any user to access the cable  
chmod 666 $DEVICE
```

3. 將步驟 2 中創建的檔編譯成一個可執行檔便可。

至此，USB-Blaster 在 RedHat Linux 中的驅動已經安裝完成。

3.2 USB 調試器在 QuartusII 中的設置

在 USB-Blaster 調試器驅動安裝正確後，還需要在 Quartus II 軟體中進行適當的設置才能使用，具體設置步驟如下：

- 1、啟動 Quartus II 軟體。
- 2、選擇“Tools”功能表下“Programmer”。
- 3、點擊【Hardware Setup...】按鈕，會出現設置硬體的對話方塊。
- 4、在 “ Currently selected hardware: ” 下拉式功能表中選擇 “USB-Blaster[USB-0]” 。如圖 3-9 所示。

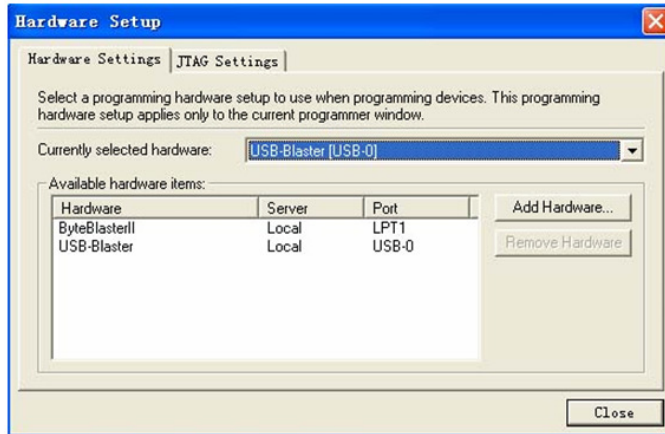


圖 3-9 選擇 USB-Blaster 為當前可用下載電纜

- 5、點擊【Close】按鈕，關閉硬體設置對話方塊。此時會返回到程式設計視窗，可以看到該視窗中列出了剛剛選擇的下載電纜，如圖 3-10 所示。

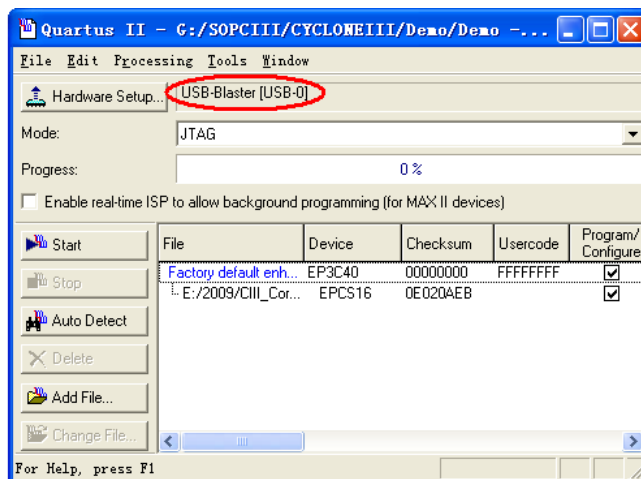


圖 3-10 選擇 USB-Blaster 後的程式設計視窗

- 6、在程式設計視窗中的“Mode”下拉式功能表中，選擇需要的下載模式。USB-Blaster 下載電纜支援 Joint Test Active Group (JTAG)、Passive Serial Programming 和 Active Serial Programming 這三種下載模式。如下表 3-1 所示。

下 載 模 式	模 式 描 述
Joint Test Action Group (JTAG)	程式設計或配置所有 Quautus II 軟體中支援的除了 FLEX6000 以外的所有 Altera 器件
In-Socket Programming	USB-Blaster 不支援該模式
Passive Serial Programming	程式設計或配置所有 Quautus II 軟體中支援的除了 MAX 3000 和 MAX7000 以外的所有 Altera 器件
Active Serial Programming	程式設計單片 EPCS1、EPCS4、EPCS16 和 EPCS64 等串列配置器件

表 3-1 程式設計模式清單

- 7、接下來的下載程式設計資料或配置器件等操作就跟使用 ByteBlaster MV 或 ByteBlaster II 電纜完全一樣了。

第四節 系統板功能概述

本節將針對 HH-SOC-EP4CE40 EDA/SOPC 系統綜合開發平臺上的 EDA/SOPC 系統板上的各模組進行說明。

4.1 EDA/SOPC 系統板資源

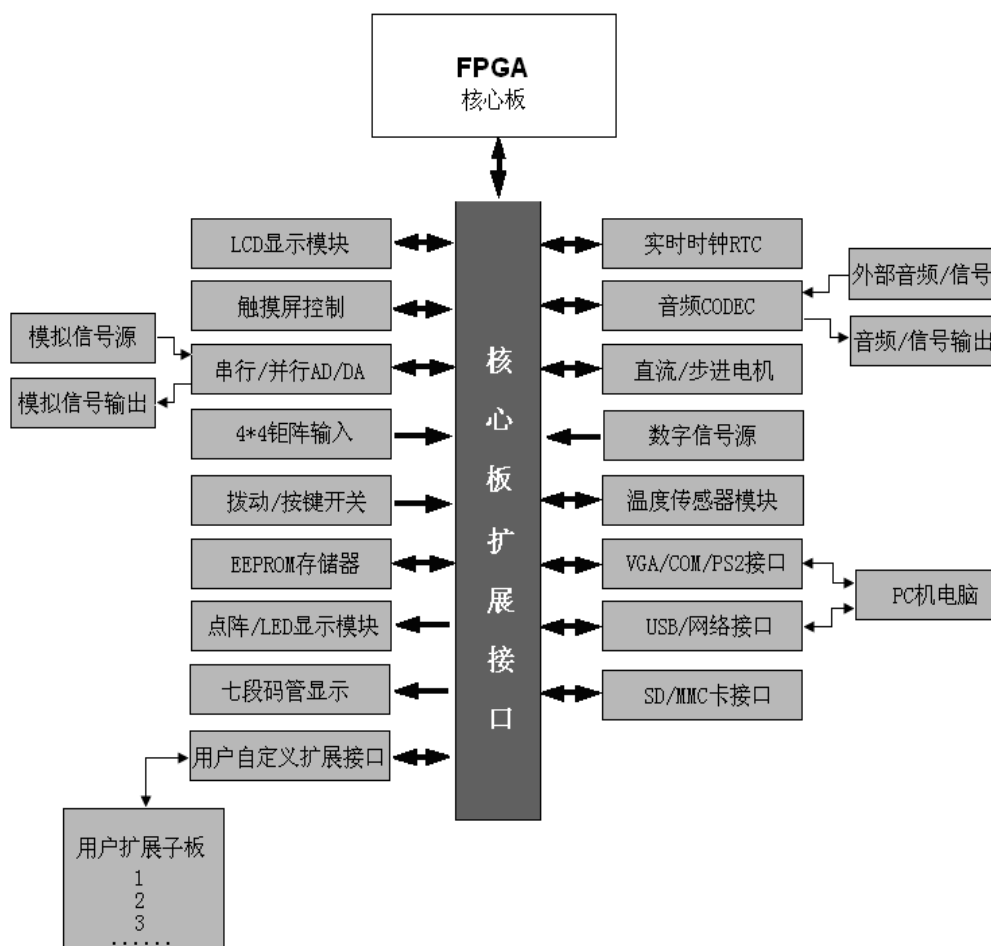
EDA/SOPC 系統板提供的資源有：

- 核心板擴展介面，提供三路核心板介面用於系統板與核心板的連接
- TFT LCD，提供 800×600 8" 16 位元色圖形點陣式液晶屏
- 觸控式螢幕控制，12 位元觸控式螢幕控制器模組
- 溫度感測器，採用 1 線數位溫度感測器 DS18B20
- RTC，RTC 即時時鐘模組
- EEPROM，IIC 介面 EEPROM
- 1×RS232 序列介面
- 2×PS/2 介面
- 1×USB1.1 介面
- 1×USB HOST 介面
- 1×ETHERNET 網路介面
- VGA 輸出介面
- SD 卡介面，支援 SD/MMC 卡
- SPI/IIC 介面的音訊 Audio 編解碼介面模組
- 一路帶功放的揚聲器輸出
- 12 位元串列 A/D 轉換模組
- 12 位元串列 D/A 轉換模組

- 10 位元雙通道並行 A/D 轉換模組
- 10 位元雙通道並行 D/A 轉換模組
- PWM 控制的直流電機模組
- 四相位永磁性步進電機
- 8 位元動態打掃七段碼 LED 顯示
- 12 位元 RED LED 燈顯示
- 16×16 點矩陣 LED 顯示
- 12 位元撥碼開關輸入
- 12 位元按鍵開關輸入
- 4×4 矩陣式鍵盤輸入
- 1 路數位時鐘源，支援 24MHZ~1HZ 時鐘信號
- 1 路類比信號源，支援 80-800KHZ、0~3.3V 可調正弦波、方波、三角波和鋸齒波信號
- 提供兩個 40 針 2.54 間距 HH-EXT 擴展介面，用於系統板與使用者自行設計的子板的連接
- 多路電源輸出（均帶過流、過壓保護）

4.2 EDA/SOPC 系統板功能

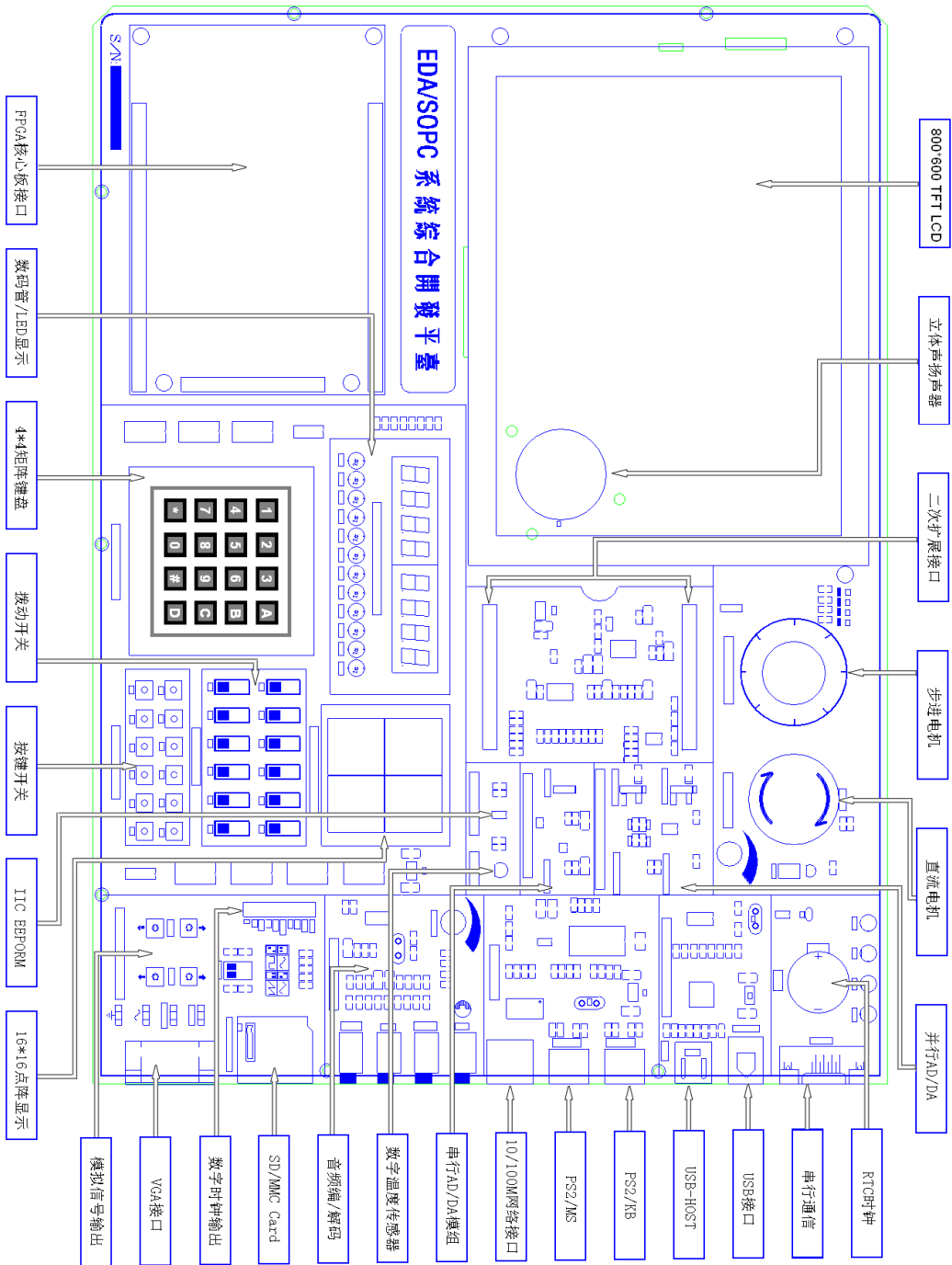
EDA/SOPC 系統板提供了豐富的資源供學生或開發人員學習使用，資源包括介面通信、控制、存儲、資料轉換以及人機交互顯示等幾大模組。上述的這些資源模組既可以滿足初學者入門的要求，也可以滿足開發人員進行二次開發的要求。圖 4-1 所示為 EDA/SOPC 系統板的功能框圖。



4-1 系統板功能框圖

4.3 EDA/SOPC 系統板各模組說明

本節將對 EDA/SOPC 系統板上的部分模組電路做簡單的說明。如下圖 4-2 所示，是系統板的整個功能模組的佈局圖。



下面將對系統各模組進行分類說明，在以下的說明中，系統板上的各元件模組與 FPGA 的連接管腳指的是核心板 HH-FPGA-EP4CE40 核心板通過核心板擴展介面與系統板各元件相邊接對應的 Pin I/O 管腳。

4.3.1 顯示及顯示控制

TFT LCD 液晶顯示

EDA/SOPC 系統板上使用的液晶屏為 800×600TFT 彩色屏，其色彩深度為 16 位。TFT 液晶屏模組由液晶屏及自主研發的液晶控制器組成，通過液晶控制器的介面微處理器連接，可以方便地在液晶屏上顯示出色彩豔麗的完美畫質。TFT 液晶屏的資料請參考開發來台附帶的使用者器件資料手冊。

圖 4-3 所示為 TFT 液晶屏與配套核心板 FPGA 的 IO 口的連接。表 4-1 所示為 TFT 液晶屏介面與配套核心板 FPGA 對應的管腳分配表。

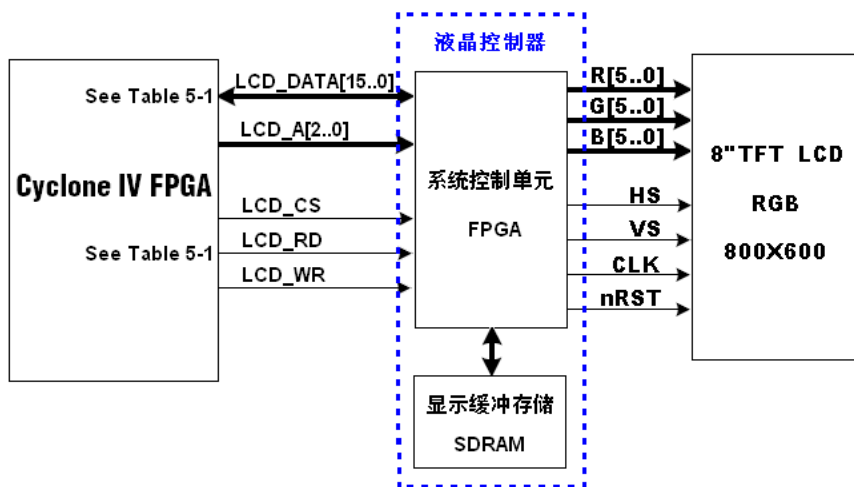


圖 4-3 TFT LCD 與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
LCD_DATA[0]	Pin_M1	JP3_3	Data Input/Outputs
LCD_DATA[1]	Pin_M2	JP3_4	
LCD_DATA[2]	Pin_N1	JP3_5	
LCD_DATA[3]	Pin_N2	JP3_6	
LCD_DATA[4]	Pin_P1	JP3_7	
LCD_DATA[5]	Pin_P2	JP3_8	
LCD_DATA[6]	Pin_R1	JP3_9	
LCD_DATA[7]	Pin_R2	JP3_10	
LCD_DATA[8]	Pin_U1	JP3_13	
LCD_DATA[9]	Pin_U2	JP3_14	
LCD_DATA[10]	Pin_V1	JP3_15	
LCD_DATA[11]	Pin_V2	JP3_16	
LCD_DATA[12]	Pin_W1	JP3_17	
LCD_DATA[13]	Pin_W2	JP3_18	
LCD_DATA[14]	Pin_Y1	JP3_19	
LCD_DATA[15]	Pin_Y2	JP3_20	
LCD_A0	Pin_AA1	JP3_21	Is a programmable slave FIFO output status flag signal
LCD_A1	Pin_Y3	JP3_22	
LCD_A2	Pin_AB3	JP3_23	
LCD_CS	Pin_N6	JP3_26	Chip Enable
LCD_RD	Pin_AA3	JP3_24	Read Enable
LCD_WR	Pin_AB4	JP3_25	Write Enable

表 4-1 TFT 液晶顯示模組與 FPGA 管腳配置表

說明：核心板介面管腳號指的是核心板與系統相連接的接外掛程式對應的管腳的位置。如 JP1_155 指的是核心板擴展介面 JP1 的第 155 號管腳。以下所提到到核心板介面管腳號均為核心板擴展介面 JP1、JP2 所對應的管腳號。

LCD 觸控式螢幕控制器

EDA/SOPC 系統板上採用的觸控式螢幕控制模組由觸控式螢幕、觸控式螢幕控制器及資料獲取三個部分組成。觸控式螢幕採用四線式電阻觸控式螢幕，控制器由一個內嵌 12 位元 DA 轉換的串列晶片 ADS7843 配合系統控制模組來完成資料的採集。

其與核心板 FPGA 連接的電路框圖如圖 4-4 所示。表 4-2 所示為觸控式螢幕控制模組介面與 FPGA 的 IO 連接表。

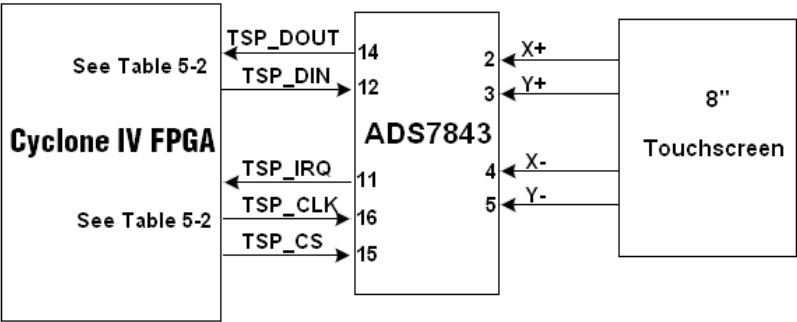


圖 4-4 觸控式螢幕模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
TSP_DOUT	Pin_R7	JP3_28	
TSP_DIN	Pin_T7	JP3_30	
TSP_CS	Pin_T8	JP3_31	
TSP_CLK	Pin_R6	JP3_29	
TSP_IRQ	Pin_P6	JP3_27	

表 4-2 觸控式螢幕介面與 FPGA 管腳配置表

16x16 點陣 LED 顯示

點陣顯示被廣泛應用於戶外廣告、電視媒體等諸多領域。EDA/SOPC 系統板上

提供了一個 16×16 矩陣式點陣。點陣模組由四個共陰極性的 8×8 矩陣點陣組成。為了節省核心板 FPGA 的 I/O 資源，原 16×16 點陣的列數選擇的 16 個介面經由系統控制單元進行 4 選 16 的轉換後減為 4 個。所以點陣模組的介面中 16 個為點陣的每列資料，4 個用於列數的選擇。其電路連接框圖如下圖 4-5 所示。表 4-3 所示為點陣的介面與核心板上 FPGA 的 I/O 介面配置表。

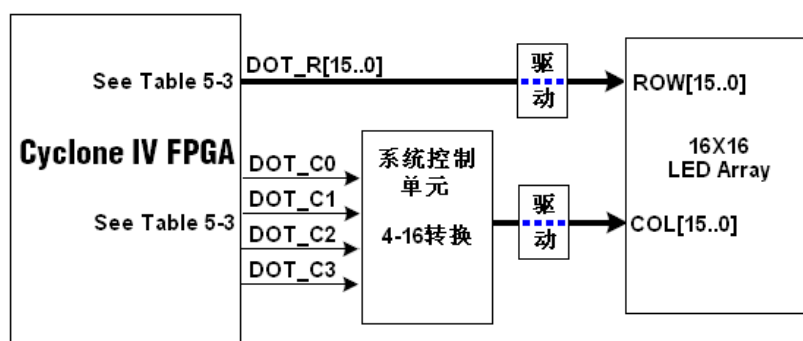


圖 4-5 16×16 點陣模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
DOT_R[0]	Pin_T16	JP2_28	Dot array Row Data
DOT_R[1]	Pin_R17	JP2_27	
DOT_R[2]	Pin_T17	JP2_26	
DOT_R[3]	Pin_T15	JP2_25	
DOT_R[4]	Pin_M7	JP1_32	
DOT_R[5]	Pin_G11	JP2_23	
DOT_R[6]	Pin_T14	JP2_14	
DOT_R[7]	Pin_T12	JP2_13	
DOT_R[8]	Pin_T11	JP2_12	
DOT_R[9]	Pin_T10	JP2_11	
DOT_R[10]	Pin_U15	JP2_10	
DOT_R[11]	Pin_U14	JP2_9	

DOT_R[12]	Pin_U13	JP2_8	
DOT_R[13]	Pin_U12	JP2_7	
DOT_R[14]	Pin_V13	JP2_6	
DOT_R[15]	Pin_V12	JP2_5	
DOT_C0	Pin_V8	JP3_35	Select Col
DOT_C1	Pin_U9	JP3_34	
DOT_C2	Pin_U8	JP3_33	
DOT_C3	Pin_T9	JP3_32	

表 4-3 16x16 點陣模組介面與 FPGA 管腳配置表

12 位元 LED 燈顯示

EDA/SOPC 系統板上提供了十二位元使用者自訂配置的 LED 燈，他可以做為信號指示燈來使用。在系統板上每個 LED 燈的下方均標明了 LED 的序號，從左到右依次標識為 LED1～LED12。當 FPGA 對 LED 燈輸出高電平時，LED 燈被點亮，輸出為低電平時 LED 燈熄滅。其電路與核心板上的 LED 燈基本一致。

圖 4-6 是 LED 燈模組與 FPGA 的電路連接框圖。表 4-4 為 LED 燈與 FPGA 的 IO 管腳配置表。

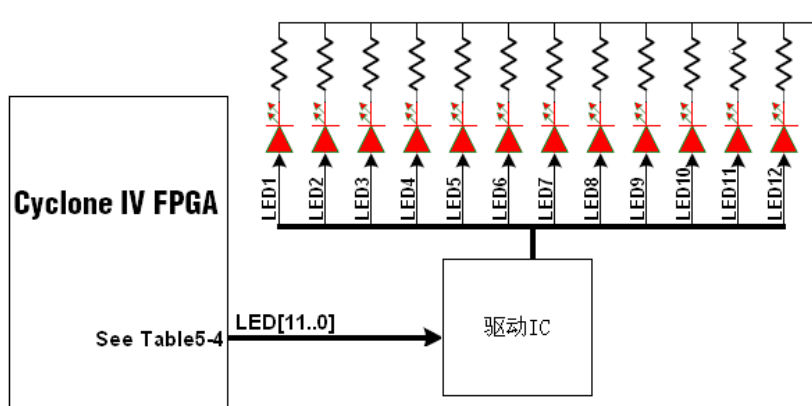


圖 4-6 12 位 LED 燈與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
LED[0]	Pin_V10	JP3_68	LED1 display
LED[1]	Pin_W8	JP3_67	LED2 display
LED[2]	Pin_W10	JP3_70	LED3 display
LED[3]	Pin_Y10	JP3_69	LDE4 display
LED[4]	Pin_Y13	JP3_72	LED5 display
LED[5]	Pin_V11	JP3_71	LED6 display
LED[6]	Pin_W14	JP3_74	LED7 display
LED[7]	Pin_W13	JP3_73	LED8 display
LED[8]	Pin_Y8	JP3_66	LED9 display
LED[9]	Pin_W7	JP3_65	LED10 display
LED[10]	Pin_Y7	JP3_64	LED11 display
LED[11]	Pin_Y6	JP3_63	LED12 display

表 4-4 12 位元 LED 燈模組介面與 FPGA 管腳配置表

八位元動態七段碼管顯示

EDA/SOPC 系統板上使用的七段碼管為八位元動態掃描方式的共陰極性的數碼管。八個數碼管的段碼即 A、B、C、D、E、F、G、DP 段信號均連接在一起，每個數碼管的 COM 端通過一個三、八解碼器來控制。

圖 4-7 所示為數碼管與 FPGA 的電路連接圖。表 4-5 為其介面與 FPGA 的 IO 配置表。

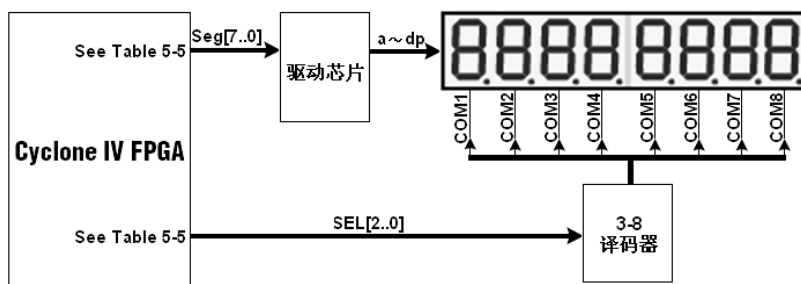


圖 4-7 八位七段數碼管與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
Seg[0]	Pin_H15	JP2_22	7-Seg display “a”
Seg[1]	Pin_H14	JP2_21	7-Seg display “b”
Seg[2]	Pin_H16	JP2_20	7-Seg display “c”
Seg[3]	Pin_N16	JP2_19	7-Seg display “d”
Seg[4]	Pin_P16	JP2_18	7-Seg display “e”
Seg[5]	Pin_R15	JP2_17	7-Seg display “f”
Seg[6]	Pin_R14	JP2_16	7-Seg display “g”
Seg[7]	Pin_T13	JP2_15	7-Seg display “dp”
SEL[0]	Pin_N17	JP2_31	7-Seg COM port setcle
SEL[1]	Pin_P17	JP2_30	
SEL[2]	Pin_R16	JP2_29	

表 4-5 八位元七段數碼管介面與 FPGA 管腳配置表

4.3.2 開關量輸入

十二位元撥碼開關輸入

EDA/SOPC 系統板上提供十二路撥碼開關輸入。通過撥動開關的檔位元使連接到 FPGA 的信號成為高電平或者低電平信號。系統板上提供了兩組共十二個撥碼開關輸入，從上到下，從左到右依次標識為 K1~K12。

當撥動開關的檔位置于上方時該開關輸入 FPGA 的信號為高電平，置於下方時該開關輸入 FPGA 的信號為低電平。

撥碼開關與 FPGA 的連接電路如下圖 4-8 所示。與 FPGA 的管腳連接配置表如下表 4-6 所示。

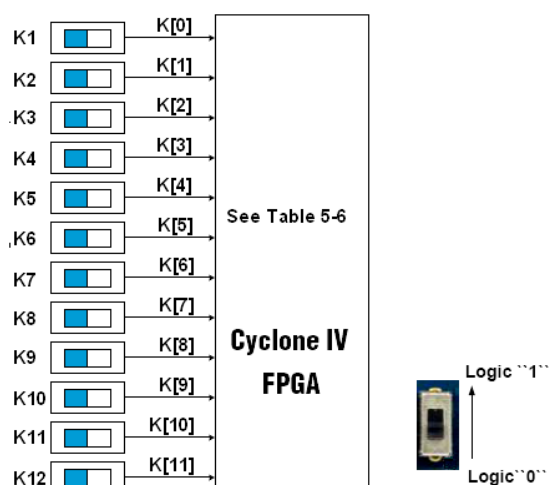


圖 4-8 撥動開關輸入模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
K[0]	Pin_W6	JP3_62	'K1' Button
K[1]	Pin_Y4	JP3_60	'K2' Button
K[2]	Pin_U7	JP3_58	'K3' Button
K[3]	Pin_V3	JP3_54	'K4' Button
K[4]	Pin_P5	JP3_50	'K5' Button
K[5]	Pin_AB12	JP3_42	'K6' Button
K[6]	Pin_V7	JP3_61	'K7' Button
K[7]	Pin_V6	JP3_59	'K8' Button
K[8]	Pin_R5	JP3_57	'K9' Button
K[9]	Pin_T5	JP3_53	'K10' Button
K[10]	Pin_P4	JP3_49	'K11' Button
K[11]	Pin_AA11	JP3_41	'K12' Button

表 4-6 撥動開關模組介面與 FPGA 管腳配置表

十二位元按鍵開關輸入

按鍵開關輸入模組就是通過手動按動鍵值為系統提供可控的脈衝信號。在系統板上提供了十二位元的按鍵開關供使用者使用。從上到下、從左到右依次標識為 S1~S12。

系統板上的按鍵輸入模組與核心板上的使用者自訂按鍵模組的電路基本致。當按鍵被按下時，按鍵輸出一個低電平信號到 FPGA 對應的 I/O 管腳，反之不按時按鍵輸出一個高電平信號至 FPGA 對應的 I/O 管腳。

圖 4-9 為按鍵開關模組與 FPGA 的電路框圖；表 4-7 為按鍵開關輸入模組介面與 FPGA 的 I/O 管腳連接配置表。

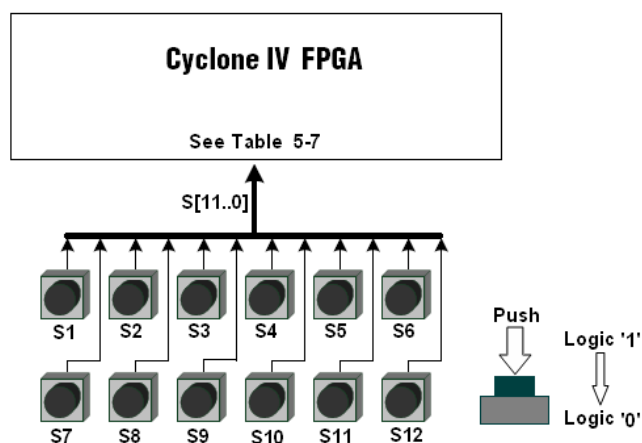


圖 4-9 按鍵開關模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
S[0]	Pin_B12	JP1_79	'S1' Switch
S[1]	Pin_B11	JP1_77	'S2' Switch
S[2]	Pin_V4	JP3_56	'S3' Switch
S[3]	Pin_T4	JP3_52	'S4' Switch

S[4]	Pin_P3	JP3_48	'S5' Switch
S[5]	Pin_AB11	JP3_40	'S6' Switch
S[6]	Pin_A12	JP3_78	'S7' Switch
S[7]	Pin_A11	JP3_76	'S8' Switch
S[8]	Pin_V5	JP1_55	'S9' Switch
S[9]	Pin_T3	JP1_51	'S10' Switch
S[10]	Pin_AA12	JP3_43	'S11' Switch
S[11]	Pin_T1	JP3_11	'S12' Switch

表 4-7 按鍵開關模組介面與 FPGA 管腳配置表

4X4 矩陣鍵盤輸入

EDA/SOPC 系統板上提供 4X4 矩陣鍵盤輸入模組供使用者使用。4x4 鍵盤常用於工控設備的信號輸入等領域，通過行、列信號不同的組合等到不同的鍵值。要識別按鍵，首先固定輸出 4 行為高電平，然後輸出 4 列為低電平，如果讀入的 4 行有一位為低電平，那麼對應的該行肯定有一個按鍵按下，這樣便可以獲取到按鍵的行值。同理，獲取列值也是如此，先輸出 4 列為高電平，然後在輸出 4 行為低電平，再讀入列值，如果其中有哪一位為低電平，那麼肯定對應的那一列有按鍵按下。

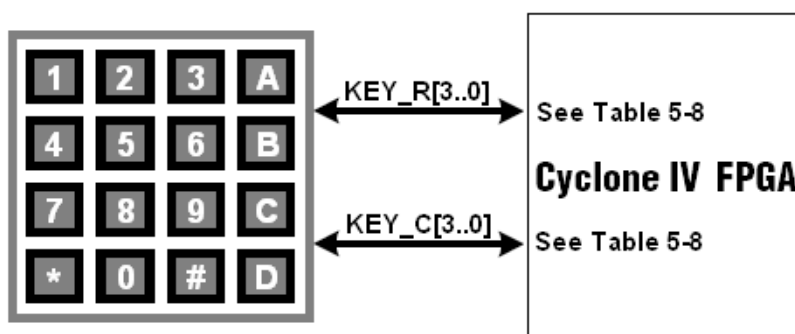


圖 4-10 4x4 矩陣鍵盤模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
KEY_R[0]	Pin_W15	JP3_75	Keypad row[0]
KEY_R[1]	Pin_V14	JP3_76	Keypad row[1]
KEY_R[2]	Pin_U10	JP2_3	Keypad row[2]
KEY_R[3]	Pin_U11	JP2_4	Keypad row[3]
KEY_C[0]	Pin_U16	JP3_79	Keypad col[0]
KEY_C[1]	Pin_V15	JP3_77	Keypad col[1]
KEY_C[2]	Pin_Y17	JP3_80	Keypad col[2]
KEY_C[3]	Pin_V16	JP3_78	Keypad col[3]

表 4-8 4×4 矩陣鍵盤模組介面與 FPGA 管腳配置表

4.3.3 介面控制

COM 序列介面

EDA/SOPC 系統板上提供一路標準的九針/孔 COM 序列介面供用戶使用。其電路與作用與核心板是的 COM 介面一致。

圖 4-11 所示為系統板上的序列介面 COM 與 FPGA 的連接框圖。表 4-9 所示為系統板上序列介面模組與 FPGA 的 I/O 管腳分配表。

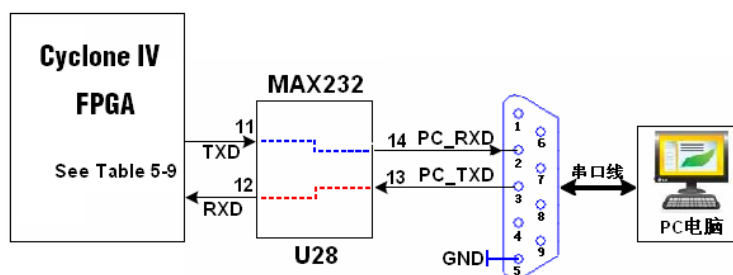


圖 4-11 系統板 COM 口模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
RXD	Pin_AA9	JP3_37	COM Port TXD
TXD	Pin_V9	JP3_36	COM Port RXD

表 4-9 串列 COM 介面模組與 FPGA 管腳配置表

PS/2 滑鼠、鍵盤介面

EDA/SOPC 系統板上提供了兩個標準 PS/2 介面用於連接外部的 PS/2 滑鼠和鍵盤設備。

圖 4-12 所示為 PS/2 (6Pin) 介面的引腳定義。圖 4-13 所示為系統板上兩個標準 PS/2 介面與 FPGA 的電路連接框圖。表 4-10 所示為 PS/2 模組的介面與 FPGA 的管腳分配表。

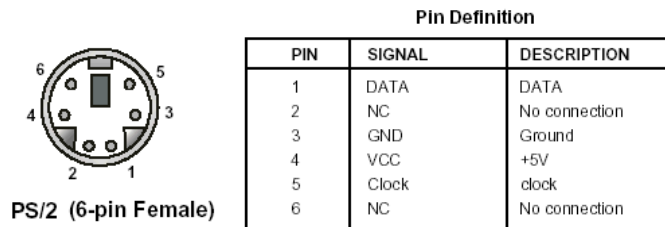


圖 4-12 PS/2 介面引腳定義

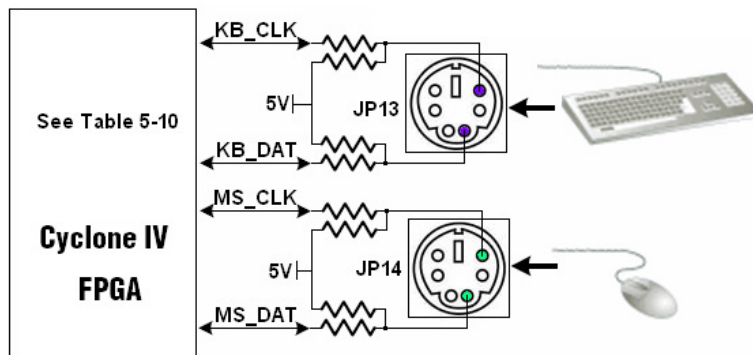


圖 4-13 PS/2 模組與 FPGA 的電路連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
KB_DAT	Pin_A9	JP1_29	KeyBoard data
KB_CLK	Pin_B9	JP1_30	KeyBoard clock
MS_DAT	Pin_A8	JP1_27	Mouse data
MS_CLK	Pin_B8	JP1_28	Mouse clock

表 4-10 PS/2 模組介面與 FPGA 管腳配置表

USB & USB Host 介面

EDA/SOPC 系統板上提供一路 USB 設備介面和一路 USB Host 主機介面。

USB 設備介面採用 PDIUSB12 器件，它通常用作微控制器系統中實現與微控制器進行通信的高速通用平行介面。它還支援本地的 DMA 傳輸。PDIUSB12 完全符合 USB1.1 版的規範。

USB 主機介面採用 Cypress 的 SL811HS 晶片。SL811HS 是 Cypress 公司推出的一款嵌入式 USB Host/Slave 晶片，支援 USB1.1 的全速和低速設備，提供 USB 主機的硬體介面及匯流排管理的物理機制，帶有在片的 SIE 和 USB 發送器以及在片的根集線器 Hub。

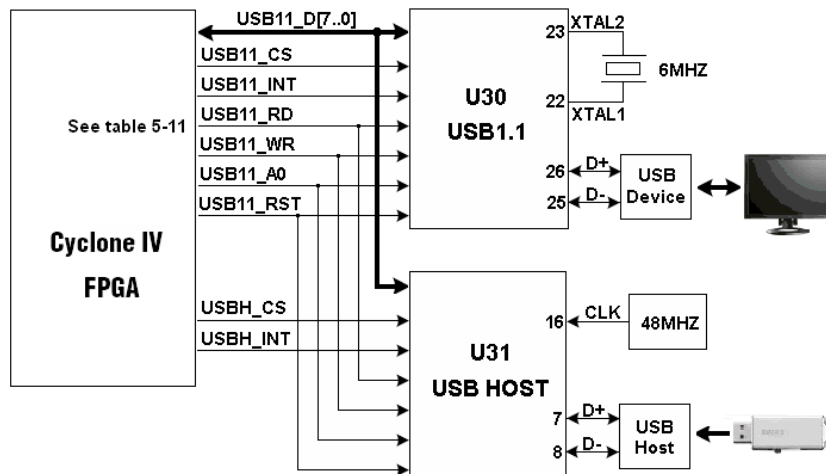


圖 4-14 USB&USB Host 介面與 FPGA 的電路連接框圖

圖 4-14 所示為 USB&USB Host 介面與 FPGA 的電路連接框圖。表 4-11 所示為 USB&USB Host 介面與 FPGA 的管腳分配表。

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
USB11_D[0]	Pin_B1	JP1_14	
USB11_D[1]	Pin_C3	JP1_15	

USB11_D[2]	Pin_B2	JP1_16	
USB11_D[3]	Pin_A3	JP1_17	
USB11_D[4]	Pin_B3	JP1_18	
USB11_D[5]	Pin_A4	JP1_19	
USB11_D[6]	Pin_B4	JP1_20	
USB11_D[7]	Pin_A5	JP1_21	
USB11_INT	Pin_A6	JP1_23	
USB11_A0	Pin_C2	JP1_13	
USB11_CS	Pin_B5	JP1_22	
USB11_RD	Pin_A7	JP1_25	
USB11_WR	Pin_B6	JP1_24	
USB11_RST	Pin_D10	JP1_73	
USBH_CS	Pin_C1	JP1_12	
USB_INT	Pin_B7	JP1_26	

表 4-11 USB11&USB Host 模組介面與 FPGA 管腳配置表

乙太網路介面

ENC28J60 是 Microchip Technology(美國微芯科技公司)推出的 28 引腳獨立乙太網控制器。在此之前，嵌入式系統開發可選的乙太網控制器都是為個人電腦系統設計的，如 RTL8019、AX88796L、DM9008、CS8900A、LAN91C11 等。這些器件不僅結構複雜，體積龐大，且比較昂貴，目前市場上大部分乙太網控制器的封裝均超過 80 引腳，而符合 IEEE 802.3 協議的 ENC28J60 只有 28 引腳既能提供相應的功能，又可以大大簡化相關設計，減小空間。

圖 4-15 所示為 NET 網路介面模組與 FPGA 的電路連接框圖。表 4-12 所示為 NET 網路模組介面與 FPGA 的管腳分配表。

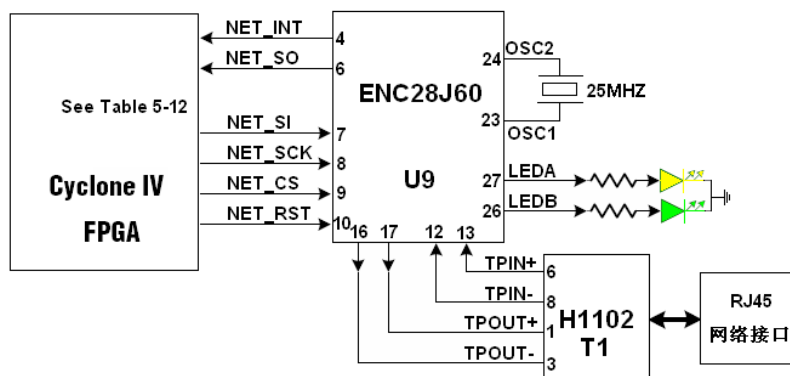


圖 4-15 NET 網路介面與 FPGA 的電路連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
NET_INT	Pin_H17	JP2_39	
NET_SO	Pin_C10	JP1_74	
NET_SI	Pin_E12	JP1_75	
NET_SCK	Pin_E13	JP1_80	
NET_CS	Pin_G17	JP2_40	
NET_RST	Pin_D10	JP1_73	

表 4-12 NET 網路模組介面與 FPGA 管腳配置表

Audio 音訊編解碼介面

系統板上提供了一個標準的音訊 CODEC 模組，採用 TI 的高性能音訊 CODEC 專用晶片——TLV320AIC23B。它是一個單片身歷聲 ADC 和 DAC，採用了流信號處理技術，晶片內部集成了類比前端（包括程式控制放大器、自動增益控制）和數位聲音處理單元，支援 IIS 匯流排介面，資料格式最多高達 20 位元，晶片內部的數位聲音處理單元可以產生如重低音、音量控制、靜音等功能，全部都可以通過其 SPI 介面來控制。該晶片同時還支援 MIC 輸入、音源輸入輸出和耳機輸出

等介面。

該晶片為超低功耗設計，被廣泛的應用在如 MD、CD 以及 MP3 隨身聽、可攜式產品以及數位錄影機等領域。

該模組的 PHONE 輸出接入系統板內置的帶功放的揚聲器，通過調節模組左上角的電位器旋扭來改變揚聲器所發出聲音的大小。

圖 4-16 所示為音訊 Audio 編解碼模組與 FPGA 的電路連接框圖。表 4-13 所示為 Audio 編解碼模組介面與 FPGA 的管腳分配表。

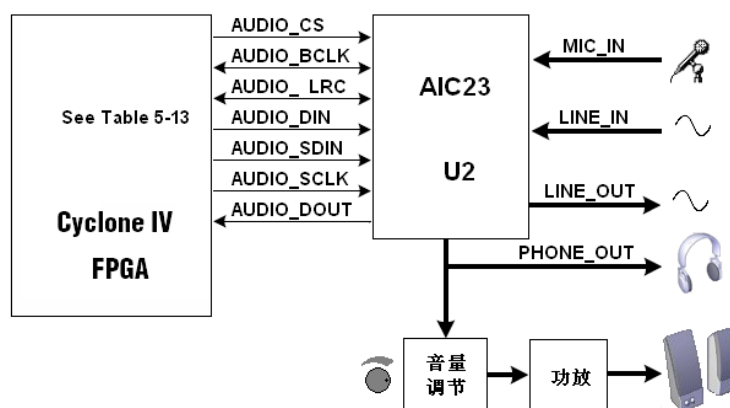


圖 4-16 音訊 Audio 編解碼模組與 FPGA 的電路連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
AUDIO_SDIN	Pin_K17	JP2_37	
AUDIO_SCLK	Pin_M16	JP2_36	
AUDIO_CS	Pin_J17	JP2_38	
AUDIO_BCLK	Pin_J8	JP2_35	
AUDIO_DIN	Pin_H8	JP2_34	
AUDIO_DOUT	Pin_M6	JP1_31	
AUDIO_LRC	Pin_G10	JP2_33	

表 4-13 音訊 Audio 編解碼模組介面與 FPGA 管腳配置表

SD/MMC 卡介面

系統板上提供一個 SD 卡接口供使用者對海量資料進行存儲與讀取。其電路結構與核心板上電路結構一致。其設備的各介面與核心板上的 SD 卡設備共用一組 I/O 管腳。

圖 4-17 所示為系統板上 SD 卡介面模組與 FPGA 的電路連接框圖。表 4-14 所示為系統板上 SD 卡模組介面與 FPGA 的管腳分配表。

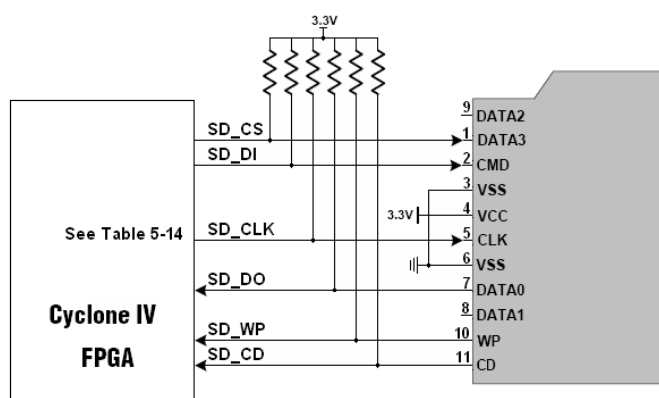


圖 4-17 SD 卡設備與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
SD_CS	Pin_AB10	JP3_38	
SD_CLK	Pin_N5	JP3_47	
SD_DI	Pin_AB13	JP3_44	
SD_DO	Pin_AA10	JP3_39	
SD_WP	Pin_L6	JP3_45	
SD_CD	Pin_M5	JP3_46	

表 4-14 SD 卡設備與 FPGA 管腳配置表

4.3.4 AD/DA 轉換

10 Bit 並行高速 AD 轉換

EDA/SOPC 系統板上使用的並行 AD 轉換模組為十位元雙通道並行 AD 轉換晶片 AD9201ARS。該轉換晶片的轉換速率高達 20MSPS。雙路 AD 轉換可實現多級管道構架，提供準確的性能，並保證不丟失碼元。

標識“HADC-I-IN”和“HADC-Q-IN”的射頻端子為外部信號輸入埠，外部信號由這兩個射頻信號端子分別送入 AD 轉換模組的 I 通道和 Q 通道進行 AD 轉換。

在射頻端子的右邊有一個測試孔進行信號測試。

測試孔的右邊有兩個跳線用來選擇 I 通道和 Q 通道信號是採用外部輸入信號還是開發平臺信號產生的信號。當對應通道的跳線端子位於上方“INT”時，對應通道輸入的信號為開發平臺信號源產生的信號；當跳線端子位於下方“EXT”時，對應通道輸入的信號為對應射頻端子輸入的信號。

圖 4-20 所示為並行 AD 模組與 FPGA 的電路連接框圖。表 4-19 所示為並行 AD 模組介面與 FPGA 管腳分配表。

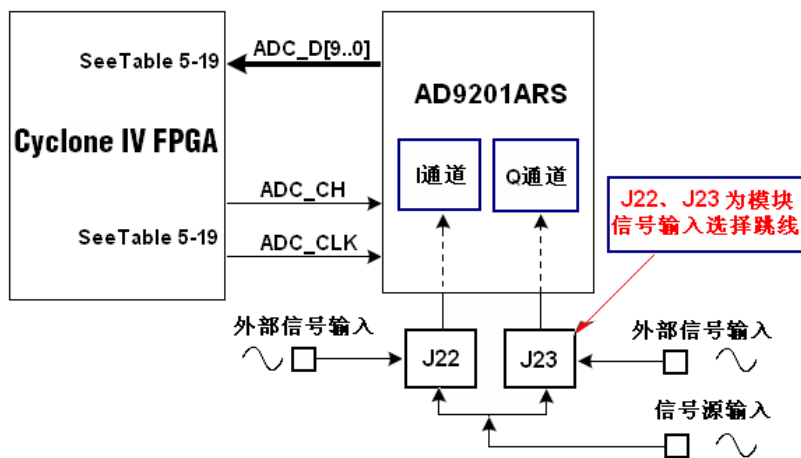


圖 4-19 高速並行 AD 轉換模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
ADC_D[0]	Pin_G9	JP1_39	
ADC_D[1]	Pin_F8	JP1_40	
ADC_D[2]	Pin_F9	JP1_41	
ADC_D[3]	Pin_F10	JP1_42	
ADC_D[4]	Pin_E11	JP1_43	
ADC_D[5]	Pin_F11	JP1_44	
ADC_D[6]	Pin_G13	JP1_45	
ADC_D[7]	Pin_F13	JP1_46	
ADC_D[8]	Pin_F14	JP1_47	
ADC_D[9]	Pin_J6	JP1_52	
ADC_CH	Pin_G16	JP1_51	
ADC_CLK	Pin_F15	JP1_49	

表 4-19 高速度行 AD 轉換模組介面與 FPGA 管腳配置表

10 Bit 並行高速 DA 轉換

EDA/SOPC 系統板上所使用的並行 DA 轉換模組為 10Bit 雙通道並行 DA 晶片 AD9761ARS，其轉換速率高達 40MSPS。

DA 轉換完成後的信號從標識為“HDAC-I-OUT”和“HDAC-Q-OUT”的射頻端子輸出，在每個射頻端子的左邊分別有一個測試孔進行信號測試。

圖 4-21 所示為並行 DA 模組與 FPGA 的電路連接框圖。表 4-20 所示為並行 DA 模組介面與 FPGA 管腳分配表。

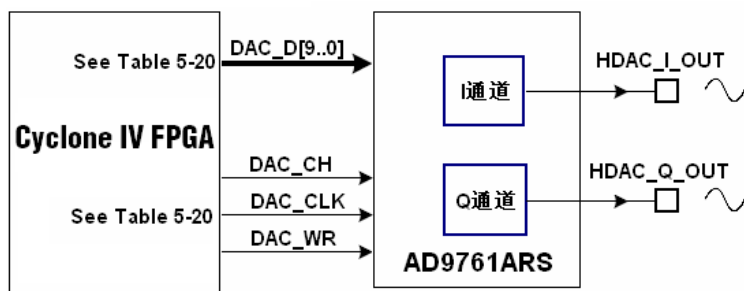


圖 4-21 高速並行 DA 轉換模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
DAC_D[0]	Pin_K8	JP1_62	
DAC_D[1]	Pin_H6	JP1_59	
DAC_D[2]	Pin_F7	JP1_60	
DAC_D[3]	Pin_G5	JP1_57	
DAC_D[4]	Pin_J4	JP1_55	
DAC_D[5]	Pin_H5	JP1_56	
DAC_D[6]	Pin_J3	JP1_53	
DAC_D[7]	Pin_J5	JP1_54	
DAC_D[8]	Pin_G15	JP1_50	
DAC_D[9]	Pin_G14	JP1_48	
DAC_CH	Pin_E5	JP1_64	
DAC_CLK	Pin_G4	JP1_58	
DAC_WR	Pin_E3	JP1_61	

表 4-20 高速並行 DAC 轉換模組介面與 FPGA 管腳配置表

串列高速 AD/DA 轉換

開發平臺上提供了一個基於 SPI 介面的 12 位元高精度 ADC 和 DAC，設計該模組的目的是為了讓使用者學習如何使用 SOPC Builder 中的 SPI 介面的 IP 核，同時通過該模組，也讓學生對串列 ADC 和 DAC 的工作原理加以瞭解。

SPI 介面 ADC 晶片採用 ADS7816 晶片，其輸入信號通過跳線來選擇輸入的是平臺信號源產生的信號還是外部輸入的信號。當 J24 跳線接至 INT 時輸入信號為平臺信號源產生的信號；當 J24 跳線接至 EXT 是 ADC 晶片的輸入信號為 SADC_IN 射頻端子輸入的信號。

SPI 介面的 DAC 晶片採用 DCA7512 晶片。其輸出信號由 SDAC_OUT 射頻端子輸入。

圖 4-22 所示為 SPI 介面 DA/DA 模組與 FPGA 的電路連接框圖。表 4-21 所示為 SPI 介面 AD/DA 模組介面與 FPGA 管腳分配表。

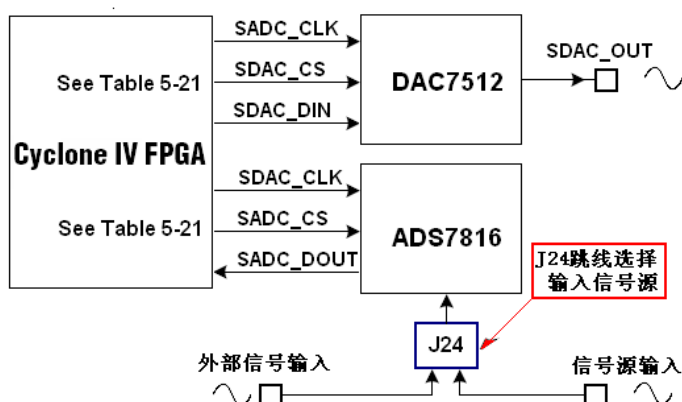


圖 4-22 SPI 介面 AD/DA 轉換模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
SADC_CLK	Pin_C4	JP1_63	
SADC_CS	Pin_E7	JP1_65	
SADC_DOUT	Pin_C6	JP1_66	
SDAC_CLK	Pin_D6	JP1_67	

SDAC_CS	Pin_C8	JP1_70	
SDAC_DIN	Pin_C7	JP1_68	

表 4-21 SPI 介面 AD/DA 轉換模組介面與 FPGA 管腳配置表

4.3.5 控制模組及感測器

RTC 即時時鐘

RTC 晶片為 DS1302。DS1302 是 DALLAS 公司推出的涓流充電時鐘晶片，內含有一個即時時鐘/日曆和 31 位元組靜態 RAM，通過簡單的序列介面與 CPU 進行通信。即時時鐘/日曆電路提供秒、分、時、日、日期、月、年的資訊，每月的天數和閏年的天數可自動調整，時鐘操作可通過 AM/PM 指示決定採用 24 或 12 小時格式。DS1302 與 CPU 之間能簡單地採用同步串列的方式進行通信，介面連接非常簡單，佔用埠資源很少，且操作非常容易。

圖 4-23 所示為 RTC 模組與 FPGA 的電路連接框圖。表 4-22 所示為 RTC 模組介面與 FPGA 管腳分配表。

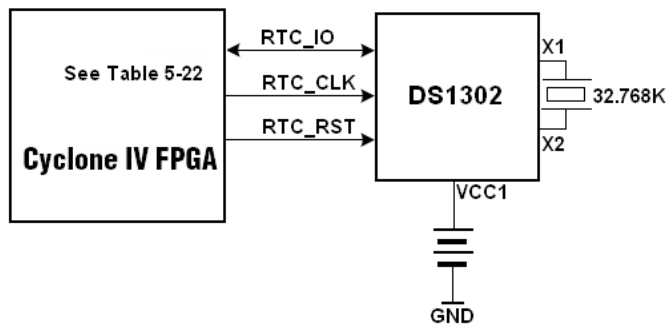


圖 4-23 RTC 模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
RTC_CLK	Pin_F2	JP1_9	
RTC_IO	Pin_E1	JP1_10	
RTC_RST	Pin_D2	JP1_11	

表 4-22 RTC 模組介面與 FPGA 管腳配置表

1-WIRE 數位溫度感測器

該模組採用了具有 1-Wire 介面的溫度感測器——DS18B20，目的是為了讓使用者瞭解 1-Wire 協議，以及如何用 CPU 控制該溫度感測器，從而加深對 1-Wire 匯流排協定的理解。

圖 4-24 所示為數位溫度感測器模組與 FPGA 的電路連接框圖。表 4-23 所示為數位溫度感測器模組介面與 FPGA 管腳分配表。

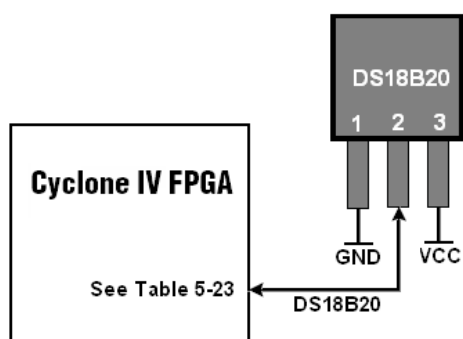


圖 4-24 數位溫度感測器模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
DS18B20	Pin_D7	JP1_69	

表 4-23 數位溫度感測器模組介面與 FPGA 管腳配置表

IICEEPROM 模組

該模組是為了讓使用者學習 IIC 匯流排而設計的，模組中包含了一個 IIC 介面的 EEPROM，使用者可以通過 IIC 匯流排寫入資料和讀出寫入的資料，用以證明 IIC 介面通信正常。開發平臺上使用的 IIC EEPROM 為 AT24C08，容量為 1024×8（8Kbytes）。

圖 4-25 所示為 IIC EEPROM 模組與 FPGA 的電路連接框圖。表 4-24 所示為 IIC EEPROM 模組介面與 FPGA 管腳分配表。

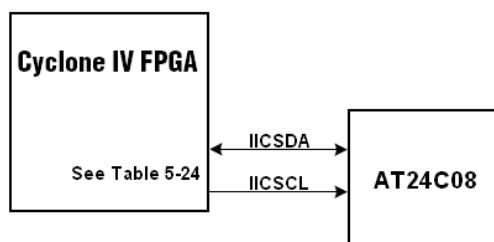


圖 4-25 IIC EEPROM 模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
IICSDA	Pin_E10	JP1_72	
IICSCL	Pin_E9	JP1_71	

表 4-24 IIC EEPROM 模組介面與 FPGA 管腳配置表

步進電機控制模組

EDA/SOPC 系統板上提供一個四相位永磁性步進電機，其步進度數為 7.5 度。通過 FPGA 對四個相位輸入不同的信號來驅動步進電機轉動。

步進電機的電源開關位於該模組的右上方，通過一個跳線不控制電機的電源。當跳線接至 ON 時，步進電機的電源打開；當跳線接至 OFF 時，步進電機的電源被斷開。

圖 4-26 所示為步進電機模組與 FPGA 的電路連接框圖。表 4-25 所示為步進電機模組介面與 FPGA 管腳分配表。

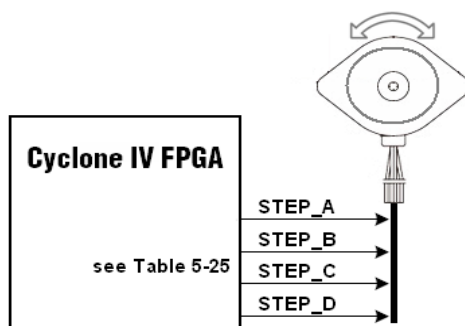


圖 4-26 步進電機模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
STEP_A	Pin_H2	JP1_6	
STEP_B	Pin_H1	JP1_5	
STEP_C	Pin_J2	JP1_4	
STEP_D	Pin_J1	JP1_3	

表 4-25 步進電機模組介面與 FPGA 管腳配置表

直流電機控制模組

在開發平臺上使用的直流電機是一個由 12V 電壓控制的電機，為了測量其轉子的轉速，我們在電子外部加入了一個開關型的霍爾元件（44E），同時在轉子的轉盤上加入一個能夠使霍爾器件產生輸出的磁鋼片來進行測速。

用戶可以通過平臺上的三個跳線來決定電機的控制信號。當跳線跳至“ON”時，電機由電壓來控制轉速，要改變轉速可以調節其左下方的電位器旋扭來改變轉速；當跳線跳至“OFF”端時，電機處於關閉狀態；當跳線跳至“PWM”時，電機由 FPGA 產生的 PWM 信號來控制其轉速。

圖 4-27 所示為直流電機模組與 FPGA 的電路連接框圖。表 4-26 所示為直流電機模組介面與 FPGA 管腳分配表。

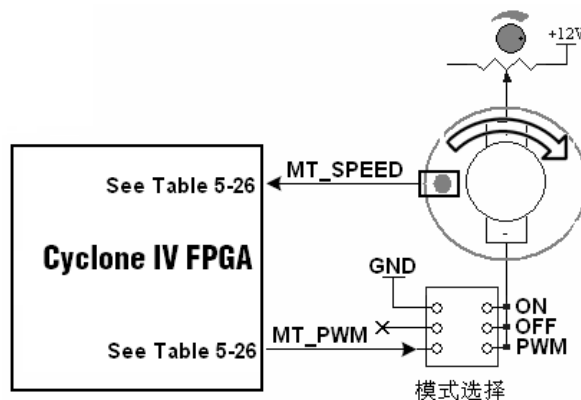


圖 4-27 直流電機模組與 FPGA 連接框圖

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
MT_PWM	Pin_F1	JP1_8	
MT_SPEED	Pin_G3	JP1_7	

表 4-26 直流電機模組介面與 FPGA 管腳配置表

4.3.6 信號源

數位時鐘信號源

EDA/SOPC 系統板上提供一路時鐘可調的數位時鐘信號源。頻率分別為 24M、12M、6M、1M、100K、10K、1K、100HZ、1HZ 可調。

在模組的有左邊有一個 10 位的跳線，可以用來選擇輸出的時鐘頻率。當跳線接至 24M 時，將從對應的 FPGA 的 IO 埠輸入一個 24M 的時鐘源。依此類推。

數位信號源與 FPGA 的管腳連接如下表 4-27 所示：

信號名稱	FPGA I/O 名稱	核心板介面管腳號	功能說明
INT_CLK	Pin_T2	JP3_12	

表 4-27 數位信號源介面與 FPGA 管腳配置表

類比信號源

EDA/SOPC 系統板上提供一路波形、頻率、幅度均可調的類比信號源。

在模組的中上方有一個紅色的二位元撥碼開關，用來選擇模組輸出類比信號的波形。其撥碼開關與波形的對應如表 4-28 所示。





撥碼開關數據	撥碼開關狀態	輸出波形
00		正弦波
01		方波
10		三角波
11		鋸齒波

表 4-28 類比信號選擇開關與對應波形表

在其模組有中間有四個按鍵開關，用來控制輸出波形的頻率和幅度。位於左邊的兩個用來控制輸出波形的頻率，按上面的按鍵，頻率會增加，按下面的按鍵頻率會減少。頻率每次增加、減少值會根據按住按鍵時間長短的不同而發生改變。類比信號的頻率範圍為 8HZ-800KHZ。

位於右邊的兩個按鍵用來控制輸出信號的幅度。按上面的按鍵幅度會增加，按下面的按鍵幅度會減少。類比信號的幅度範圍為 0V-3.3V。

4.3.7 擴展介面

固定子板擴展介面

EDA/SOPC 系統板上提供兩路用於擴展子板的擴展介面 JP4、JP5。擴展介面位於開發平臺的中間。擴展介面採用 40PIN 2.54mm 標準擴展插座，其位置和介面的腳位元定義如下圖 4-28 所示。

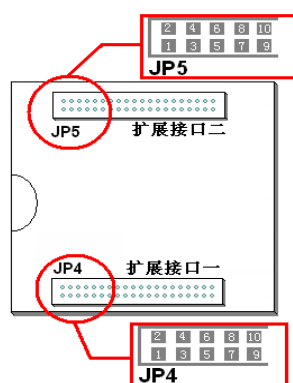


圖 4-28 擴展介面 JP4、JP5

擴展介面 JP4、JP5 上的每個腳位與 FPGA 的連接如下表 4-29、5-30 所示。擴展介面對應的 FPGA 有些已經被其它模組使用，在表中均做了說明。在使用擴展介面的時候請特別注意。

JP4 腳位號	對應 FPGA 管腳名稱	功能說明
1-2	GND	
3-4	/	未接任何信號
5-6	+5V	
7-8	/	未接任何信號
9-10	+12V	
11-12	/	未接任何信號
13-14	-12V	
15	Pin_J5	與並行 DA 模組複用 IO
16	Pin_J3	
17	Pin_H5	
18	Pin_J4	
19	Pin_G4	
20	Pin_G5	
21	Pin_F7	
22	Pin_H6	
23	Pin_K8	
24	Pin_E3	
25	Pin_E5	
26	Pin_C4	與串列 AD 模組複用 IO
27	Pin_C6	
28	Pin_E7	
29	Pin_C7	與串列 DA 模組複用 IO
30	Pin_D6	
31	Pin_C8	
32	Pin_D7	與 18B20 複用 IO

33	Pin_E10	與 IIC EEPROM 複用 IO
34	Pin_E9	
35	Pin_C10	與網路模組複用 IO
36	Pin_D10	
37	Pin_E13	
38	Pin_E12	
39	Pin_H17	
40	Pin_G17	

表 4-29 擴展介面 JP4 與 FPGA 連接表

JP5 腳位號	對應 FPGA 管腳名稱	功能說明
1	Pin_F15	與並行 AD 複用 IO
2	Pin_G14	與並行 DA 複用 IO
3	Pin_G16	與並行 AD 複用 IO
4	Pin_G15	與並行 DA 複用 IO
5	Pin_J6	與並行 AD 複用 IO
6	Pin_F14	
7	Pin_F13	
8	Pin_G13	
9	Pin_F11	
10	Pin_E11	
11	Pin_F10	
12	Pin_F9	
13	Pin_F8	
14	Pin_G9	
15	Pin_G8	獨立 IO
16	Pin_H7	
17	Pin_G7	
18	Pin_J7	
19	Pin_K7	
20	Pin_L7	
21	/	未接任何信號
22	/	
23	Pin_B9	與 PS2/KB 模組複用 IO
24	Pin_A9	

25	Pin_B8	與 PS2/MS 模組複用 IO
26	Pin_A8	
27-28	-12V	
29-30	/	
31-32	+12V	
33-34	/	
35-36	+5V	
37	/	
38	SPK	
39-40	GND	

表 4-29 擴展介面 JP5 與 FPGA 連接表

附表一：核心板上資源模組與 FPGA(EP4CE40)的管腳連接表

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		FLASH (AM29LV128)	
A0	W19	A18	V22
A1	AA15	A19	U21
A2	W20	A20	P21
A3	AA21	A21	R22
A4	Y21	A22	U22
A5	Y22	A23	K22
A6	W21	D0	AB17
A7	W22	D1	AA17
A8	V21	D2	AB18
A9	P22	D3	AA18
A10	N21	D4	AB19
A11	N22	D5	AA19
A12	M21	D6	AB20
A13	M22	D7	AA20
A14	L21	WE#	R21
A15	L22	OE#	AA16
A16	K19	CS#	AB16
A17	K21		
核心板模組		自訂 LED (LED1-LED4)	
LED1	AA13	LED3	AA14
LED2	AB14	LED4	AB15
核心板模組		七段碼 LED	
A	AB9	E	AB5
B	AA8	F	AB8

C	AA7	G	AB7
D	AA4	DP	AA5
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		SRAM (IDT74V416)	
A0	W20	D11	T18
A1	AA21	D12	R19
A2	Y21	D13	R20
A3	Y22	D14	R18
A4	W21	D15	P20
A5	W22	D16	G18
A6	V21	D17	H20
A7	P22	D18	H18
A8	N21	D19	J18
A9	N22	D20	K18
A10	M21	D21	N18
A11	M22	D22	M20
A12	L21	D23	M19
A13	L22	D24	F19
A14	K19	D25	F20
A15	K21	D26	F17
A16	V22	D27	F16
A17	U21	D28	D20
D0	AB17	D29	E16
D1	AA17	D30	D19
D2	AB18	D31	D17
D3	AA18	BE0	N20
D4	AB19	BE1	N19
D5	AA19	BE2	C17
D6	AB20	BE3	C19
D7	AA20	OE#	H10
D8	U17	WE#	H11

D9	U19	CS#	W17
D10	U20	-----	-----
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		自訂按鍵	
BT1	T21	BT3	G21
BT2	T22	BT4	G22
核心板模組		50M 時鐘	
CLK50M	G1	-----	-----
核心板模組		重定按鍵	
RESET	E4	-----	-----
核心板模組		SDRAM	
DQ0	C21	A0	B19
DQ1	B22	A1	A19
DQ2	B21	A2	B18
DQ3	C22	A3	A18
DQ4	D21	A4	D15
DQ5	D22	A5	C15
DQ6	E21	A6	E15
DQ7	E22	A7	D13
DQ8	B15	A8	C13
DQ9	A15	A9	E14
DQ10	B14	A10	A20
DQ11	A14	A11	B17
DQ12	B13	A12	A17
DQ13	A13	SD-M0	F21
DQ14	B10	SD-M1	A16
DQ15	A10	SD-BA0	J22
SD-CLK	E6	SD-BA1	B20
SD-WE	F22	RAS	H22

SD-CS	J21	CAS	H21
SD-CKE	B16	-----	-----
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		擴展介面 JP1	
1	5V	31	M6
2	GND	32	M7
3	J1	33	L7
4	J2	34	K7
5	H1	35	J7
6	H2	36	G7
7	G3	37	H7
8	F1	38	G8
9	F2	39	G9
10	E1	40	F8
11	D2	41	F9
12	C1	42	F10
13	C2	43	E11
14	B1	44	F11
15	C3	45	G13
16	B2	46	F13
17	A3	47	F14
18	B3	48	G14
19	A4	49	F15
20	B4	50	G15
21	A5	51	G16
22	B5	52	J6
23	A6	53	J3
24	B6	54	J5
25	A7	55	J4
26	B7	56	H5
27	A8	57	G5

28	B8	58	G4
29	A9	59	H6
30	B9	60	F7
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		擴展介面 JP1	
61	E3	71	E9
62	K8	72	E10
63	C4	73	D10
64	E5	74	C10
65	E7	75	E12
66	C6	76	A11 (CLK10)
67	D6	77	B11 (CLK11)
68	C7	78	A12 (CLK8)
69	D7	79	B12 (CLK9)
70	C8	80	E13
核心板模組		擴展介面 JP2	
1	5V	21	H14
2	GND	22	H15
3	U10	23	G11
4	U11	24	/
5	V12	25	T15
6	V13	26	T17
7	U12	27	R17
8	U13	28	T16
9	U14	29	R16
10	U15	30	P17
11	T10	31	N17
12	T11	32	/
13	T23	33	G10
14	T14	34	H8
15	T13	35	J8
16	R14	36	M16
17	R15	37	K17

18	P16	38	J17
19	N16	39	H17
20	H16	40	G17
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		擴展介面 JP3	
1	5V	31	T8
2	GND	32	T9
3	M1	33	U8
4	M2	34	U9
5	N1	35	V8
6	N2	36	V9
7	P1	37	AA9
8	P2	38	AB10
9	R1	39	AA10
10	R2	40	AB11 (CLK14)
11	T1 (CLK3)	41	AA11 (CLK15)
12	T2 (CLK2)	42	AB12 (CLK12)
13	U1	43	AA12 (CLK130)
14	U2	44	AB13
15	V1	45	L6
16	V2	46	M5
17	W1	47	N5
18	W2	48	P3
19	Y1	49	P4
20	Y2	50	P5
21	AA1	51	T3
22	Y3	52	T4
23	AB3	53	T5
24	AA3	54	V3
25	AB4	55	V5
26	N6	56	V4
27	P6	57	R5

28	R7	58	U7
29	R6	59	V6
30	T7	60	Y4
信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
核心板模組		擴展介面 JP3	
61	V7	71	V11
62	W6	72	Y13
63	Y6	73	W13
64	Y7	74	W14
65	W7	75	W15
66	Y8	76	V14
67	W8	77	V15
68	V10	78	V16
69	Y10	79	U16
70	W10	80	Y17

附表二：系統板上資源模組與核心板上 FPGA(EP4CE40)的管腳連接表

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC 開發平臺		16 位元彩色液晶顯示模組	
D0	Pin_M1	D11	Pin_V2
D1	Pin_M2	D12	Pin_W1
D2	Pin_N1	D13	Pin_W2
D3	Pin_N2	D14	Pin_Y1
D4	Pin_P1	D15	Pin_Y2
D5	Pin_P2	A0	Pin_AA1
D6	Pin_R1	A1	Pin_Y3
D7	Pin_R2	A2	Pin_AB3
D8	Pin_U1	CS	Pin_N6
D9	Pin_U2	RD	Pin_AA3
D10	Pin_V1	WR	Pin_AB4
EDA/SOPC 開發平臺		7843 觸控式螢幕控制模組	
DCLK	Pin_R6	晶片信號 DOUT	Pin_T7
CS	Pin_T8	PENIRQ	Pin_P6
晶片信號 DIN	Pin_R7		
EDA/SOPC開發平臺		12 位元 LED 燈顯示模組	
LED1	Pin_V10	LED7	Pin_W14
LED2	Pin_W8	LED8	Pin_W13
LED3	Pin_W10	LED9	Pin_Y8
LED4	Pin_Y10	LED10	Pin_W7
LED5	Pin_Y13	LED11	Pin_Y7
LED6	Pin_V11	LED12	Pin_Y6

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
AEEDA/SOPC開發平臺		八位元七段數碼管顯示模組	
A	Pin_H15	G	Pin_R14
B	Pin_H14	DP	Pin_T13
C	Pin_H16	SEL0	Pin_N17
D	Pin_N16	SEL1	Pin_P17
E	Pin_P16	SEL2	Pin_R16
F	Pin_R15		
EDA/SOPC 開發平臺		16*16 點陣顯示模組	
R0	Pin_T16	R10	Pin_U15
R1	Pin_R17	R11	Pin_U14
R2	Pin_T17	R12	Pin_U13
R3	Pin_T15	R13	Pin_U12
R4	Pin_M7	R14	Pin_V13
R5	Pin_G11	R15	Pin_V12
R6	Pin_T14	C0	Pin_V8
R7	Pin_T12	C1	Pin_U9
R8	Pin_T11	C2	Pin_U8
R9	Pin_T10	C3	Pin_T9
EDA/SOPC開發平臺		12 位元撥動開關	
K1	Pin_W6	K7	Pin_V7
K2	Pin_Y4	K8	Pin_V6
K3	Pin_U7	K9	Pin_R5
K4	Pin_V3	K10	Pin_T5
K5	Pin_P5	K11	Pin_P4
K6	Pin_AB12	K12	Pin_AA11

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC開發平臺		12 位元按鍵開關模組	
S1	Pin_B12	S7	Pin_A12
S2	Pin_B11	S8	Pin_A11
S3	Pin_V4	S9	Pin_V5
S4	Pin_T4	S10	Pin_T3
S5	Pin_P3	S11	Pin_AA12
S6	Pin_AB11	S12	Pin_T1
EDA/SOPC 開發平臺		4*4 矩陣鍵盤	
C0	Pin_W15	R0	Pin_U16
C1	Pin_V14	R1	Pin_V15
C2	Pin_U10	R2	Pin_Y17
C3	Pin_U11	R3	Pin_V16
EDA/SOPC 開發平臺		COM 序列介面	
RXD	Pin_AA9	TXD	Pin_V9
EDA/SOPC 開發平臺		PS2 鍵盤介面	
CLOCK	Pin_B9	DATA	Pin_A9
EDA/SOPC 開發平臺 M		PS2 滑鼠介面	
CLOCK	Pin_B8	DATA	Pin_A8
EDA/SOPC 開發平臺		USB&USB HOST 介面	
D0	Pin_B1	A0	Pin_C2
D1	Pin_C3	WR	Pin_B6
D2	Pin_B2	RD	Pin_A7
D3	Pin_A3	CS	Pin_B5
D4	Pin_B3	INT	Pin_A6
D5	Pin_A4	RESET	Pin_D10
D6	Pin_B4	USBH_CS	Pin_C1
D7	Pin_A5	USBH_INT	Pin_B7

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC 開發平臺		網路介面模組	
NET_INT	Pin_H17	NET_SCK	Pin_E13
NET-SO	Pin_C10	NET_CS	Pin_G17
NET_SI	Pin_E12	NET_RST	Pin_D10
EDA/SOPC 開發平臺		音訊 CODEC 介面模組	
AUDIO_SDIN	Pin_K17	AUDIN_DIN	Pin_H8
AUDIO_SCLK	Pin_M16	AUDIO_DOUT	Pin_M6
AUDIO_CS	Pin_J17	AUDIO_LRC	Pin_G10
AUDIO_BCLK	Pin_J8		
EDA/SOPC 開發平臺		SD 卡介面模組	
CS	Pin_AB10	DO	Pin_AA10
CLK	Pin_N5	WP	Pin_L6
DI	Pin_AB13	CD	Pin_M5
EDA/SOPC 開發平臺		串列 ADC 模組	
SCLK	Pin_C4	CS#	Pin_E7
DOUT	Pin_C6		
EDA/SOPC 開發平臺		串列 DAC 模組	
SCLK	Pin_D6	CS#	Pin_C8
DIN	Pin_C7		
EDA/SOPC 開發平臺		VGA 顯示模組	
R	Pin_AB13	HS	Pin_AB10
G	Pin_L6	VS	Pin_AA10
B	Pin_M5		
EDA/SOPC 開發平臺		RTC 即時時鐘	
RTC_RST	Pin_F2	RTC_IO	Pin_E1
RTC_CLK	Pin_D2		

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC 開發平臺		並行 ADC 模組	
D0	Pin_G9	D6	Pin_G13
D1	Pin_F8	D7	Pin_F13
D2	Pin_F9	D8	Pin_F14
D3	Pin_F10	D9	Pin_J6
D4	Pin_E11	CH	Pin_G16
D5	Pin_F11	CLK	Pin_F15
EDA/SOPC 開發平臺		並行 DAC 模組	
D0	Pin_K8	D7	Pin_J5
D1	Pin_H6	D8	Pin_G15
D2	Pin_F7	D9	Pin_G14
D3	Pin_G5	CH	Pin_E5
D4	Pin_J4	CLK	Pin_G4
D5	Pin_H5	WR	Pin_E3
D6	Pin_J3		
EDA/SOPC 開發平臺		數位溫度感測器模組	
DS18B20	Pin_D7		
EDA/SOPC 開發平臺		IIC EEPROM	
IICSDA	Pin_E10		
IICSCL	Pin_E9		
EDA/SOPC 開發平臺		步進電機	
STEP_A	Pin_H2	STEP_C	Pin_J2
STEP_B	Pin_H1	STEP_D	Pin_J1
EDA/SOPC 開發平臺		直流電機	
MT_PWM	Pin_F1		
MT_SPEED	Pin_G3		

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC 開發平臺		可調數位時鐘模組 CLK	
CLK	Pin_T2	24MHz~1Hz，共 10 個時鐘可選	
類比信號源		接 AD 的內部輸入埠	
EDA/SOPC 開發平臺		FPGA 外部輸入/輸出埠	
FPGA_INPUT	Pin_AB13		
FPGA_OUTPUT	Pin_N5		
EDA/SOPC 開發平臺		擴展介面 JP4	
1	GND	21	Pin_F7
2	GND	22	Pin_H6
3	/	23	Pin_K8
4	/	24	Pin_E3
5	VCC	25	Pin_E5
6	VCC	26	Pin_C4
7	/	27	Pin_C6
8	/	28	Pin_E7
9	+12V	29	Pin_C7
10	+12V	30	Pin_D6
11	/	31	Pin_C8
12	/	32	Pin_D7
13	-12V	33	Pin_E10
14	-12V	34	Pin_E9
15	Pin_J5	35	Pin_C10
16	Pin_J3	36	Pin_D10
17	Pin_H5	37	Pin_E13
18	Pin_J4	38	Pin_E12
19	Pin_G4	39	Pin_H17
20	Pin_G5	40	Pin_G17

信號名稱	EP4CE40 IO 接腳	信號名稱	EP4CE40 IO 接腳
EDA/SOPC 開發平臺		擴展介面 JP5	
1	Pin_F15	21	/
2	Pin_G14	22	/
3	Pin_G16	23	Pin_B9
4	Pin_G15	24	Pin_A9
5	Pin_J6	25	Pin_B8
6	Pin_F14	26	Pin_A8
7	Pin_F13	27	-12V
8	Pin_G13	28	-12V
9	Pin_F11	29	/
10	Pin_E11	30	/
11	Pin_F10	31	+12V
12	Pin_F9	32	+12V
13	Pin_F8	33	/
14	Pin_G9	34	/
15	Pin_G8	35	VCC
16	Pin_H7	36	VCC
17	Pin_G7	37	/
18	Pin_J7	38	/
19	Pin_K7	39	GND
20	Pin_L7	40	GND