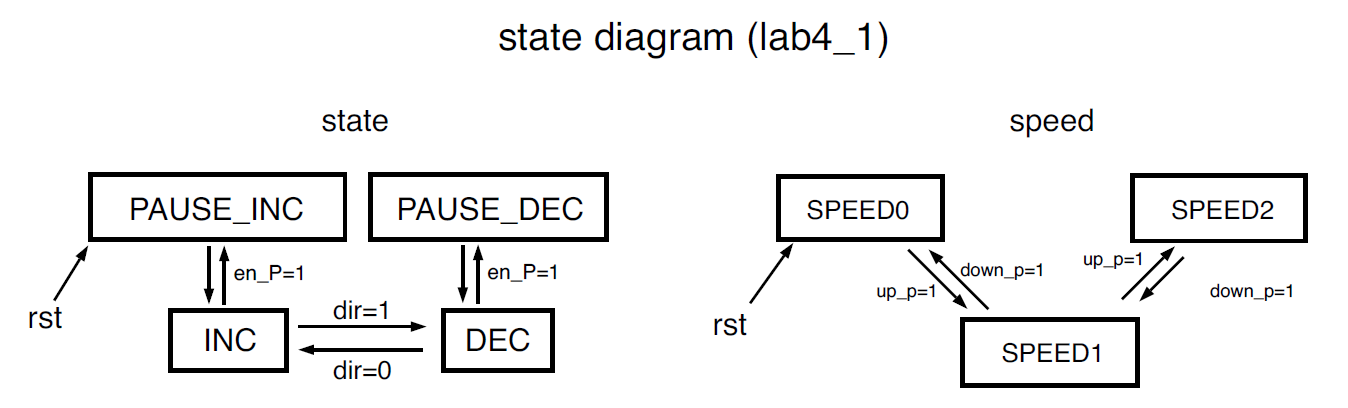
|  |  |
| --- | --- |
| **Lab 4** | |
| 學號: 108032053 | 姓名: 陳凱揚 |

1. 實作過程
2. lab4\_1

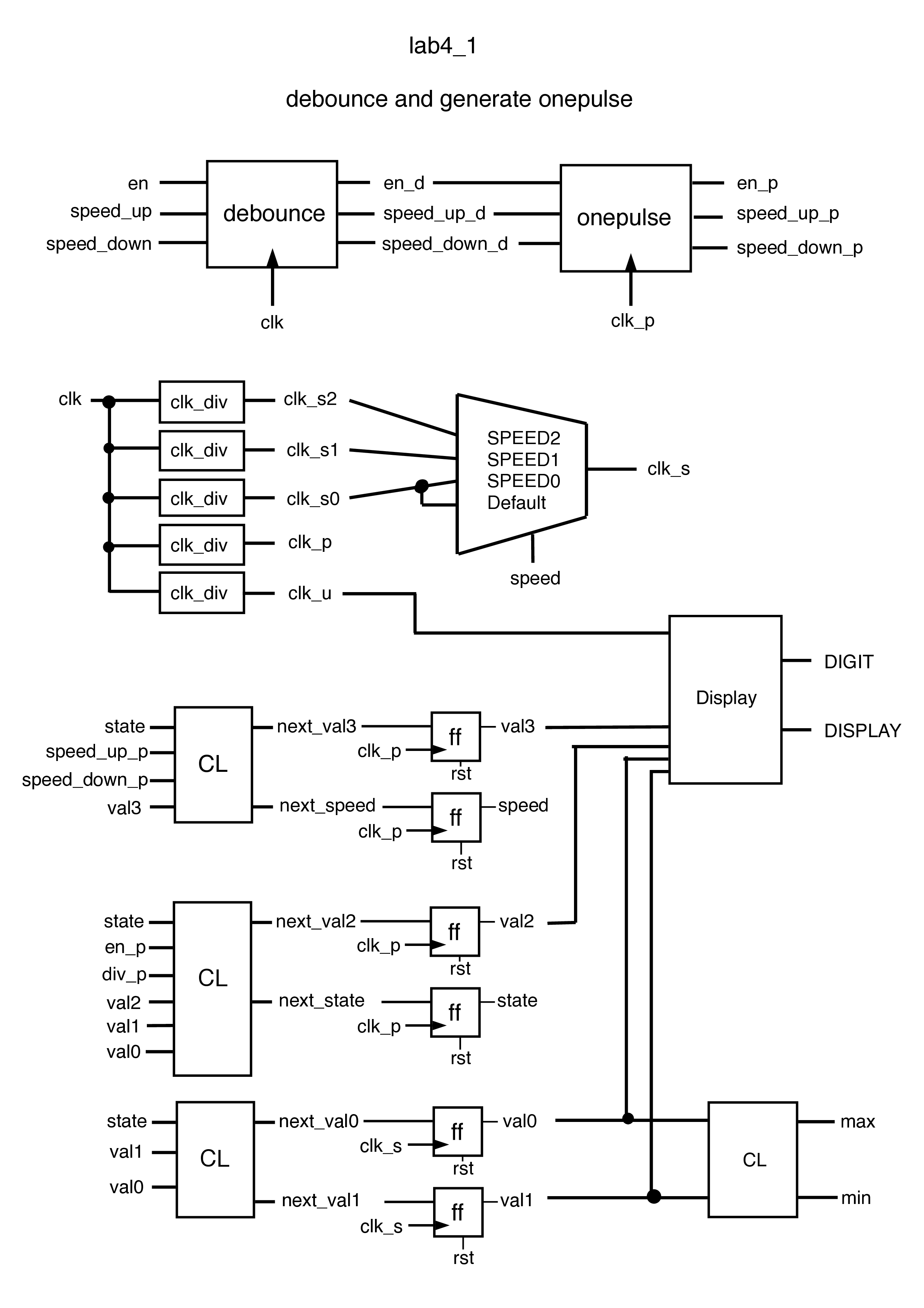
如下圖2，在這個module裡，我利用自製的clock\_divider製作出了5個不同頻率的時間訊號，分別為clk\_s2(4Hz)、clk\_s1(2Hz)、clk\_s0(1Hz)、clk\_p(5000Hz)、clk\_u(1000Hz)，而clk\_s是以speed來選擇接上何種時間訊號。接著我將以按鍵作為input的en, speed\_up, speed\_down，以頻率較高的原始clk先做debounced，再以與state相同時間訊號、頻率較低的clk\_p做onepulse，而dir雖然也是按鍵輸入，但因為是長壓來改變，所以不需要做處理。

我設計了6個flip-flop來儲存資訊，包括state、speed和4個數字，其中val3跟speed是連動的，val2跟state是連動的。如下圖1，speed有SPEED0、SPEED1、SPEED2等三種狀態，以up\_p和down\_p來轉換狀態，並以val3顯示目前的speed；state則有PAUSE\_INC、PAUSE\_DEC、INC、DEC等4種狀態，並以en\_p來開啟或結束暫停、長壓dir來切換成遞減模式，並以val2顯示目前是遞增還遞減，因此val3、speed、val2、state的時間訊號都是接上與onepulse相同的clk\_p，才能確保每次的onepulse恰好只被觸發一次。而val1和val0則是接上clk\_s，再根據state，以當前速度遞增或遞減。

最後會將4個數字和clk\_u接進自製的Display module，輸出DIGIT和DISPLAY，其中clk\_u的頻率為1000Hz，也就是refresh的頻率是250Hz。而另外兩個output，max和min直接接上val1和val0做判斷即可。



▲ 圖1

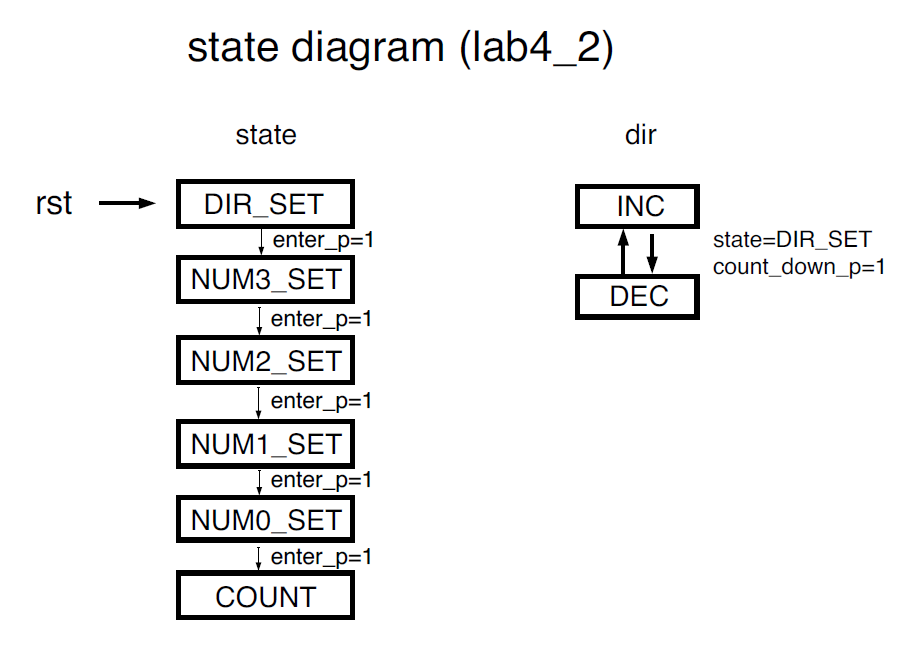


▲ 圖2

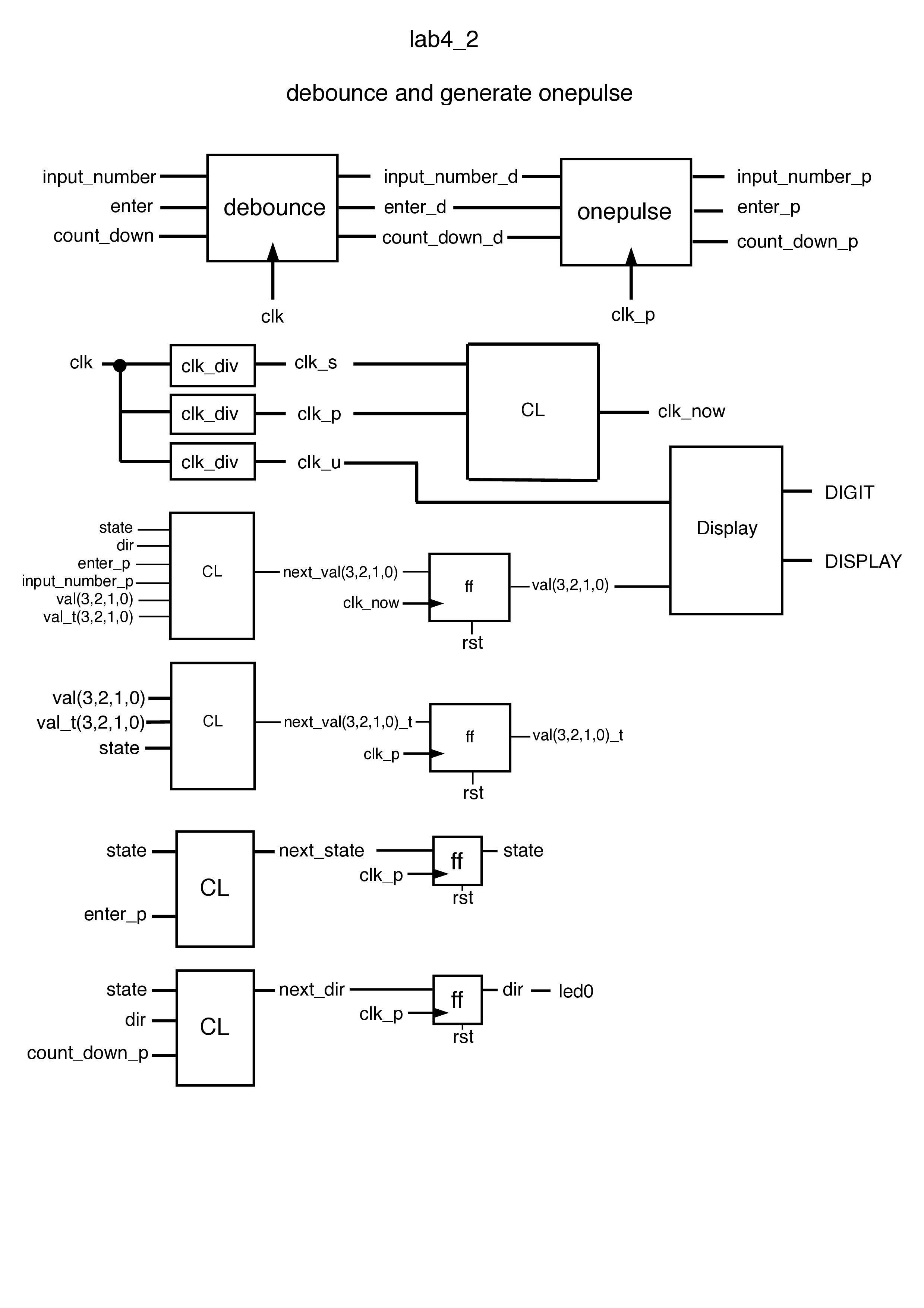
1. lab4\_2

如下圖4，這個module裡我製作了3個不同頻率的時間訊號，分別為clk\_s(10Hz)、clk\_p(5000Hz)、clk\_u(1000Hz)。接著將以按鍵作為input的input\_number、enter、count\_down做debounce和onepulse。

這邊我設計了10個filp-flop來儲存資訊，分別是state、dir、4個數字和4個目標數字，4個數字的時間訊號會接上clk\_now，而clk\_now在計時的時候會接上clk\_s，使更新頻率為10Hz，其他時候則接上與state相同的時間訊號clk\_p，以便感應按鍵的輸入；4個目標數字的作用為記錄我們所設定的時間，因此只有在數字設定時才會變化，時間訊號為clk\_p；state有6種狀態，如下圖3所示，分別為DIR\_SET、NUM3\_SET、NUM2\_SET、NUM1\_SET、NUM0\_CET、COUNT，皆是以enter\_p的輸入進到下一個狀態；dir則有2種狀態，為INC和DEC，記錄了在DIR\_SET設定的方向。最後DIGIT與DISPLAY的輸出方式與上一個module相同。



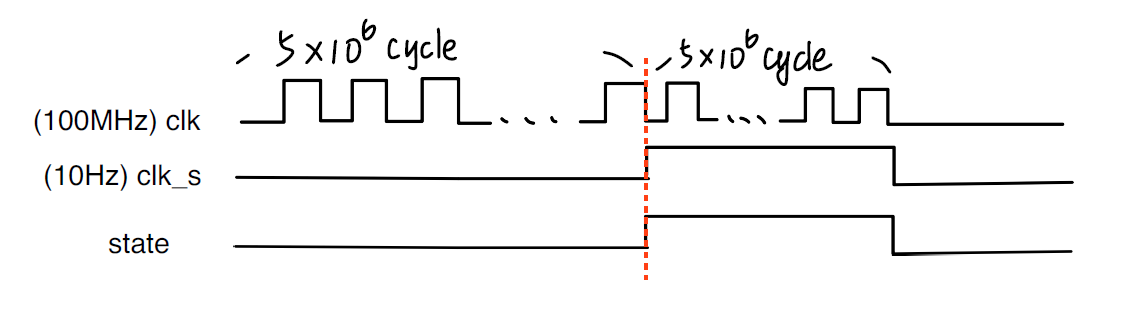
▲ 圖3



▲ 圖4

1. Bonus

我設計出的clock\_divider，會傳入一個參數s，其代表幾個cycle後要變化state的值，因此2s即為除頻的倍率，如下圖5所示，傳入的 ，除頻的倍率即為 倍，恰好將100MHz的clk除頻成頻率為10Hz、週期為0.1秒的訊號。



▲ 圖5

1. 學到的東西與遇到的困難

在這次lab中，我遇到最大的問題在於調整按鍵的感應，一開始以100MHz的clk作為debounce、onepulse、state的時間訊號時，按鍵有時會未感應，有時會連續感應兩次；而後來將debounce和onepulse調至等級的clk後，卻又沒將state一併調整，使state會連續感應到好幾次輸入；後來才知道原來debounce和onepulse也能使用不同的clk，最後將頻率最高的100MHz設為debounce的clk，等級的頻率設為onepulse、state的clk，即得到了最佳效果。

1. 想對老師或助教說的話

請問是誰殺了喜？

…

…

…

…

…

…

…

…

…

…

…

…

…

…

…

…

…

…

吉能，因為吉能殺喜