111-1 535313

進階可程式邏輯系統設計與應用

Advanced Programmable Logic System Design and Application

實驗編號 : LAB 05

Memory Blocks

實驗名稱 : Substitute dual-port memory by single-port memory

結報完成日期 : 2022.11.11

姓名 : 王語

系級 : 機械四

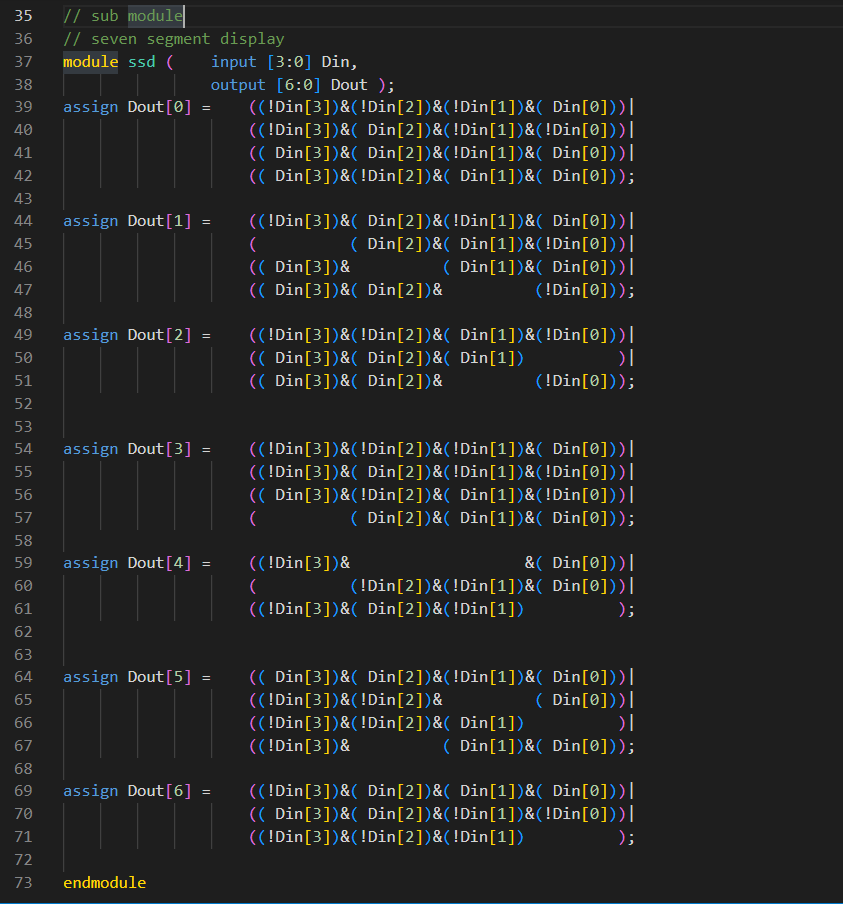
學號 : 0811127

1. 實驗目的

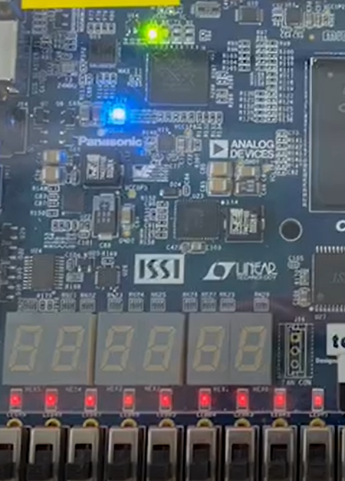
了解FPGA中Memory blocks 的使用以及功能差異，藉由加入Quartus II 現有 RAM IP 練習相關操作，熟悉運作原理。

1. Verilog 程式碼





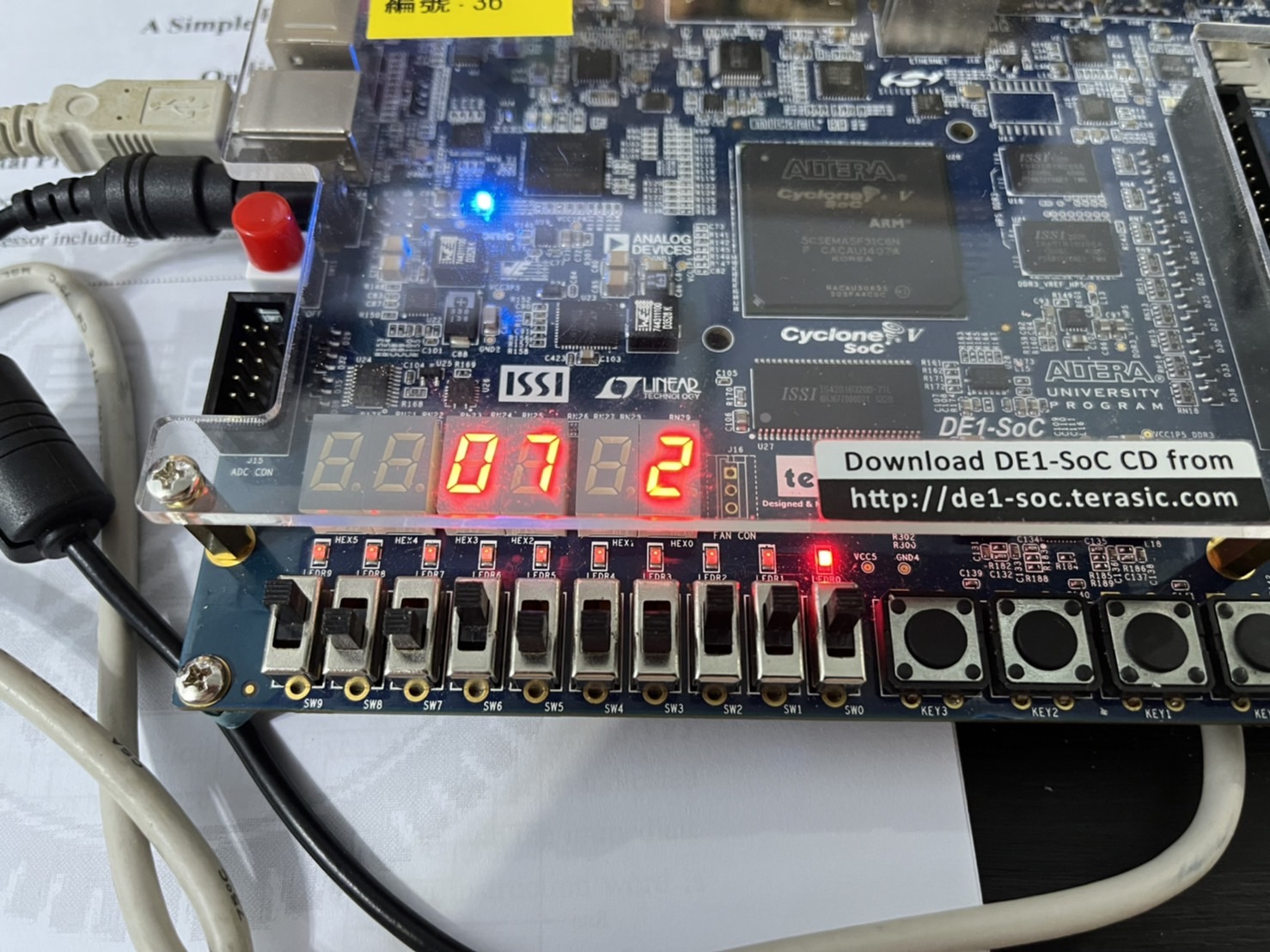
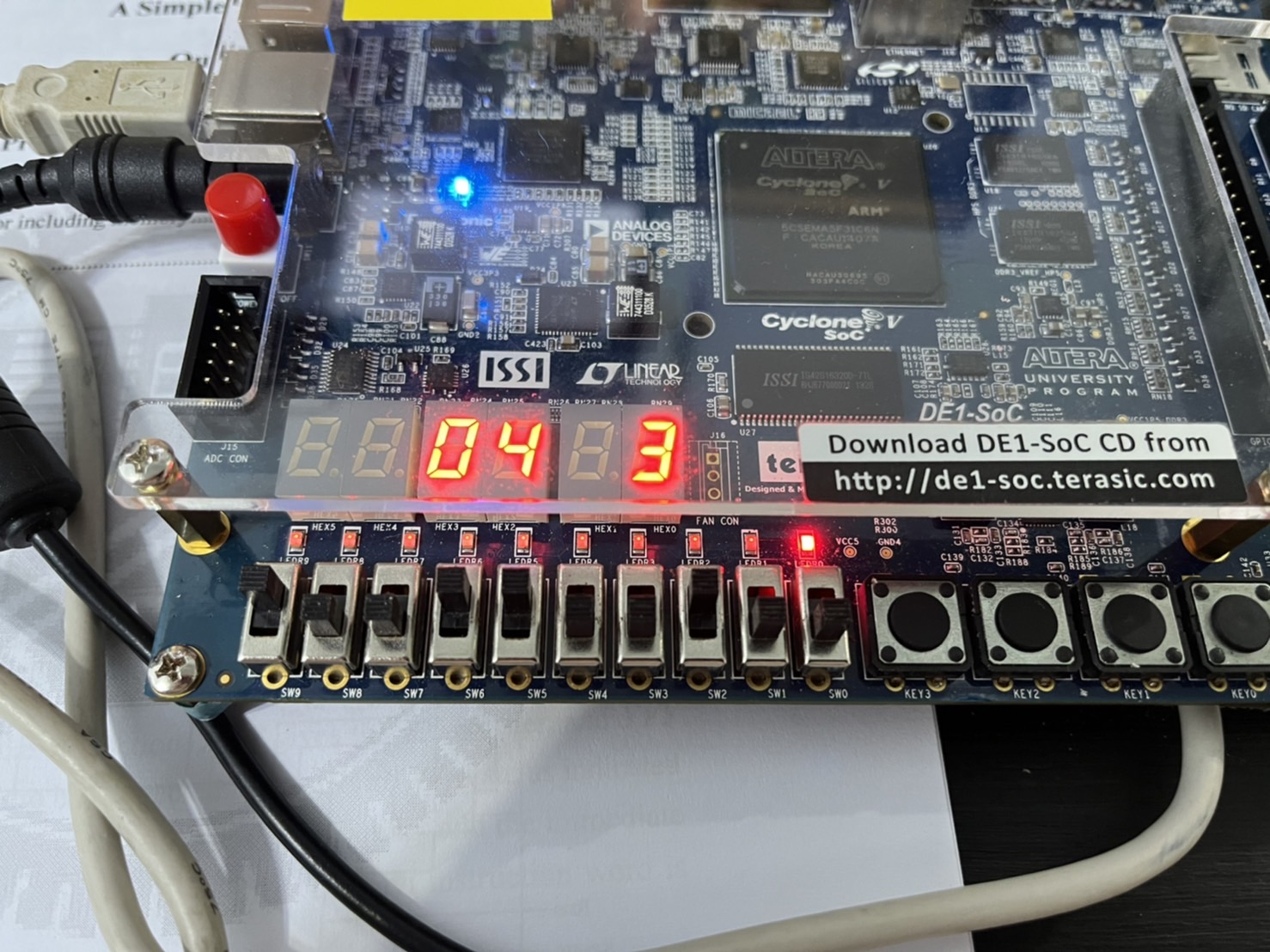
1. 實驗結果

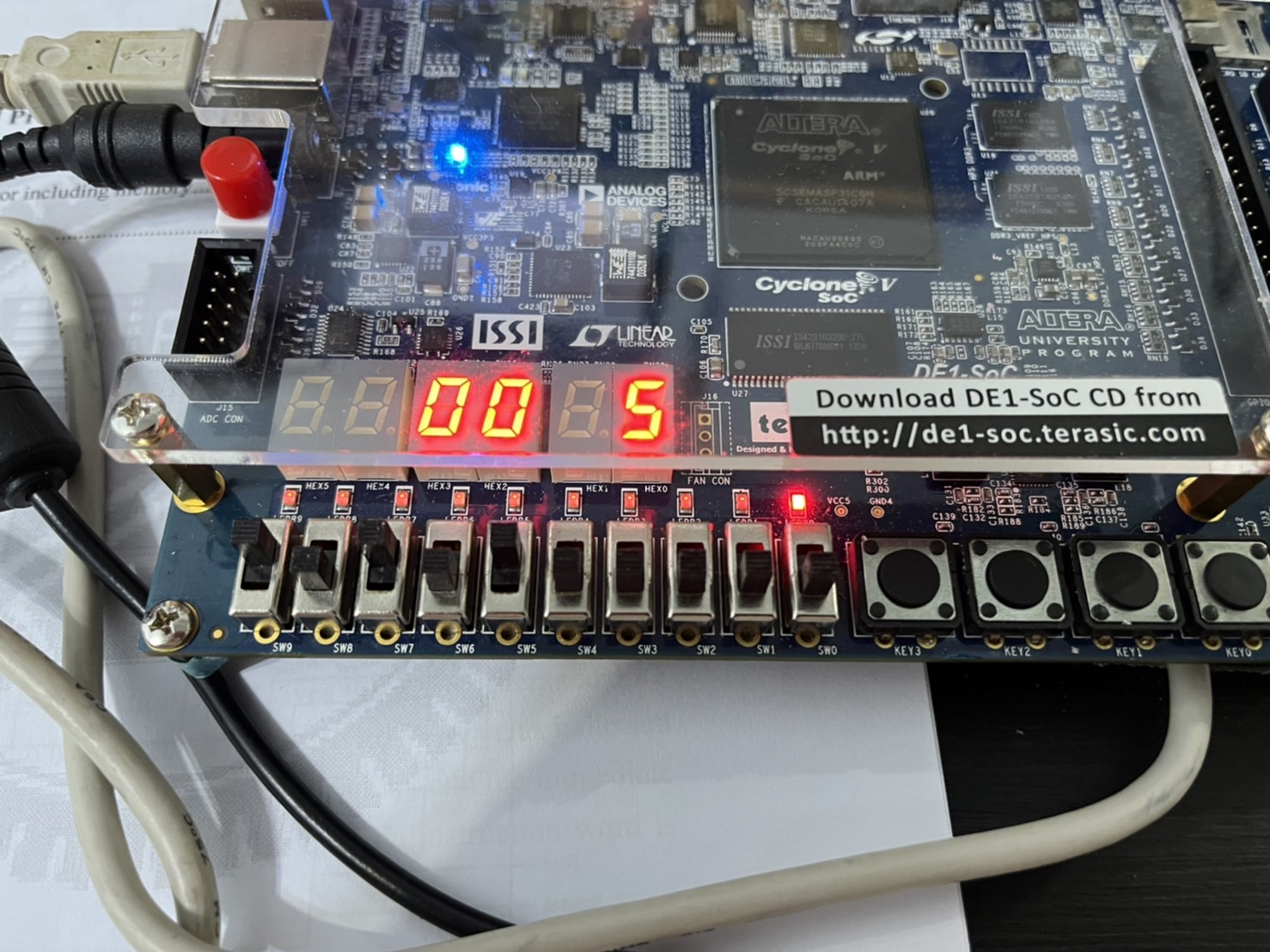
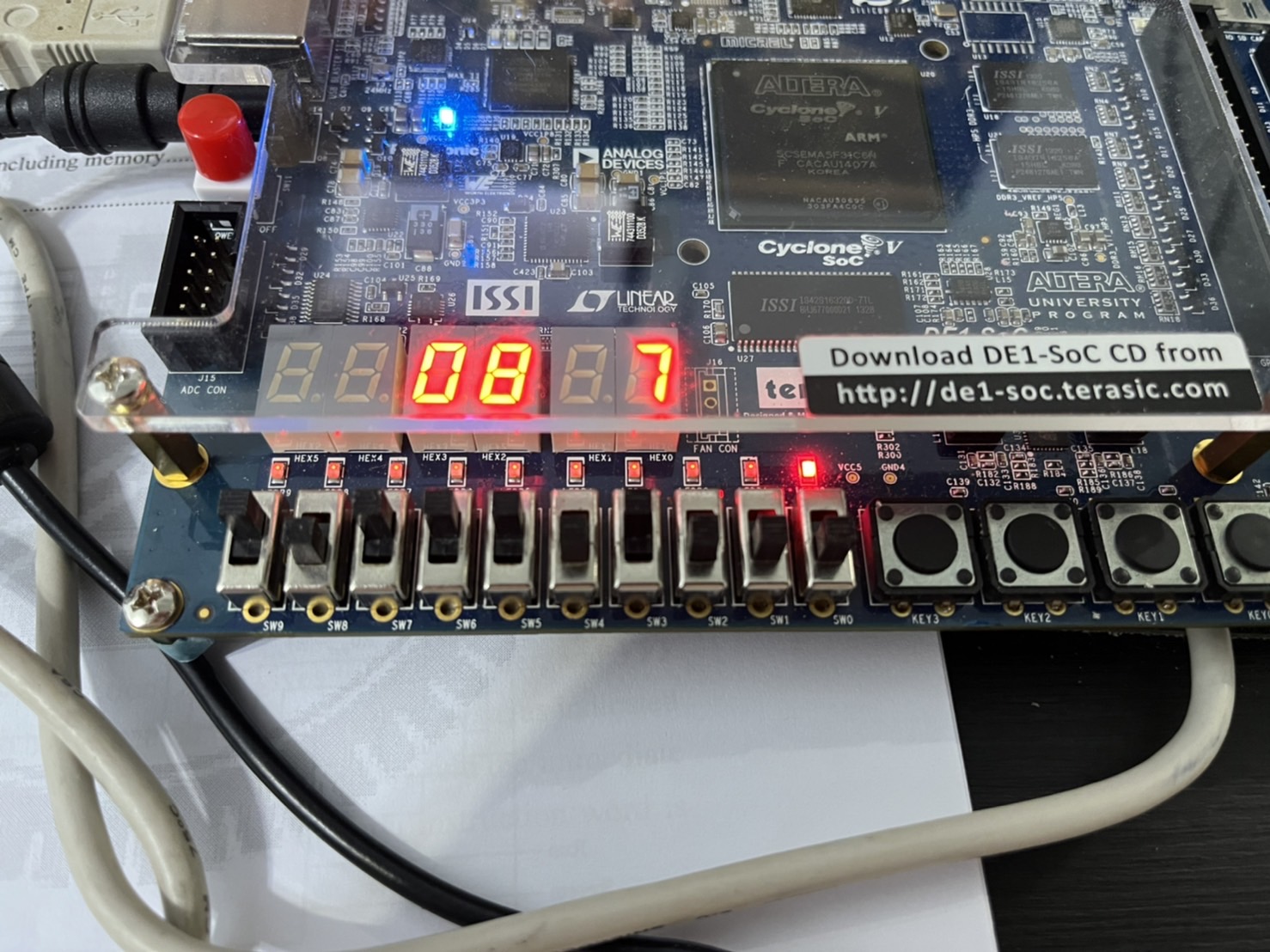


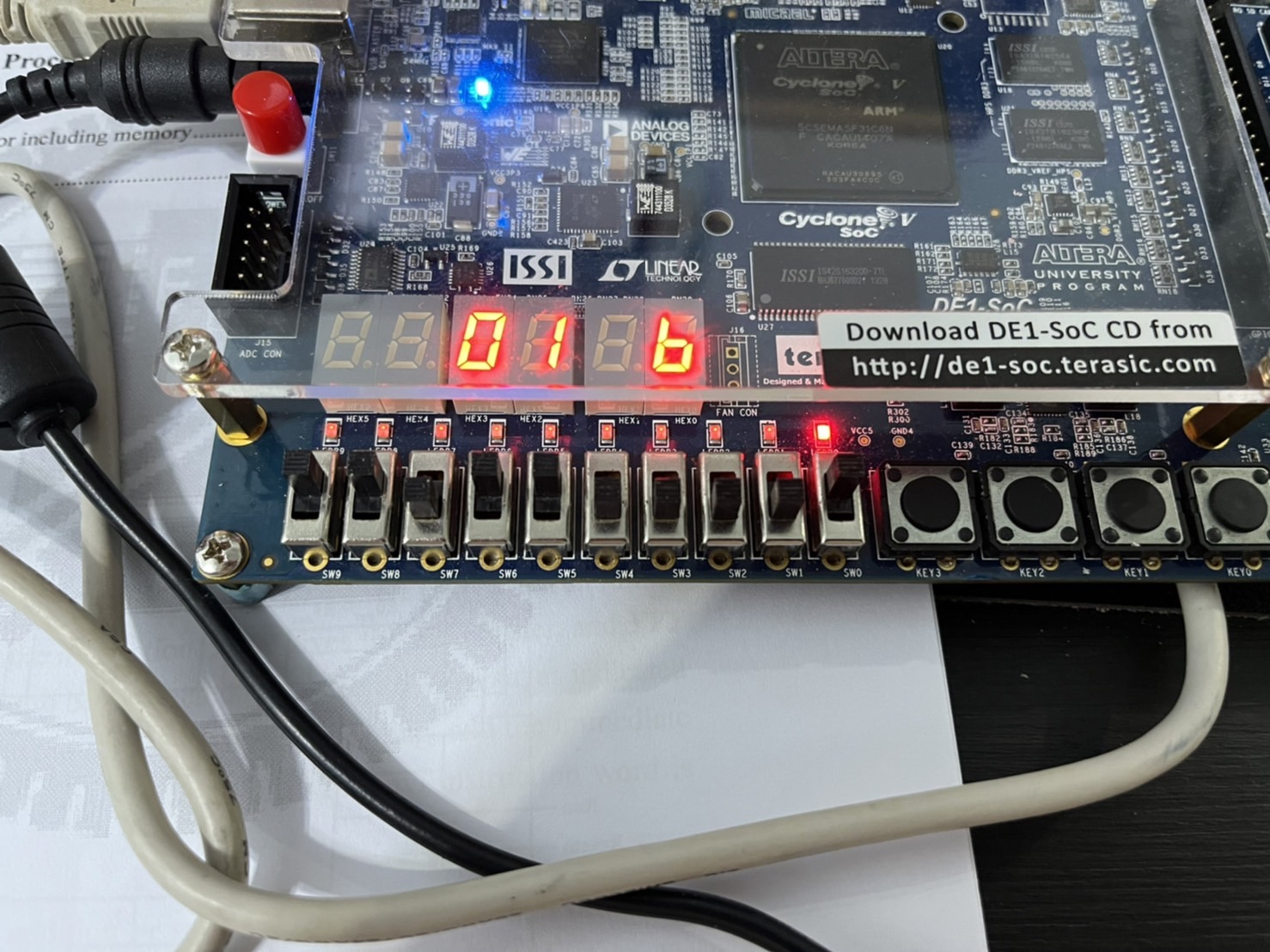
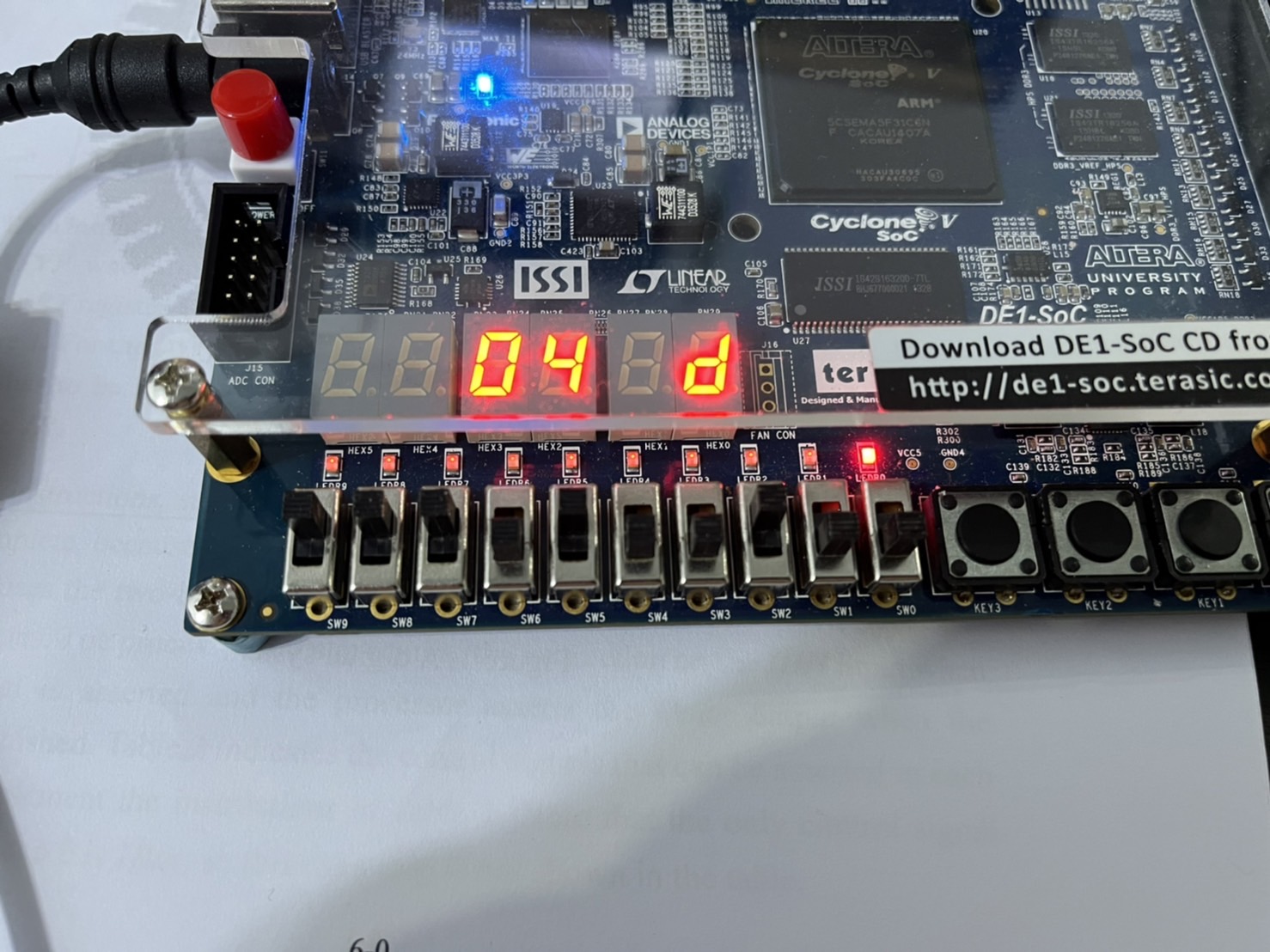
燒錄中

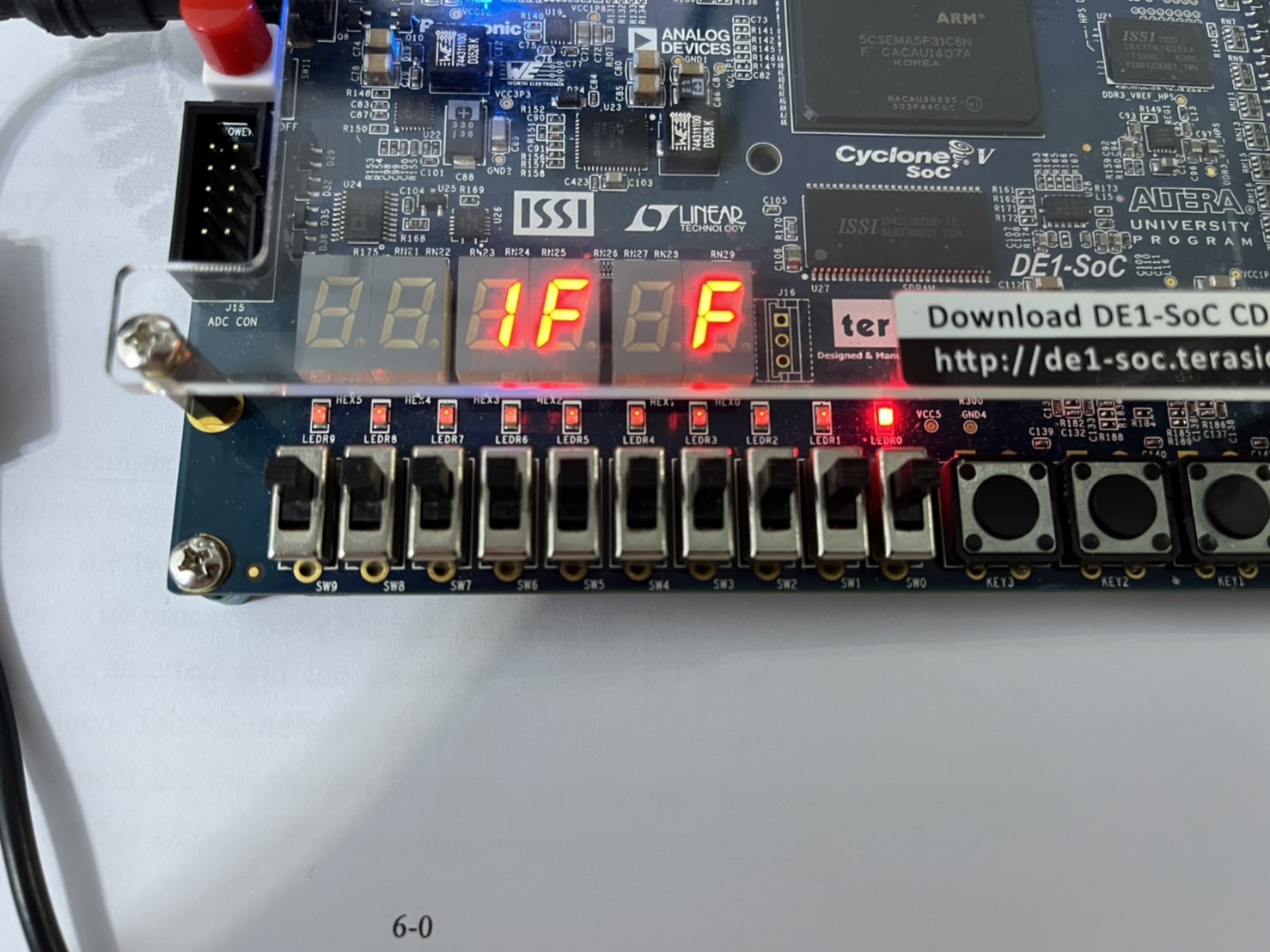
燒錄完成

SW[9] = 1 (寫入數值)

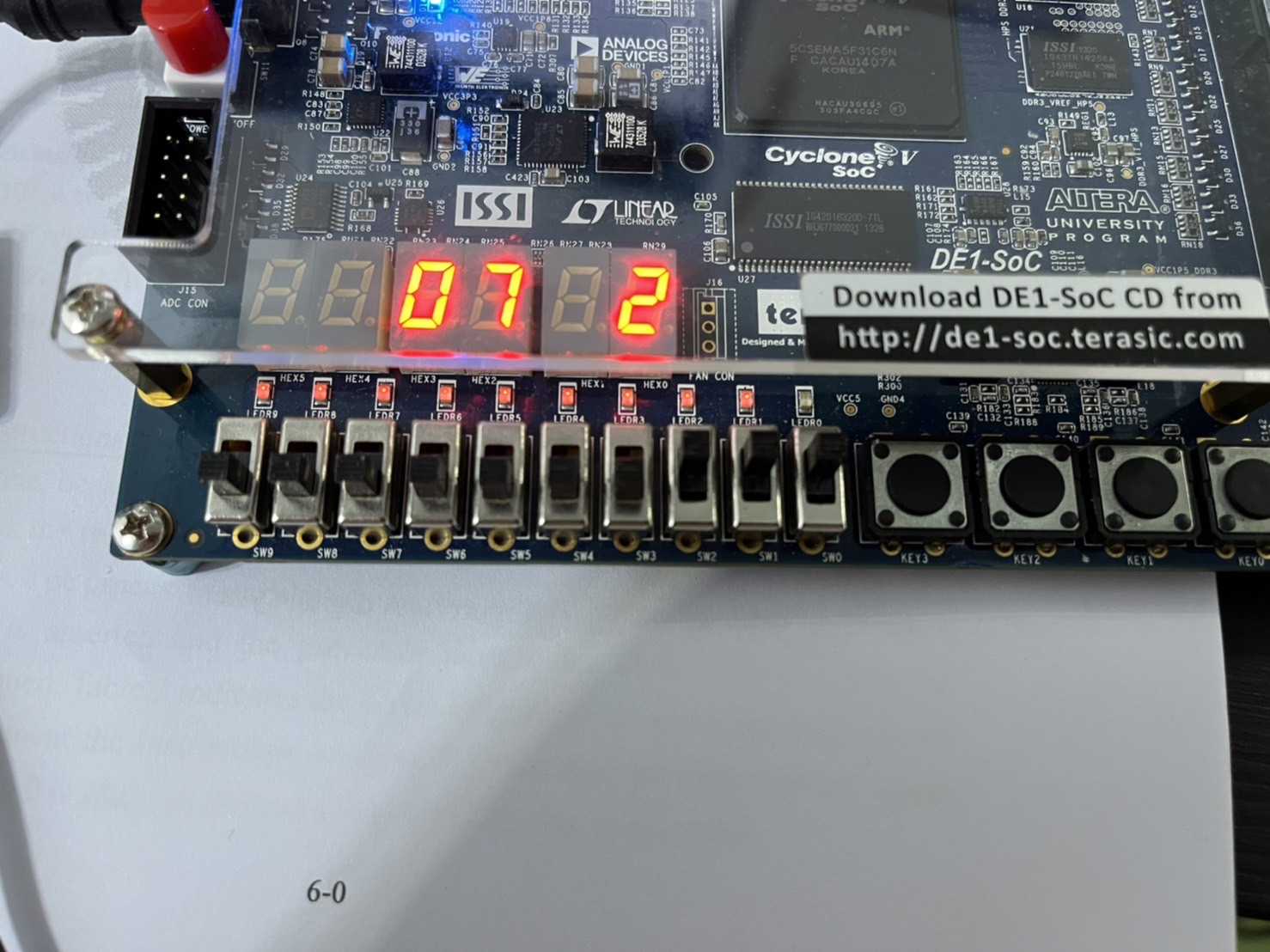
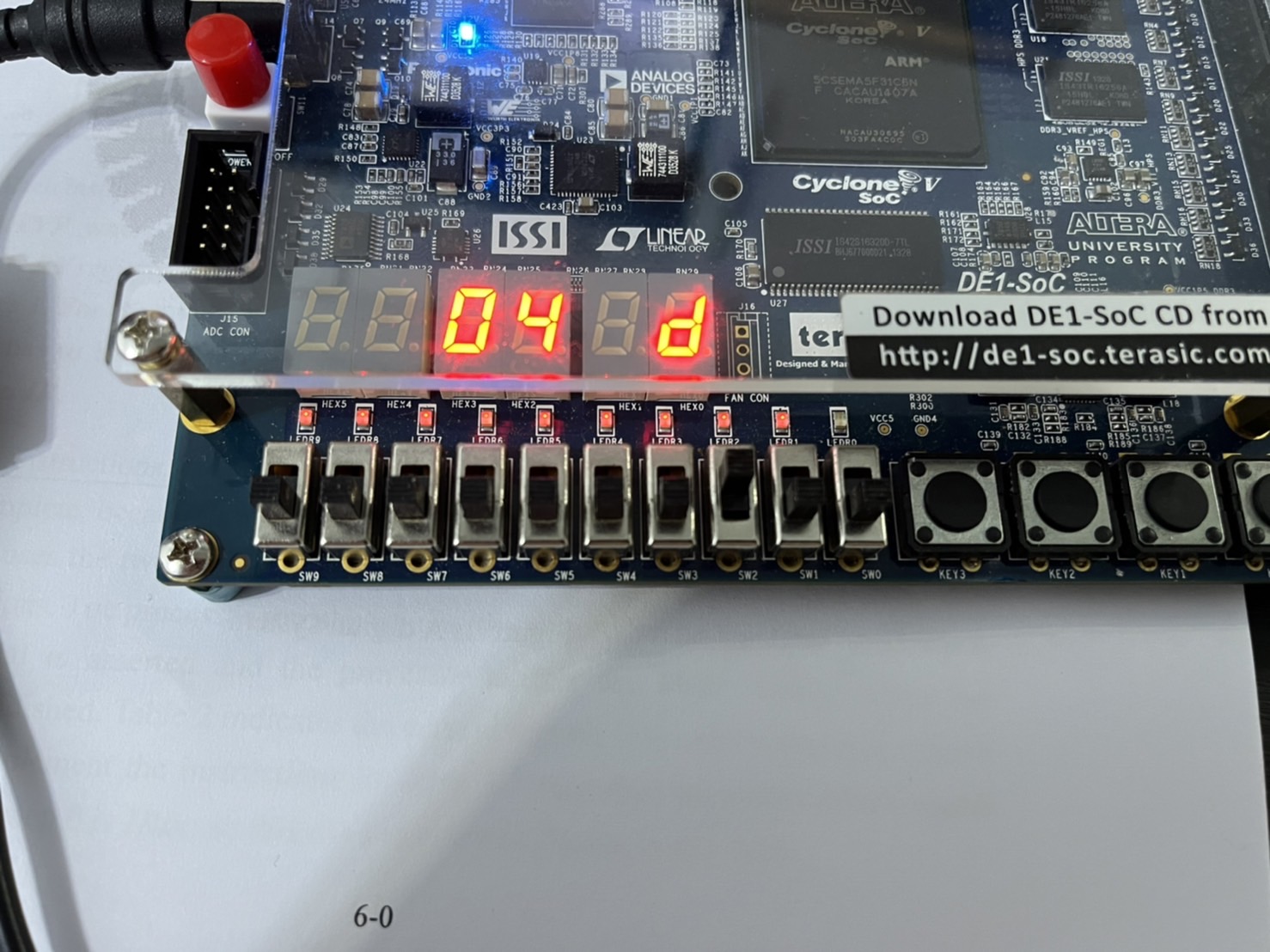


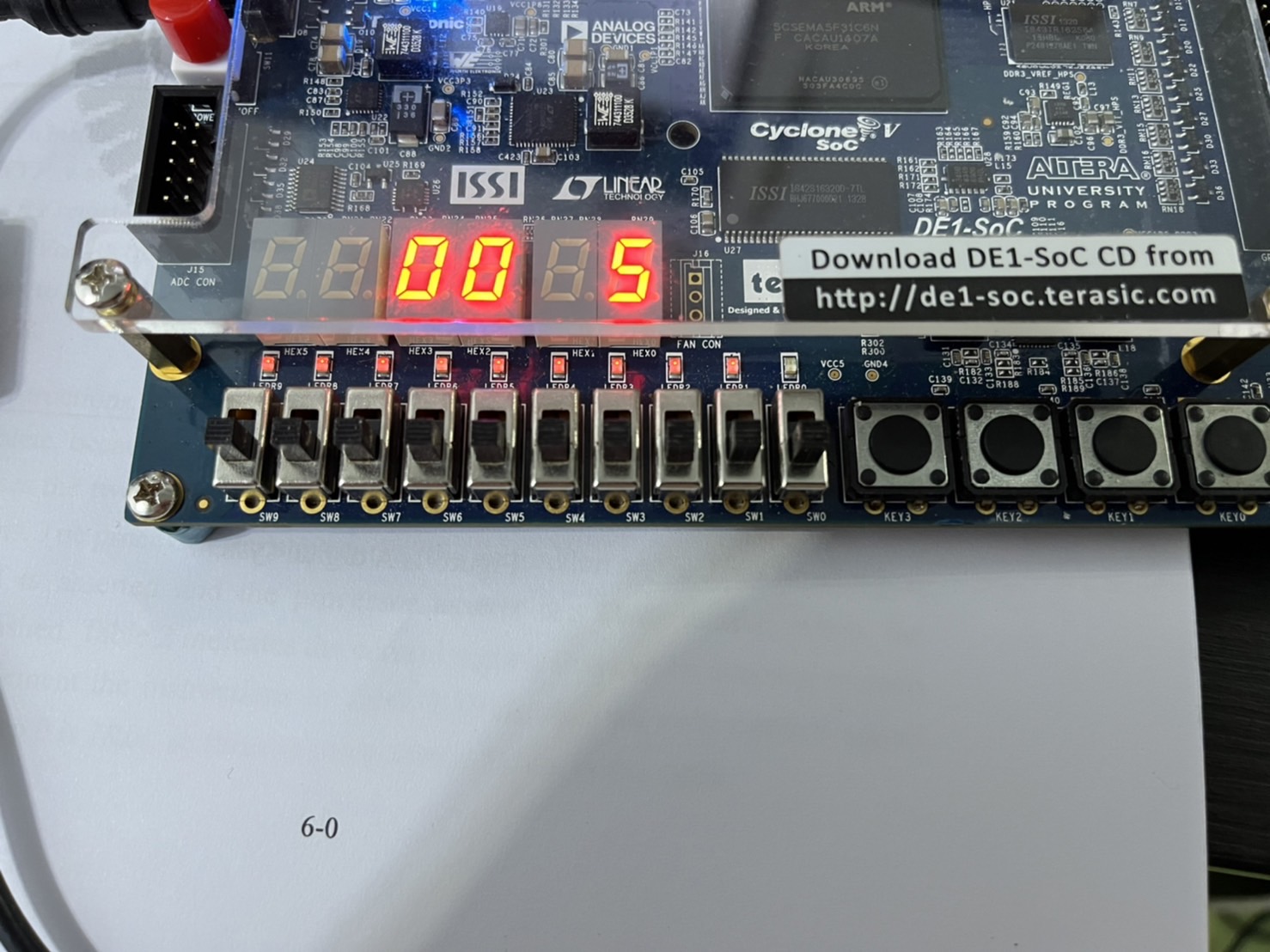
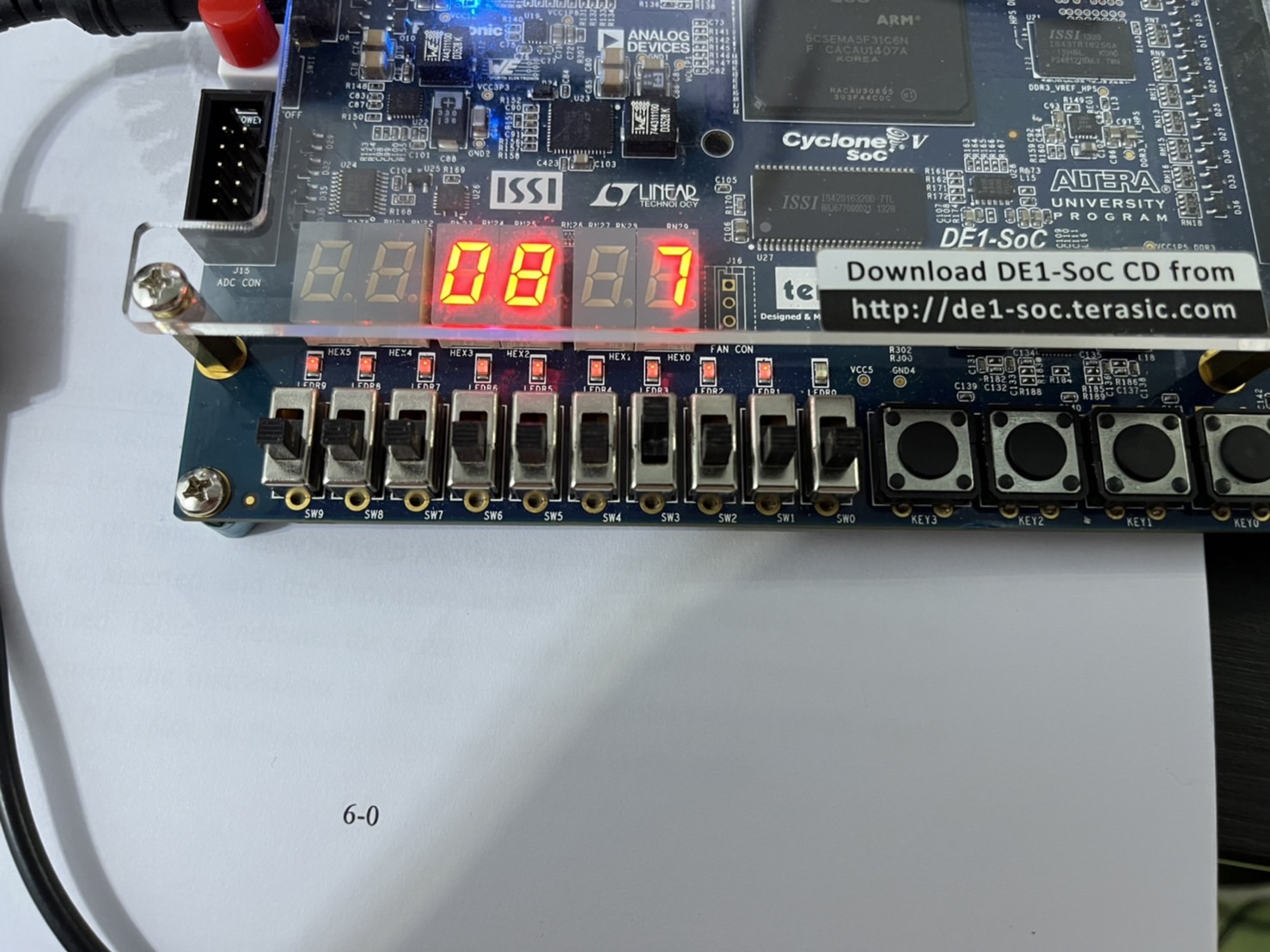


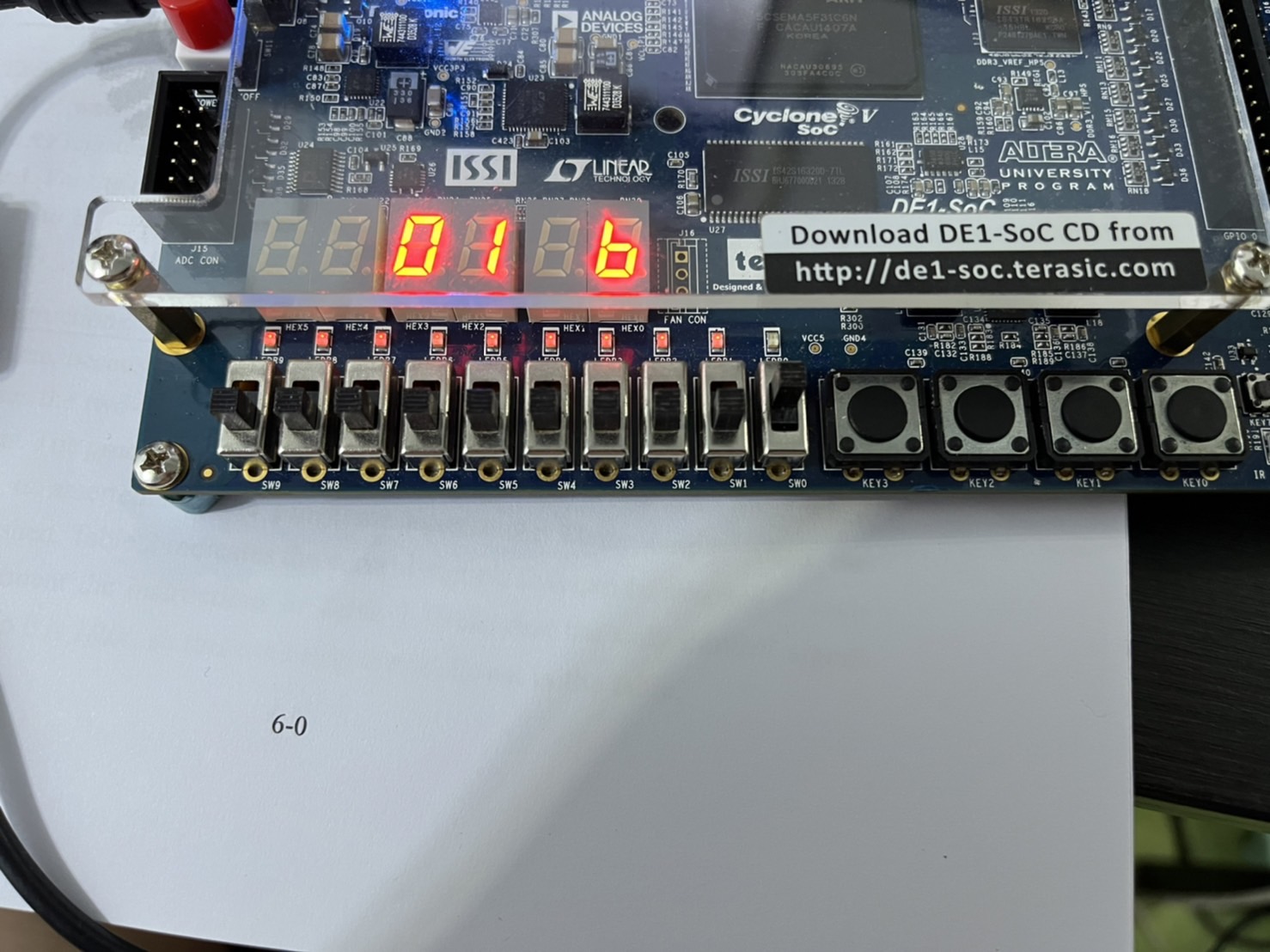
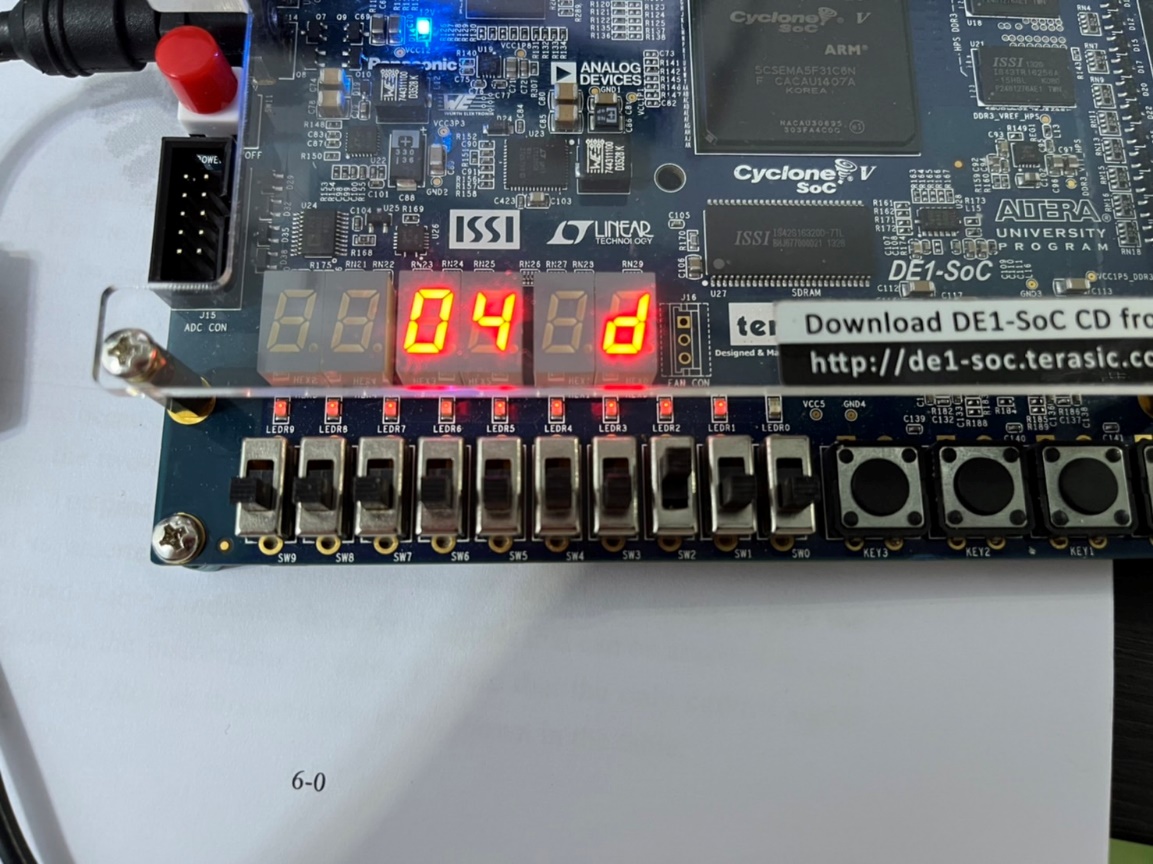


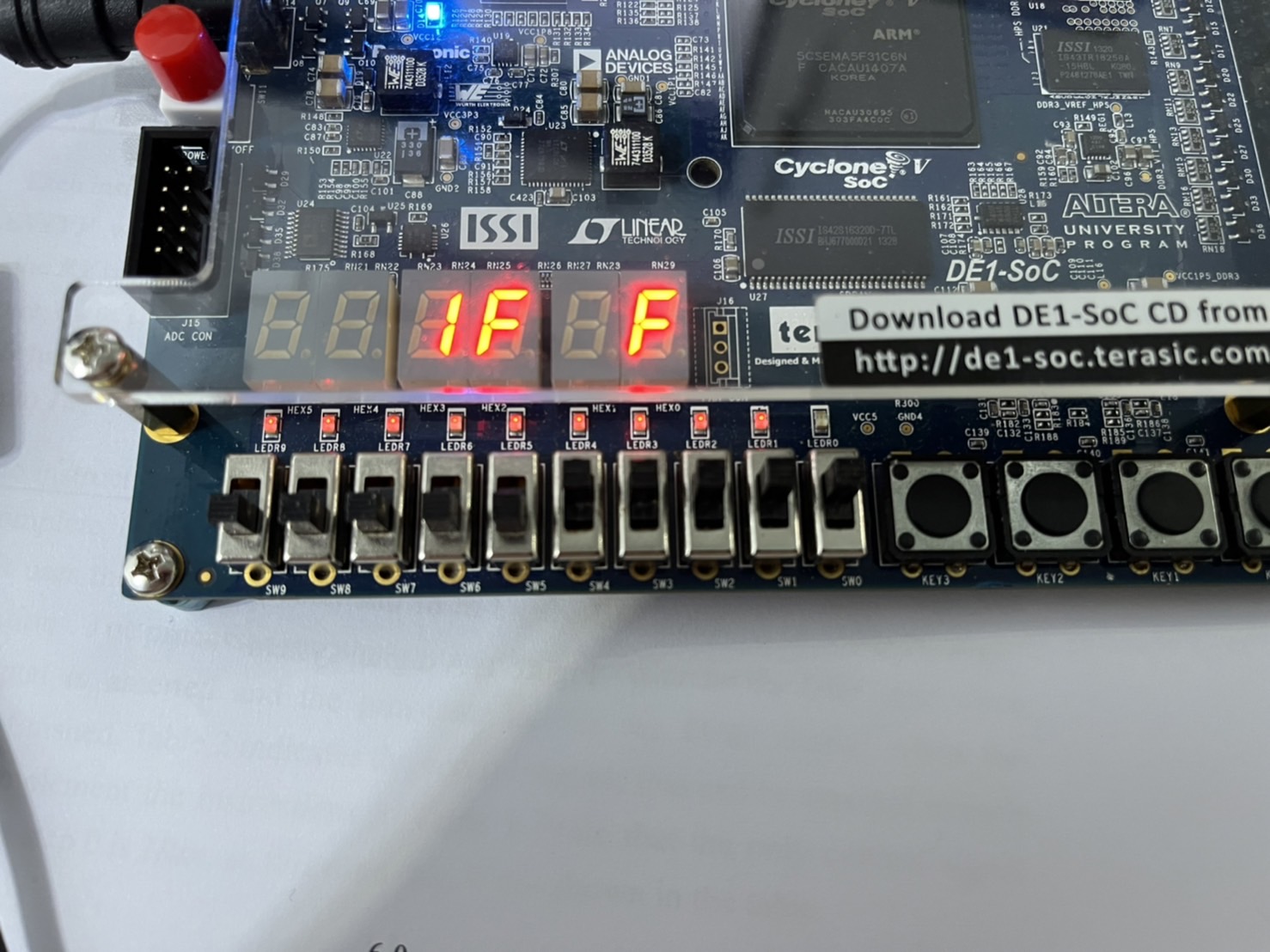


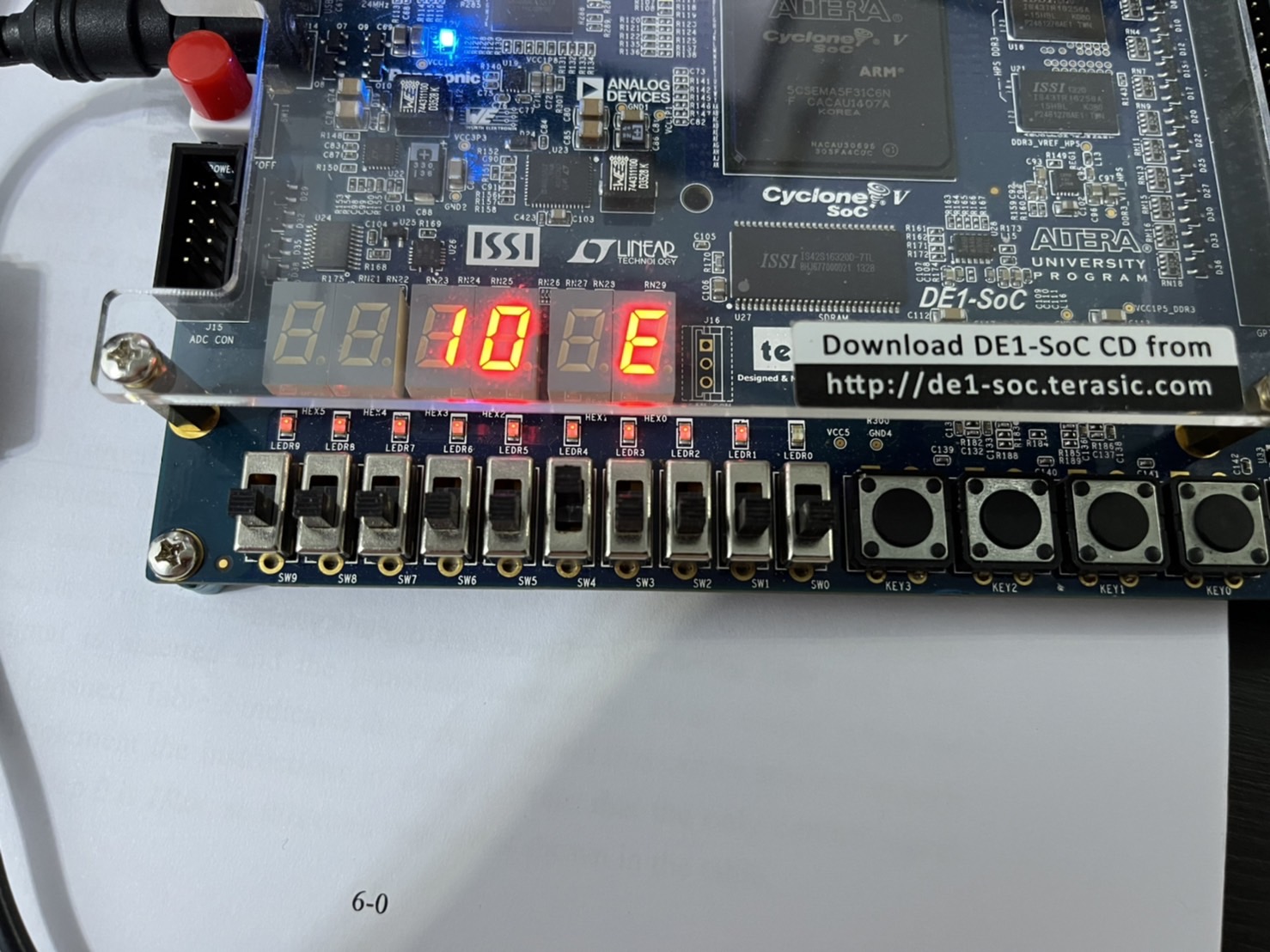
SW[9] = 0 (不寫入數值，查看該地址存取數值)



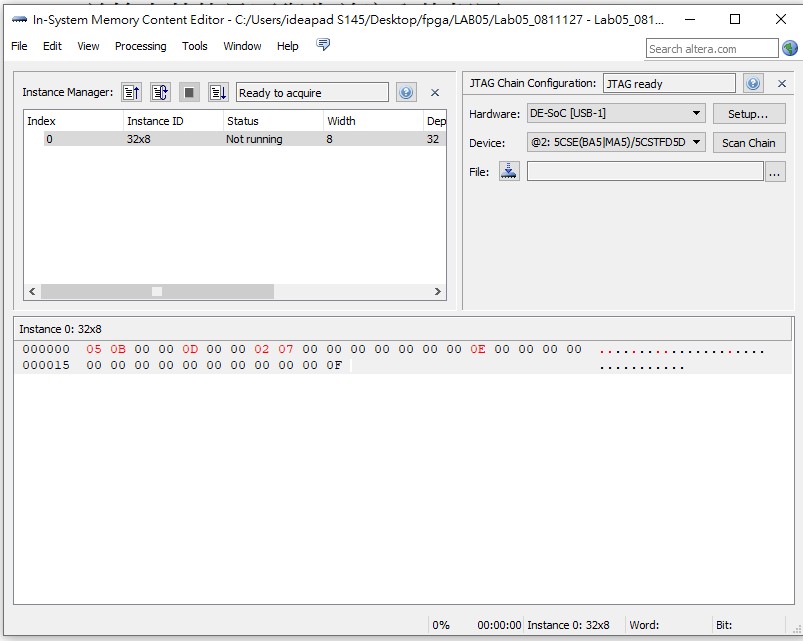




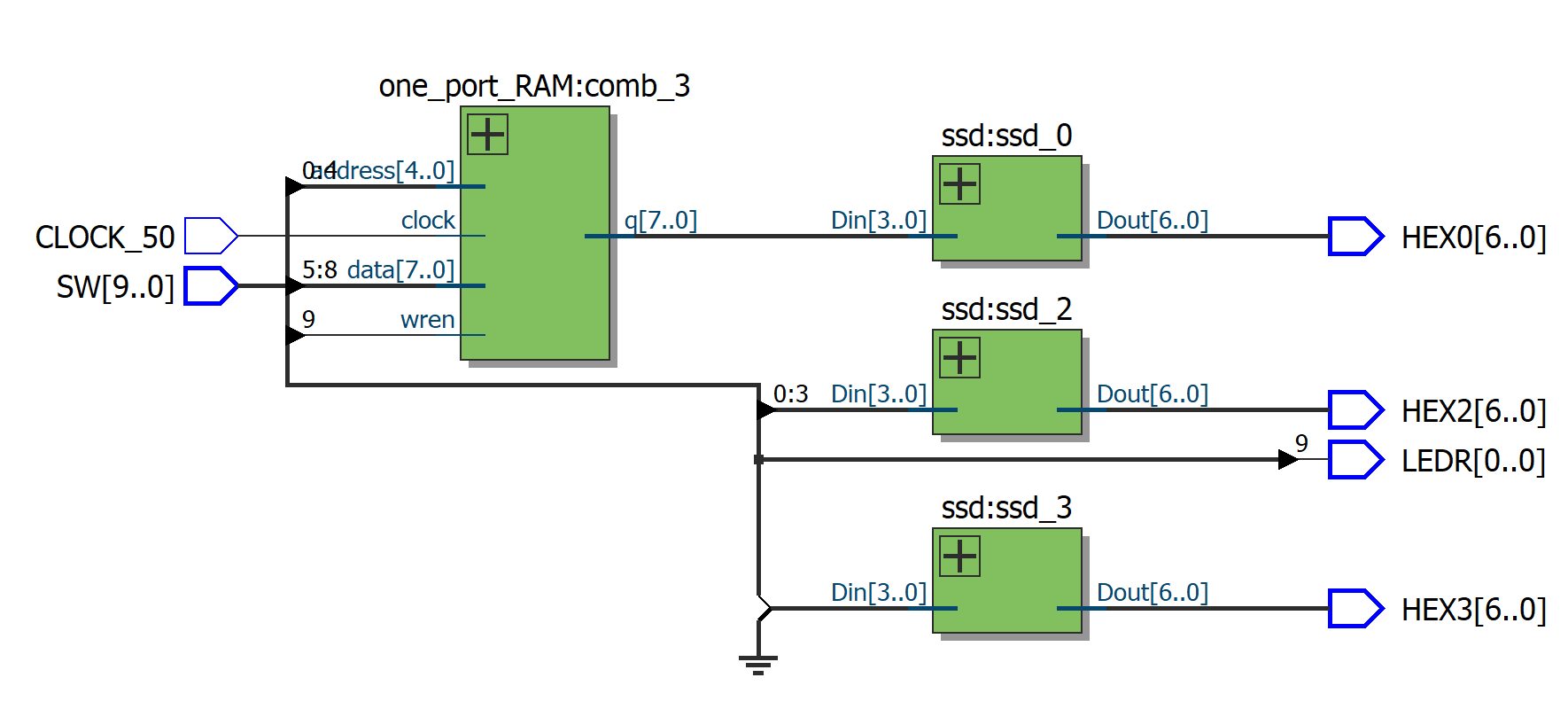




於Quartus上展示RAM內之值

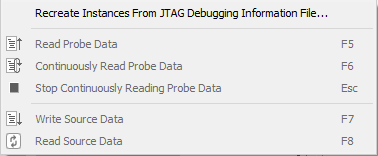


1. RTL



1. 問題與討論

這次實驗卡關最久的地方在設定，由於沒有設定好，在In-System Memory Content Editor 視窗一值無法讀取RAM內的數值。



首先是Allow In-System Memory Content Editor 找不到CYCLONE\_SAFE\_WRITE，看了半天才知道那個設定原來要自己輸入。

其次，在In-System Memory Content Editor 視窗內也找不到

USB-Blaster 的裝置，但經過裝置管理員一連串自動偵測與設置後，成功以USB連接DE1-SOC。

而程式部分需要多注意IP的導入，要記得加入在專案內，這樣module才能順利被使用。

1. 心得

這次實驗很簡單，因為先前已經熟悉IP的導入，因此在程式中加入現有single-port RAM 易如反掌，而這次實驗也就這樣順利完成了。