111-1 535313

進階可程式邏輯系統設計與應用

Advanced Programmable Logic System Design and Application

實驗編號 : LAB 02

實驗名稱 : Time-of-day clock

結報完成日期 : 2022.10.17

姓名 : 王語

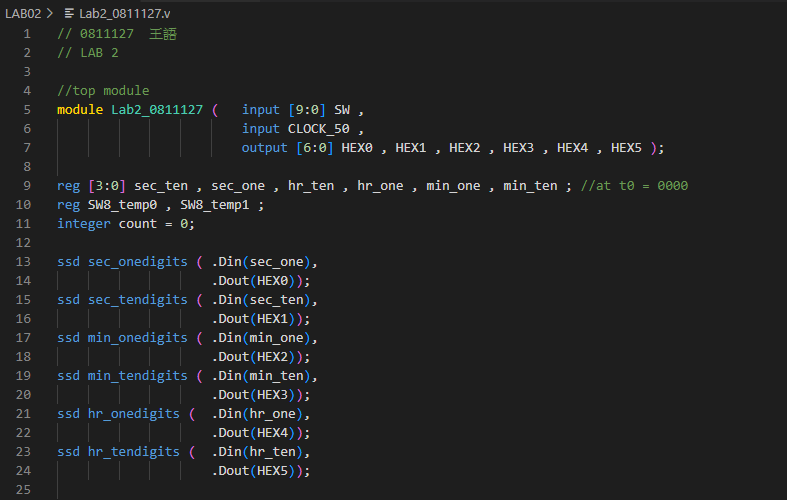
系級 : 機械四

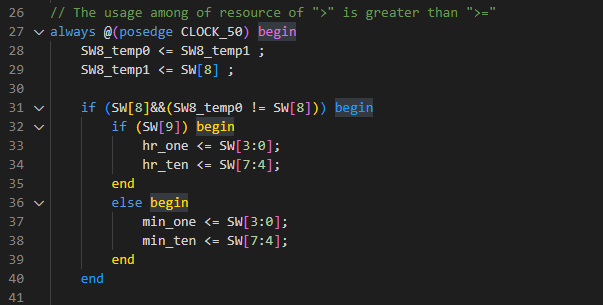
學號 : 0811127

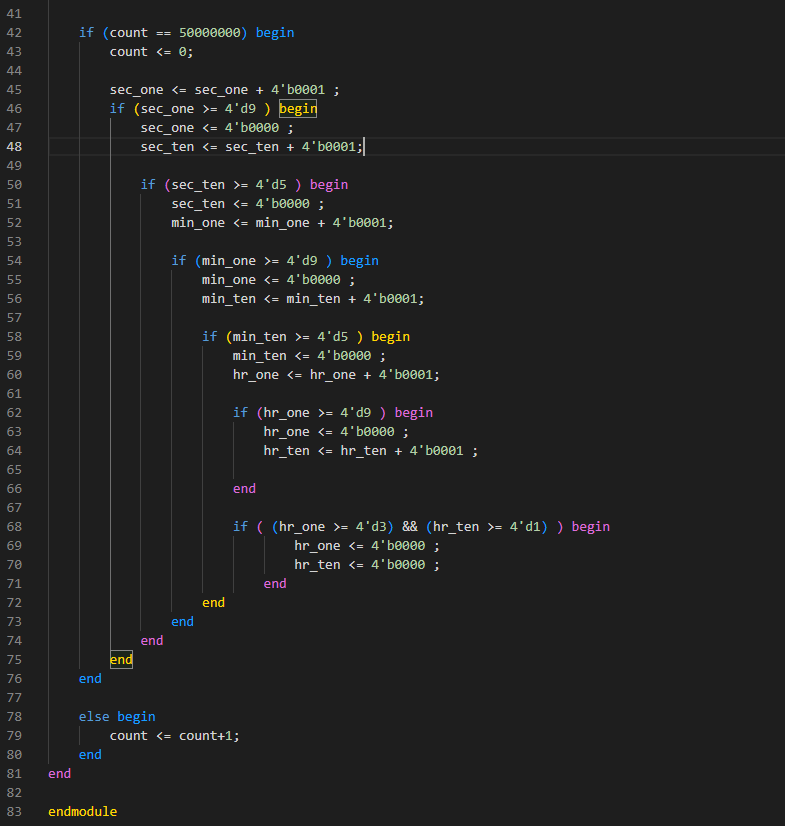
1. 實驗目的

本實驗藉由D latch接觸時序電路，並藉由多種方法描述計數器，了解不同構造下計數器性質的差異，也嘗試了Quartus IP Library 的使用，而在最後的 Time-of-day clock 實驗中也練習到多個正緣觸發的使用，並且複習BCD碼的進位與換算。

1. Verilog 程式碼

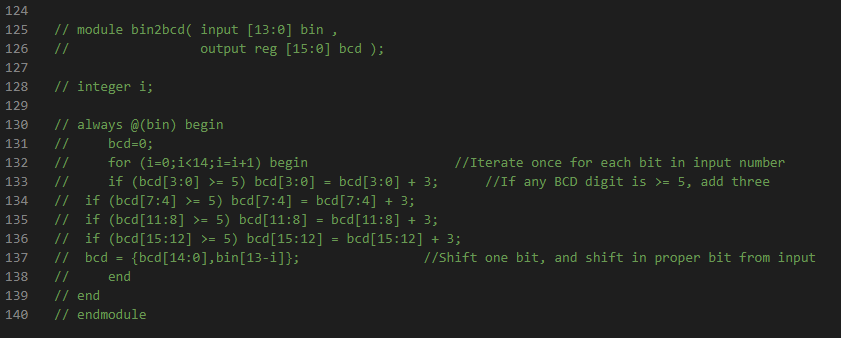








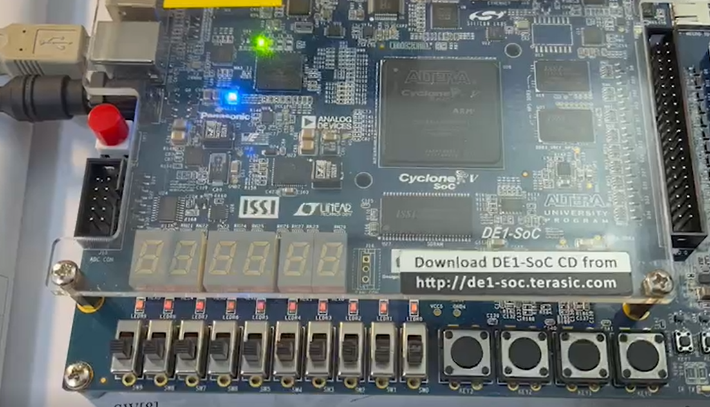
下面這些沒用到



1. 實驗結果

由於這次的實驗結果是動態的，因此附上影片連結: https://pse.is/4jnny7

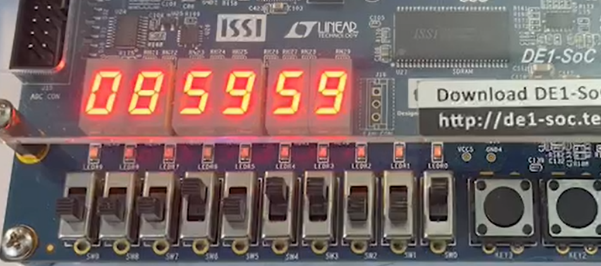
燒錄前(亮綠燈)



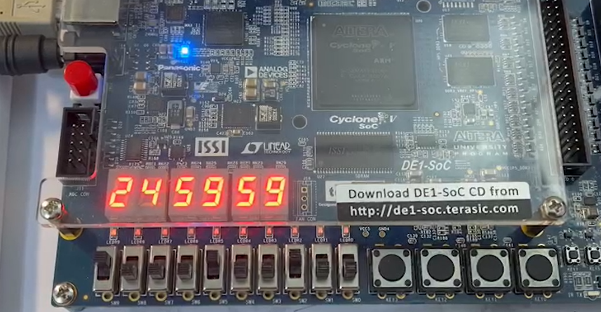
00:24:59 >>



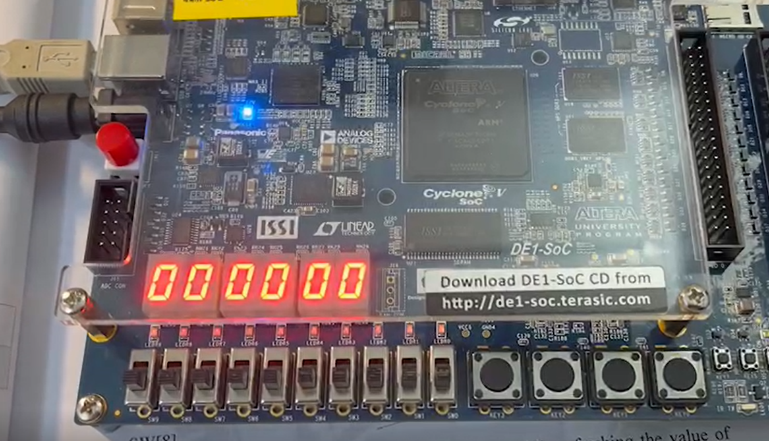
08:59:59>>



24:59:59>>



剛燒錄完成(起始狀態)



00:25:00



09:00:00

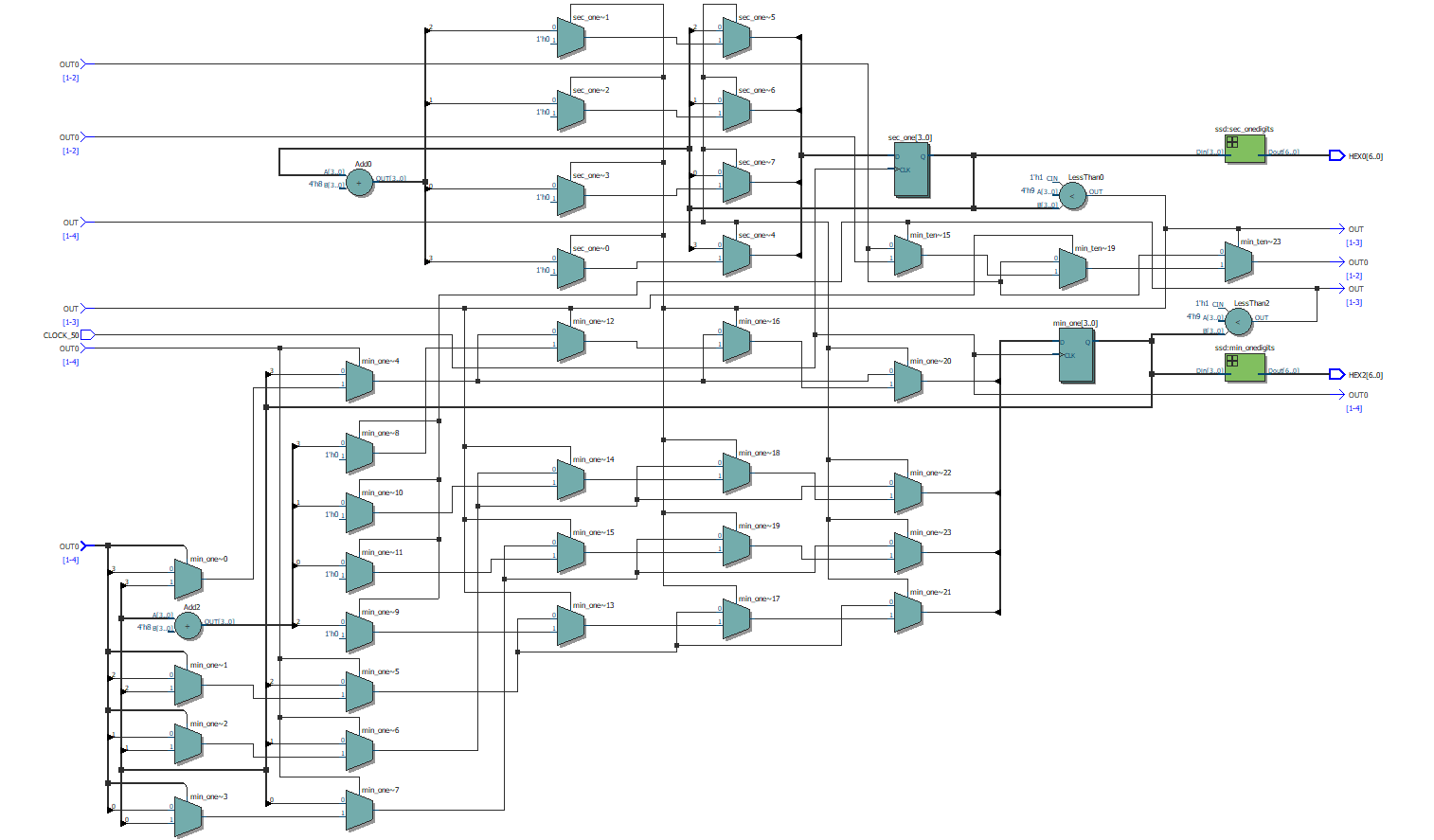


00:00:00



1. RTL

PDF檔: https://pse.is/4jnny7



1. 問題與討論
2. 整個實驗困惑最久的地方，就是如何設計SW8的正緣觸發，使得SW8變為1的時候能夠設定時和分的數值，因為這項功能比須和always @(posedge clk)包在一起，否則會出現重複賦值的情況，但是又沒有if (posedge SW[8])這種語法，於是我宣告另外兩個變數SW8\_temp0和SW8\_temp1，利用Flip-Flop延遲一個CLK，即可以SW[8]&&(SW[8]!=SW8\_temp0)完成正緣觸發判斷。
3. 另外就是在Always裡面不能接submodule，這次實驗犯了這個毛病，導致鬼打牆，一直抓不出bug。
4. 最後是wire和reg的一些規則，像是assign 等號左邊一定要是wire，在透過網路資源複習語法後就解決這些問題了。
5. 心得

因為沒有仔細把題目看清楚，導致繞了不少路，一直以為要用switch以二進制的方式輸入數值，花了很多時間設計binary to BDC的電路，結果最後才發現用不到。但實驗過程中獲得相當豐富的成果，也讓我成就感滿滿，雖然因為確診沒有如期DEMO，但最後還是順利完成實驗，也謝謝助教細心教學與批閱。