111-1 535313

進階可程式邏輯系統設計與應用

Advanced Programmable Logic System Design and Application

實驗編號 : 期末專題

實驗名稱 : D5M相機和不簡單的外部記憶體使用

結報完成日期 : 2022.10.16

姓名 : 王語

系級 : 機械四

學號 : 0811127

1. 實驗目的

考驗學生查找資源以及閱讀開源文件之能力，此外這也是較有規模的專案開發，是一個策畫架構的好練習。

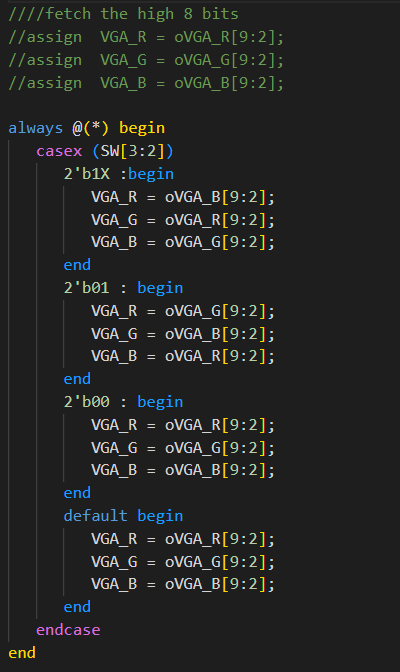
此實驗涉及影像捕捉以及VGA顯示原理，需熟悉bayer code 如何轉換成RGB888格式，並且配置相關記憶體區間，確保每一次顯示畫面都是完整的。

1. Verilog 程式碼

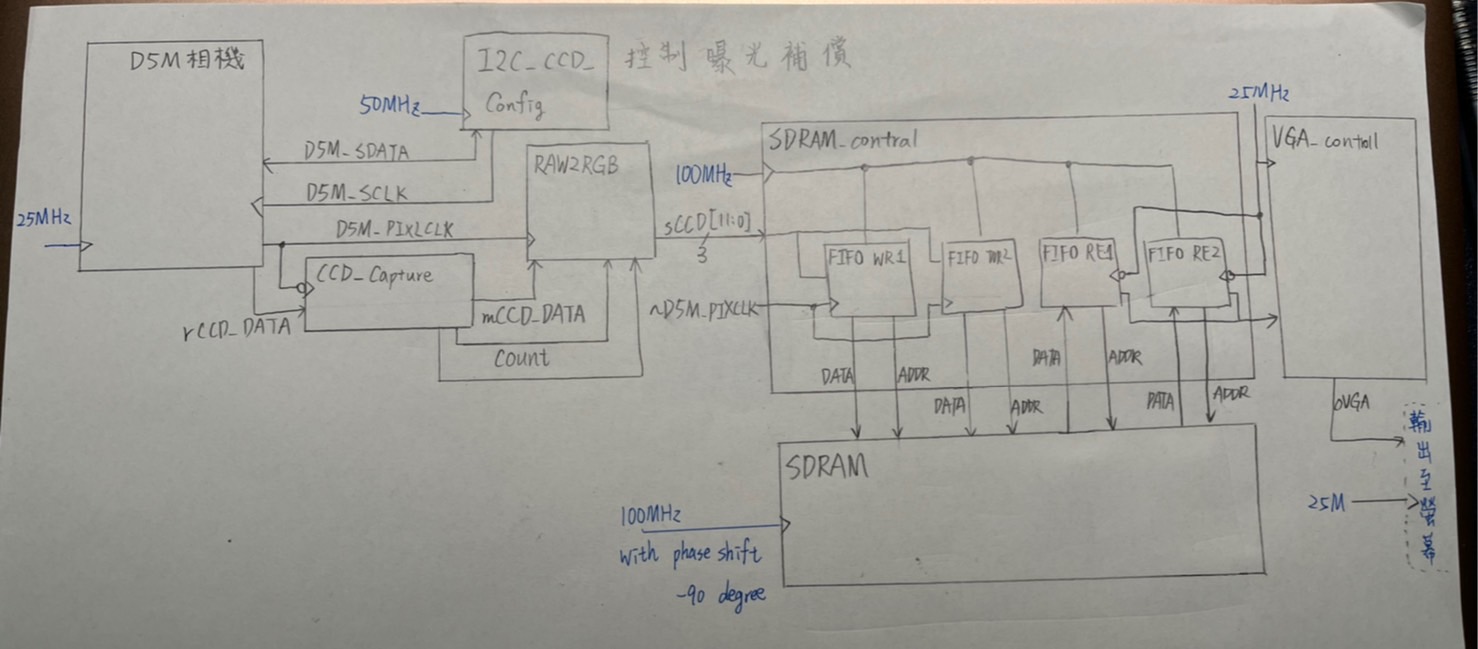
我是使用DEMO code 改寫完成專題的，源碼連結: <http://mail.terasic.com.tw/~bingxia/DE1_SoC_CAMERA.zip>

因為最後儲存三秒畫面的部分沒有完成，只貼上RBG轉換的部分，以節省版面，其他程式碼會在問題與討論附上。

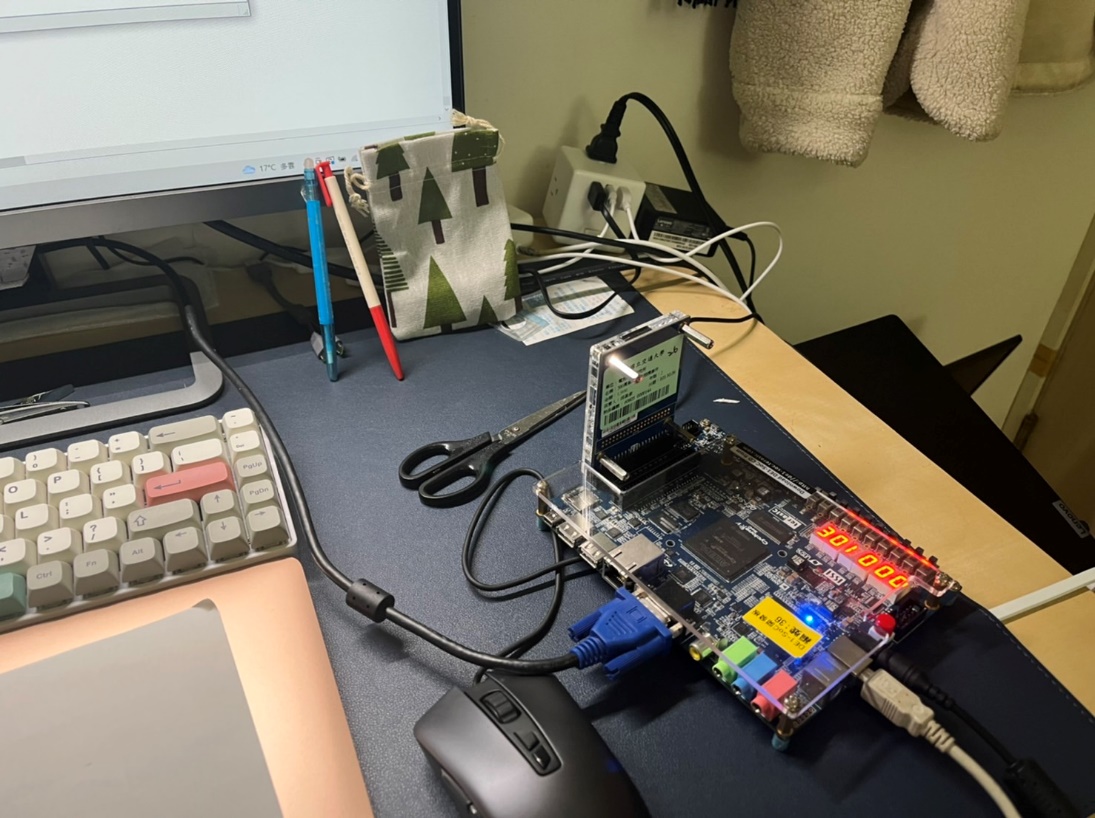
我將原本的賦值註解，以一個casex完成:



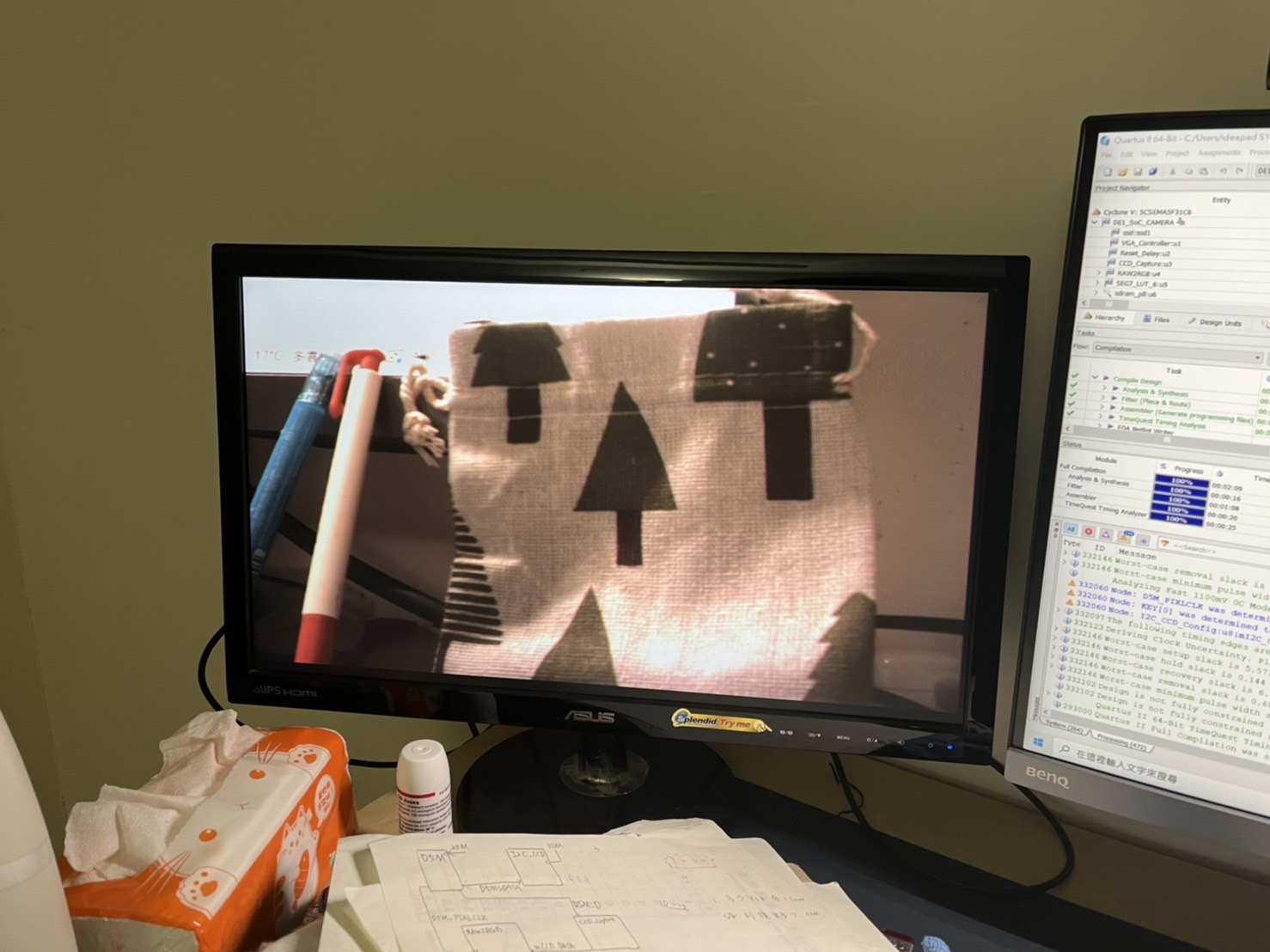
1. 結構圖



1. 實驗結果



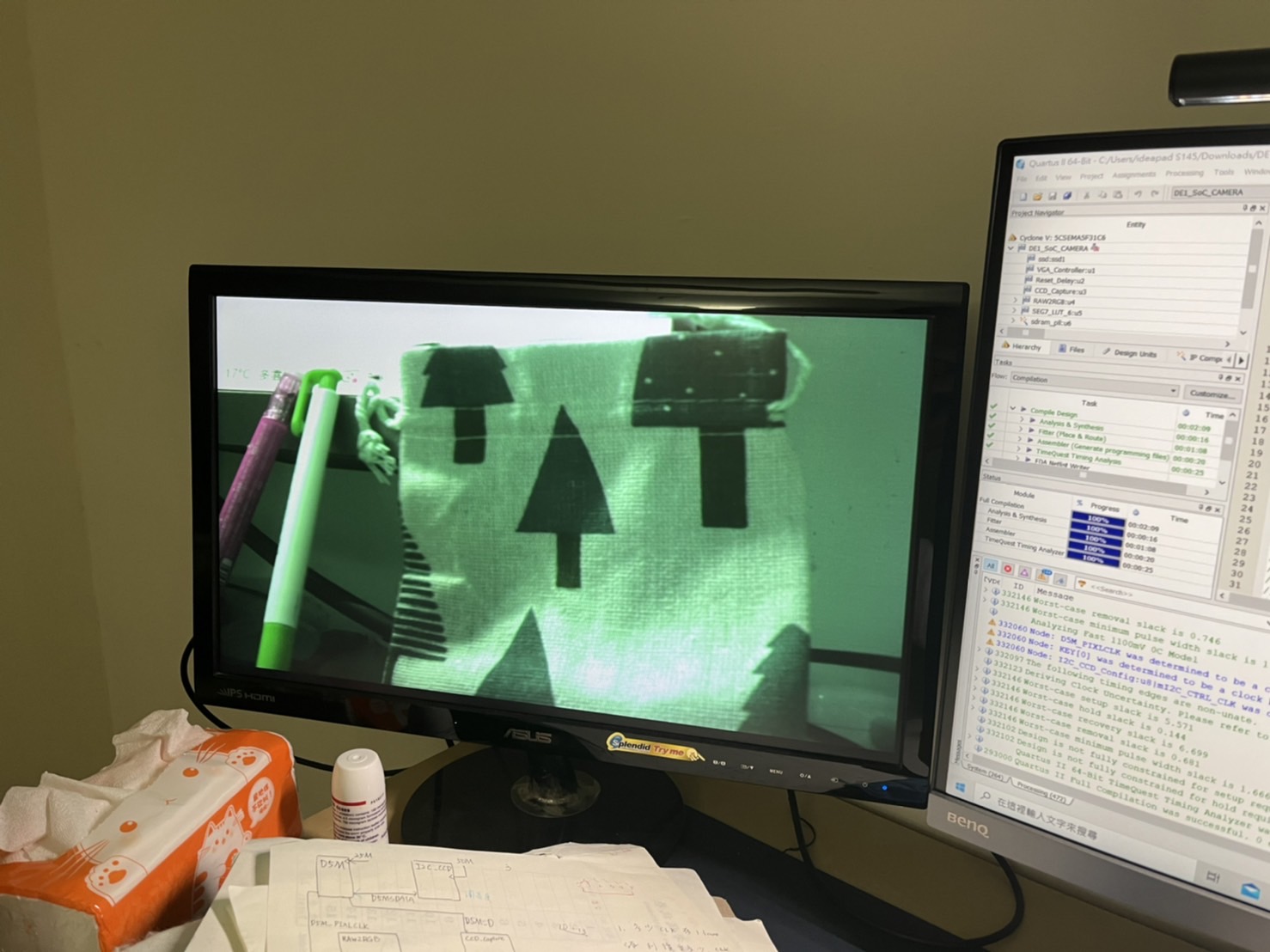
鏡頭與環境配置



正常畫面



RGB轉換



RGB轉換

1. Triple buffer狀態機與Verilog

設計思路 :

找出三個不同的記憶體位置區間，每一個區間存放一張frame，一秒切換一次，當需要回放時，停止寫入新的影響，重複讀取這三個區間的影像作為輸出。

記憶體配置 :



圖 1 記憶體位置配置

以上三組記憶體位置經過驗證是可以使用的，驗證方式是直接接在Sdram\_Control的腳位上，可以顯示出正常畫面，不存在破損、顏色失真等問題。

驗證方式 :

圖 2 驗證記憶體位置1範例verilog

助教可能會好奇為什麼記憶體位置要配置成這樣，不是以23’h100000遞增，這部份真的很玄，一時之間我也解釋不出來，像是把WR/RD1 配置在23’h100000 ~ 23’h100000 + 640\*480 ；WR/RD2 配置在23’h200000 ~ 23’h200000 + 640\*480

，就無法顯示出正常畫面。

經過超級多次的測試，WR/RD 1 的配置一定要是23’h100000 的 0 2 4 倍，WR/RD 2 的配置一定要是23’h100000 的 1 3 5 倍，這樣會無法在記憶體容量內找出三個不同的區間，存放三秒個別的畫面，或要以23’h100000為間隔配置記憶體，則會使用到 23’h400000 ~ 23’h400000 + 640\*480 以及 23’h500000 ~ 23’h500000 + 640\*480 ，不過這個位置顯現的畫面完全無法辨識，都是雜訊。連結為顯示畫面<https://pse.is/4pc6js>

狀態機設計 :

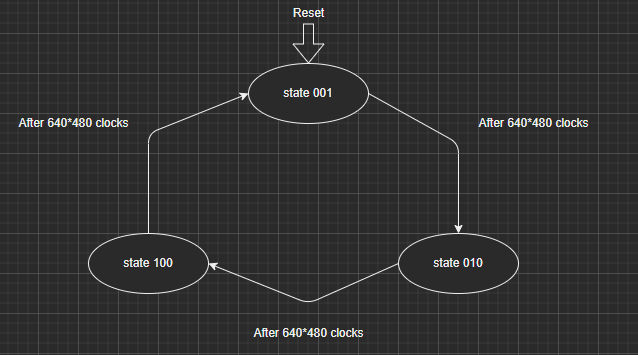


圖 3 狀態機設計

讀取狀態機的CLK使用posedge ~VGA\_CTRL\_CLK，寫入狀態機的CLK使用posedge ~D5M\_PIXLCLK，圖 5是讀取狀態機的切換verilog，寫入狀態的切換也同理。

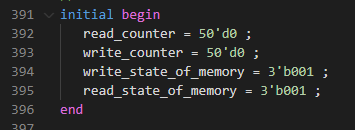


圖 4 狀態初始化

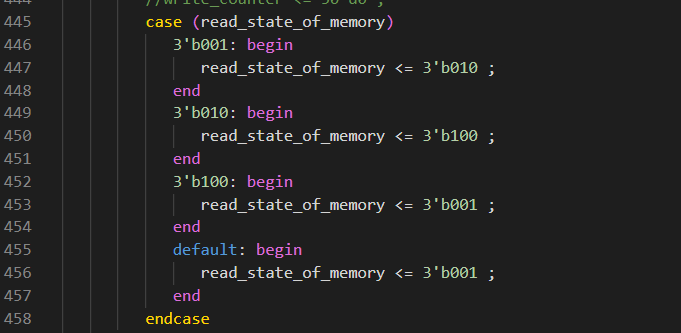
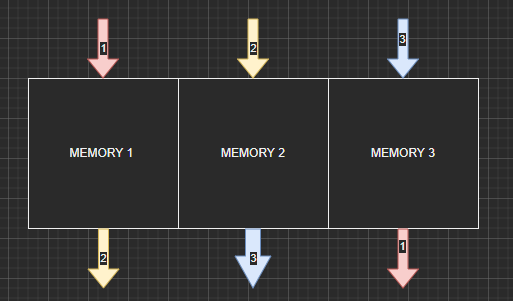


圖 5 讀取狀態轉移verilog



|  |  |  |
| --- | --- | --- |
| STATE 001 | 寫入位置 | 記憶體配置1 |
| 讀取位置 | 記憶體配置2 |
| STATE 010 | 寫入位置 | 記憶體配置2 |
| 讀取位置 | 記憶體配置3 |
| STATE 100 | 寫入位置 | 記憶體配置3 |
| 讀取位置 | 記憶體配置1 |

不過最後沒能實現完整畫面，我認為是除了狀態切換的機制設計錯誤，尚存在其他問題。

1. 問題與討論

接續討論Triple buffer 所碰上的問題，若資料的寫入是完整的，讀取也是完整的，則不應該有畫面破碎、色塊分離、超恐怖綠色雜訊的結果，但這些我都遇上了，說明我的設計存在嚴重錯誤，。

狀態之間轉換的機制我自己也抱持懷疑，我認為數clk並非一個萬無一失的方法，此外，從結果而言，我數的CLK數目也不正確，可能多數或是少數，因此造成畫面被切割 : <https://pse.is/4qeexv>

除此之外，我認為是因為沒有個別考慮寫入與讀取的兩個FIFO，才致使紅色與藍色錯位，我可能還要重新設計狀態機。



圖 6 色塊分離以及畫面切割說明圖

而每當讀取位置切換到記憶體位置3的時候，都會出現大量雜訊，按下key[0] RESET也沒辦法解決，問題成因 :

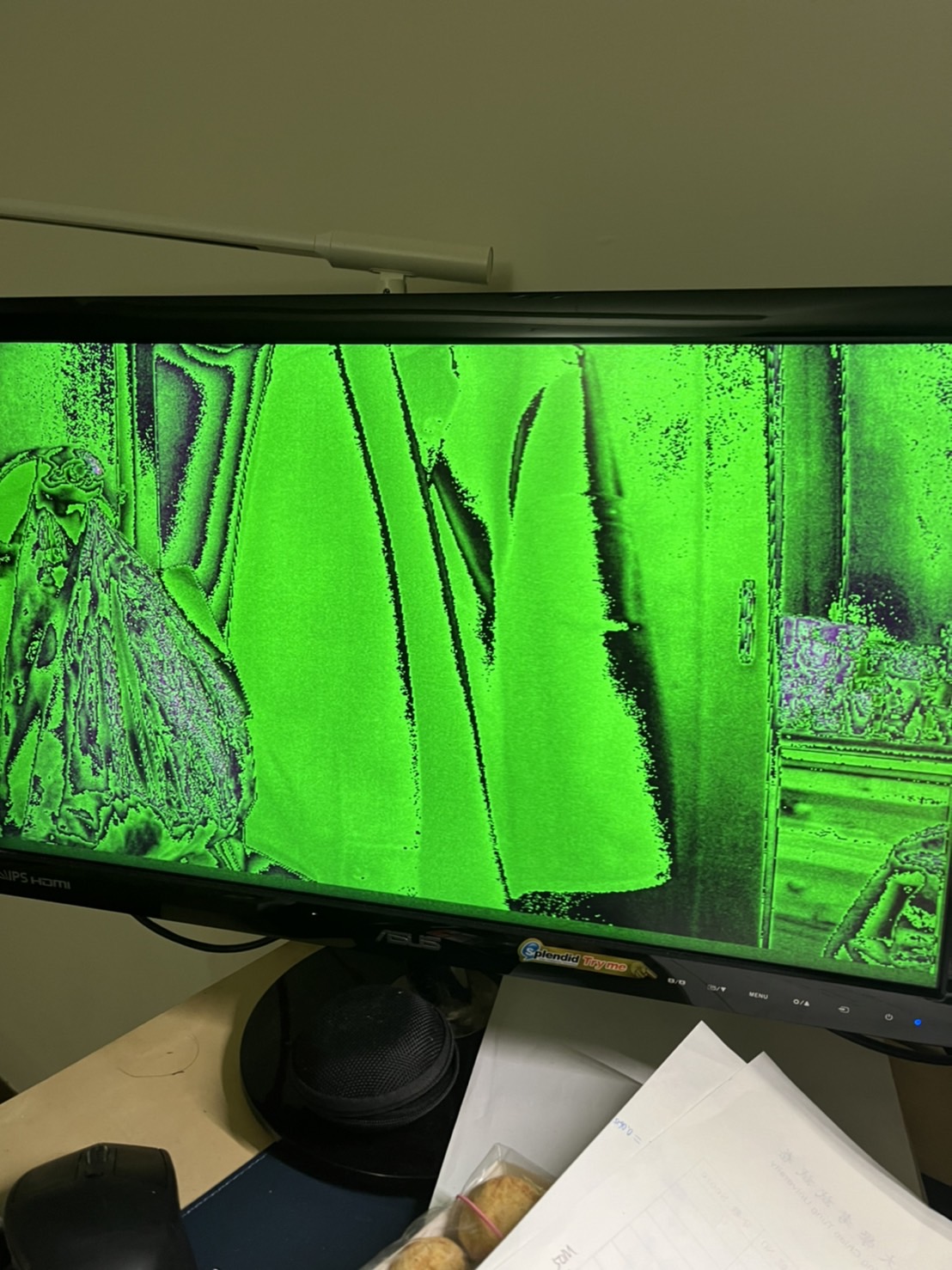
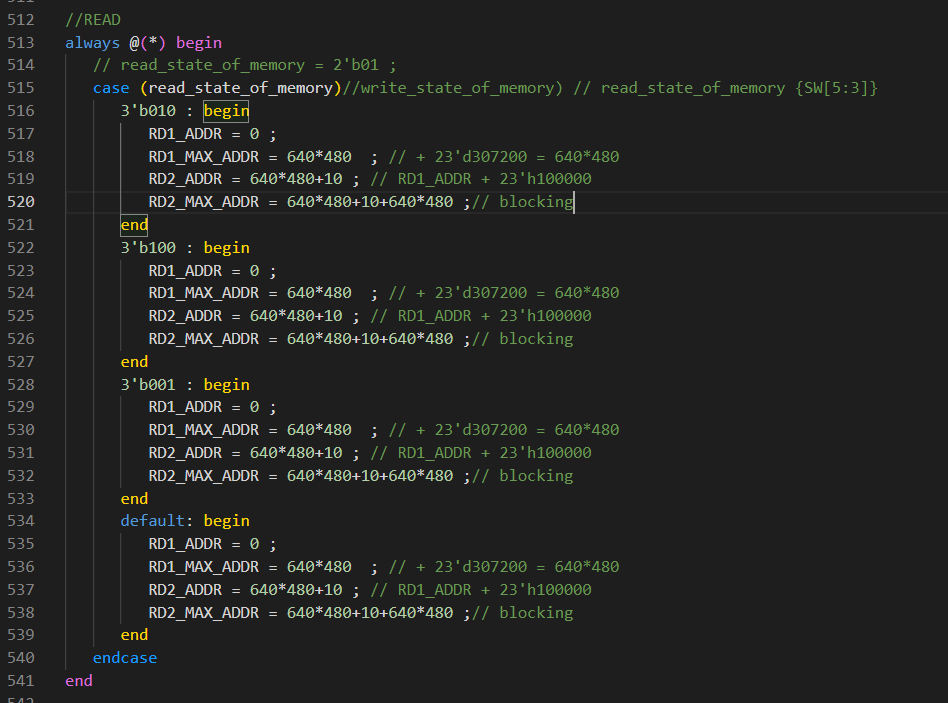
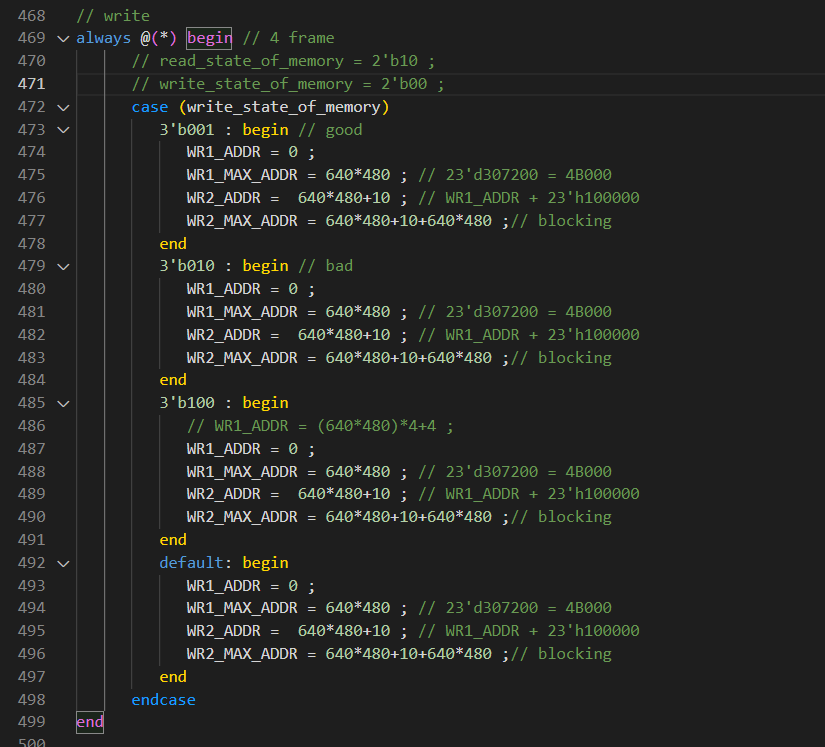


圖 7 超恐怖綠色雜訊

最後是測試中無意間發現的BUG，我將所有狀態的記憶體讀取、寫入位置配置成記憶體位置1，但是畫面卻會出現訊，我認為這樣的做法和直接固定記憶體位置是一樣的，但是卻會造成雜訊，很可能是切換過程中，遺漏了其中一個FIFO的資料。







1. 心得

這次專題讓我感觸深切，雖然最後只有拿到八十五分，不過收穫非常非常多，我因為這個專題，我了解了VGA顯示原理、SDRAM以及DDR3運作原理、異步以及同步FIFO的架構以及操作、三重緩衝的實現……，Quartus II PLL IP 的使用，我覺得我在嵌入系統方面有顯著的進步，如果時間再多個五天，或許能將三秒影片的回放實現，老實說挫折感也挺重的，社會是結果論，分數也是，即便我投入非常多時間，犧牲很多玩樂、睡眠時間，讓自己延後兩個禮拜放寒假，沒做出來就是沒做出來，除了認清自己能力尚有許多進步空間之外，也認清知自身知識的匱乏，有了這次經驗，再下一次大型專案開發之前，我會先設計好系統的架構圖，並且將時序釐清，還要會一些通靈，期許我能繼續堅持在這條路上，越來越熟稔電路的設計與程式撰寫。

1. 特別感謝

即便功虧一簣，不過依舊非常感謝政權助教，願意投入自己的時間和心力協助專題，也無私的分享許多經驗，好人一生平安。