111-1 535313

進階可程式邏輯系統設計與應用

Advanced Programmable Logic System Design and Application

實驗編號 : LAB 01

實驗名稱 : Add two 1-digit BCD numbers

結果報完成日期 : 2022.10.16

姓名 : 王語

系級 : 機械四

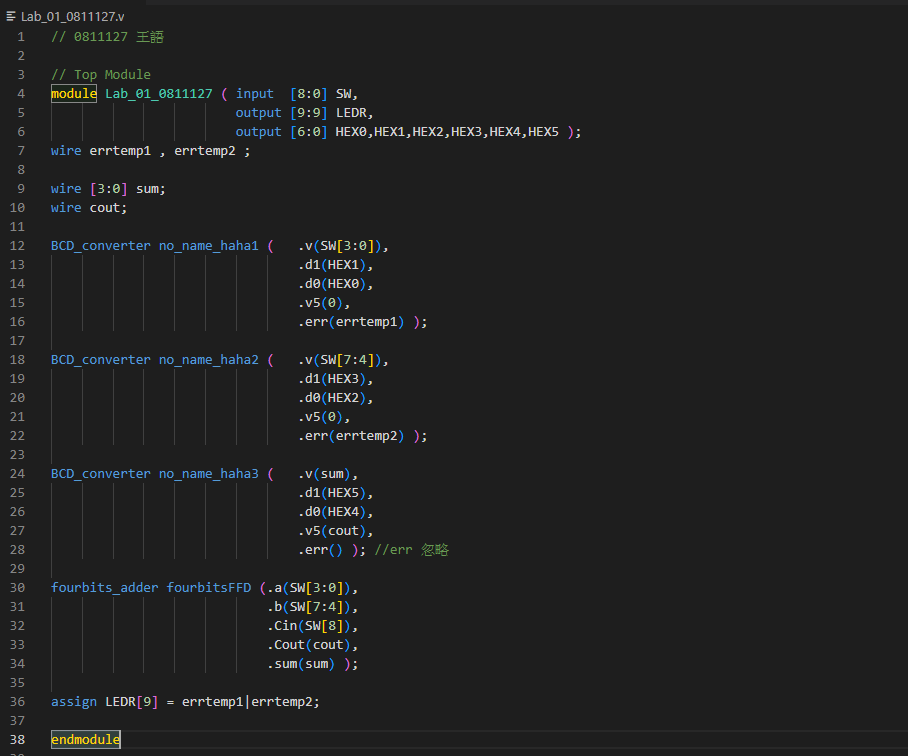
學號 : 0811127

1. 實驗目的

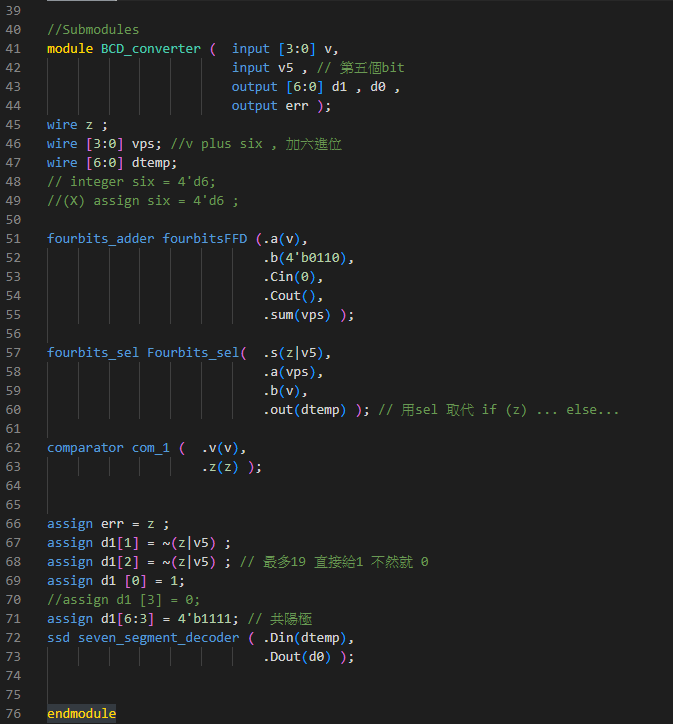
藉由全加器組成漣波加法器、多位元多工器、七段顯示器解碼器、溢位判斷等等設計BDC加法器，並將輸入、計算結果顯示於七段顯示器，當輸入超過9時LEDR亮起偵錯，也藉由實驗熟悉Quartus軟體之使用。

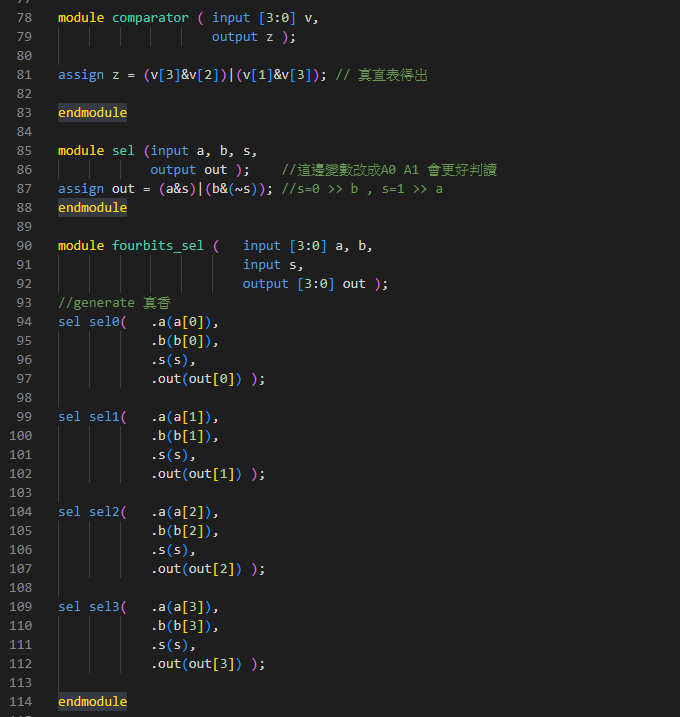
1. Verilog 程式碼

總電路連接結果可以直接看RTL會更淺顯易懂。

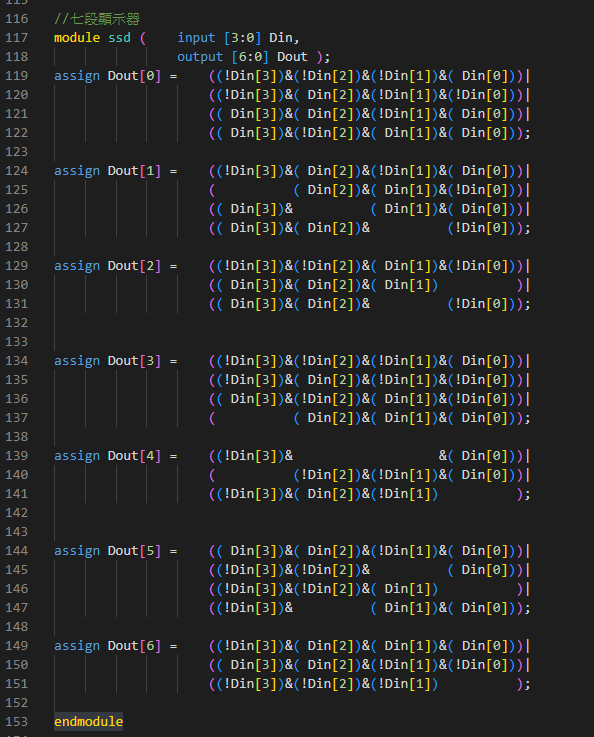




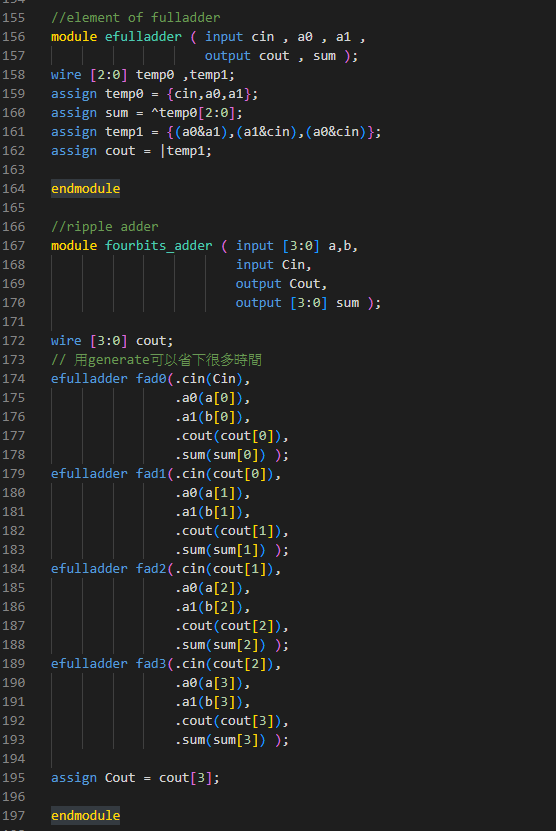




Z 用來判斷輸入數值A和B是否超過10

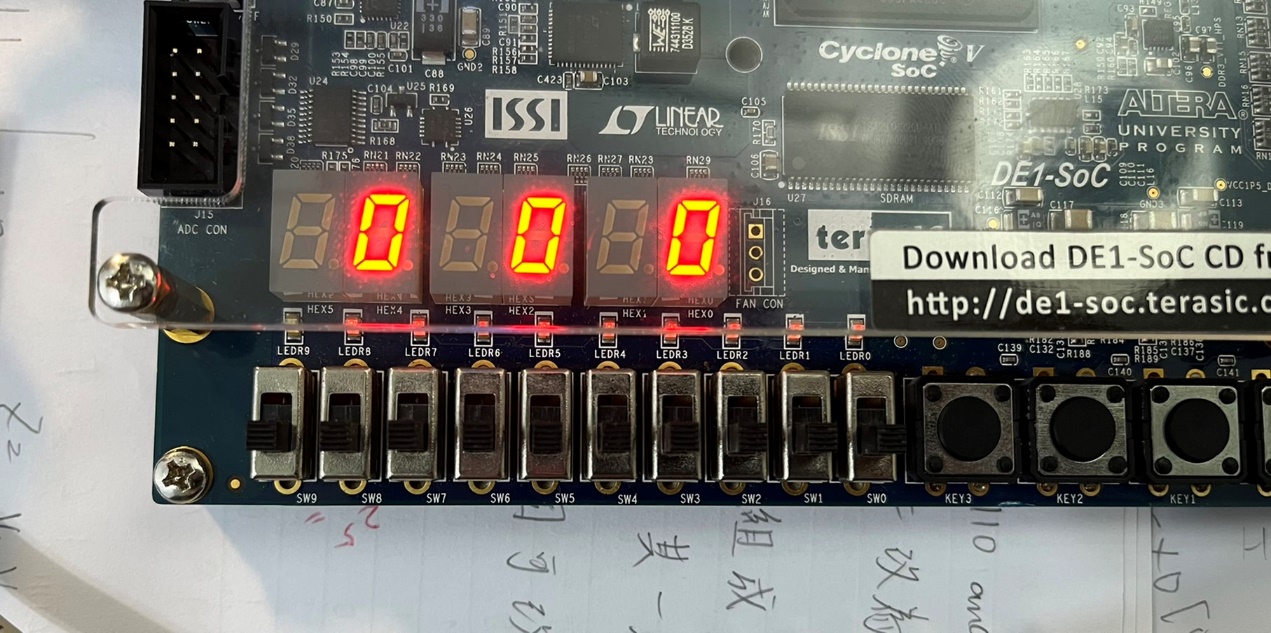


這邊就是使用kmap 化減工具輔助我得出結果。

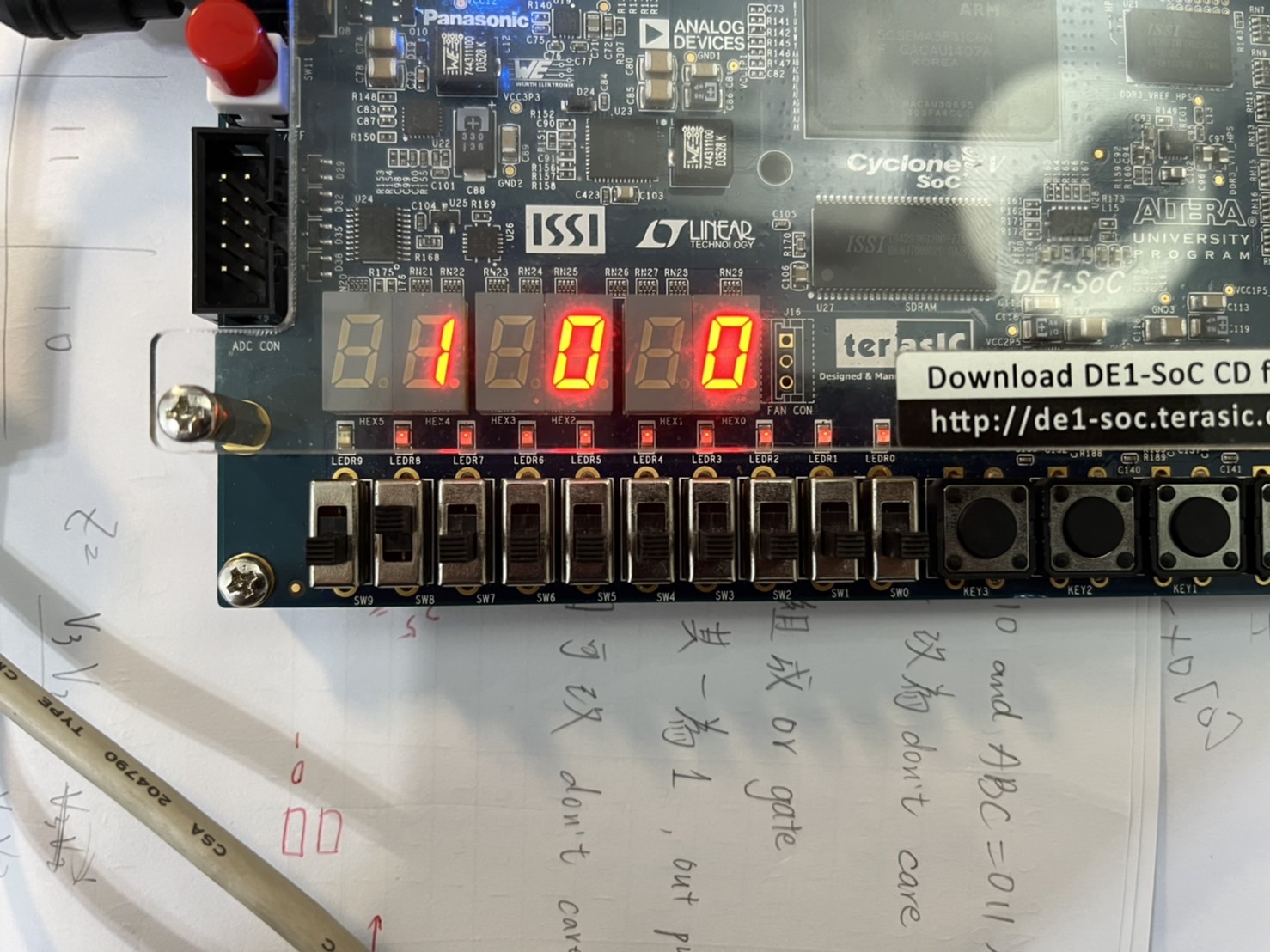


1. 實驗結果

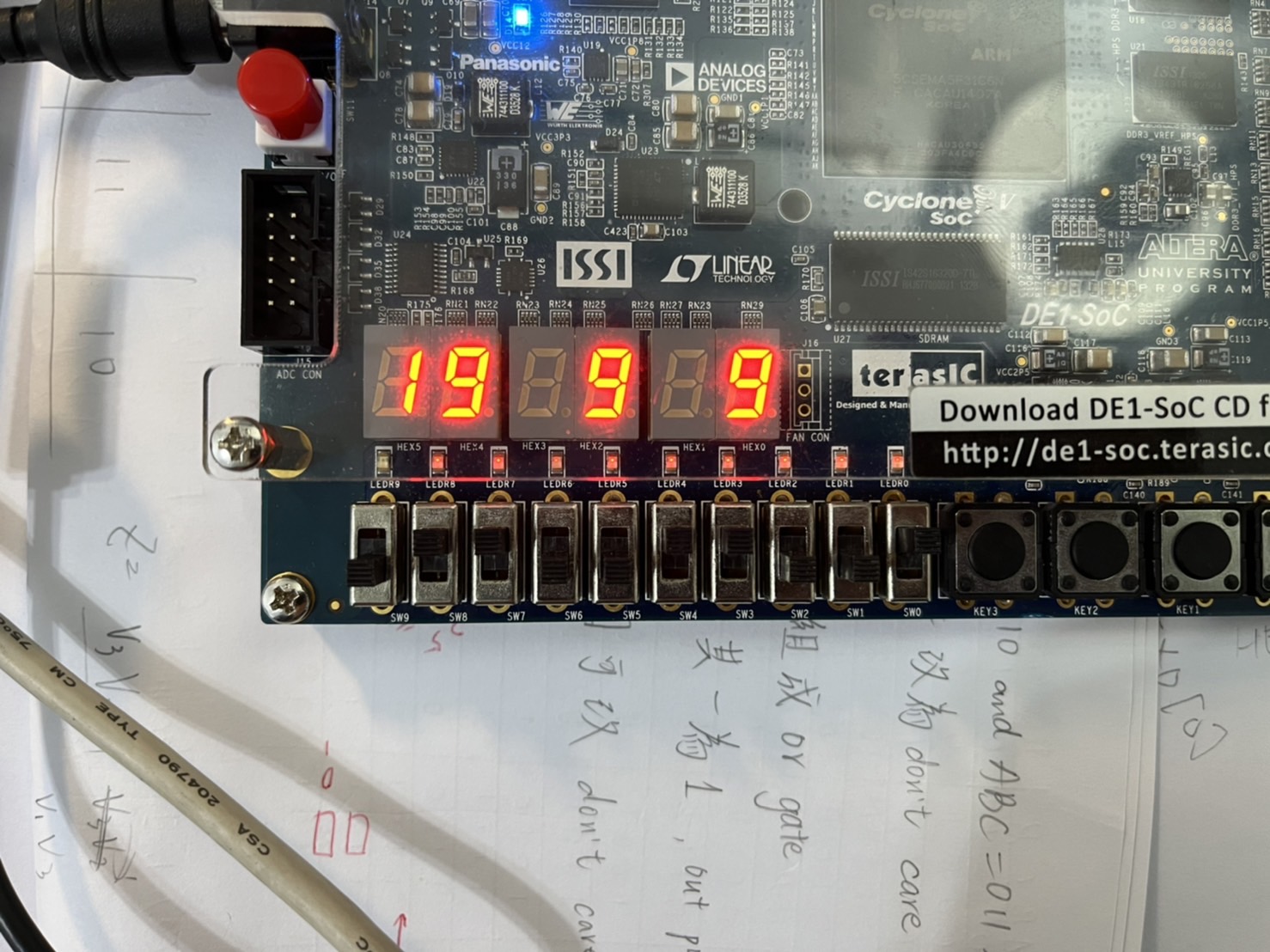
初始狀態 : 0 + 0 + 0 = 0



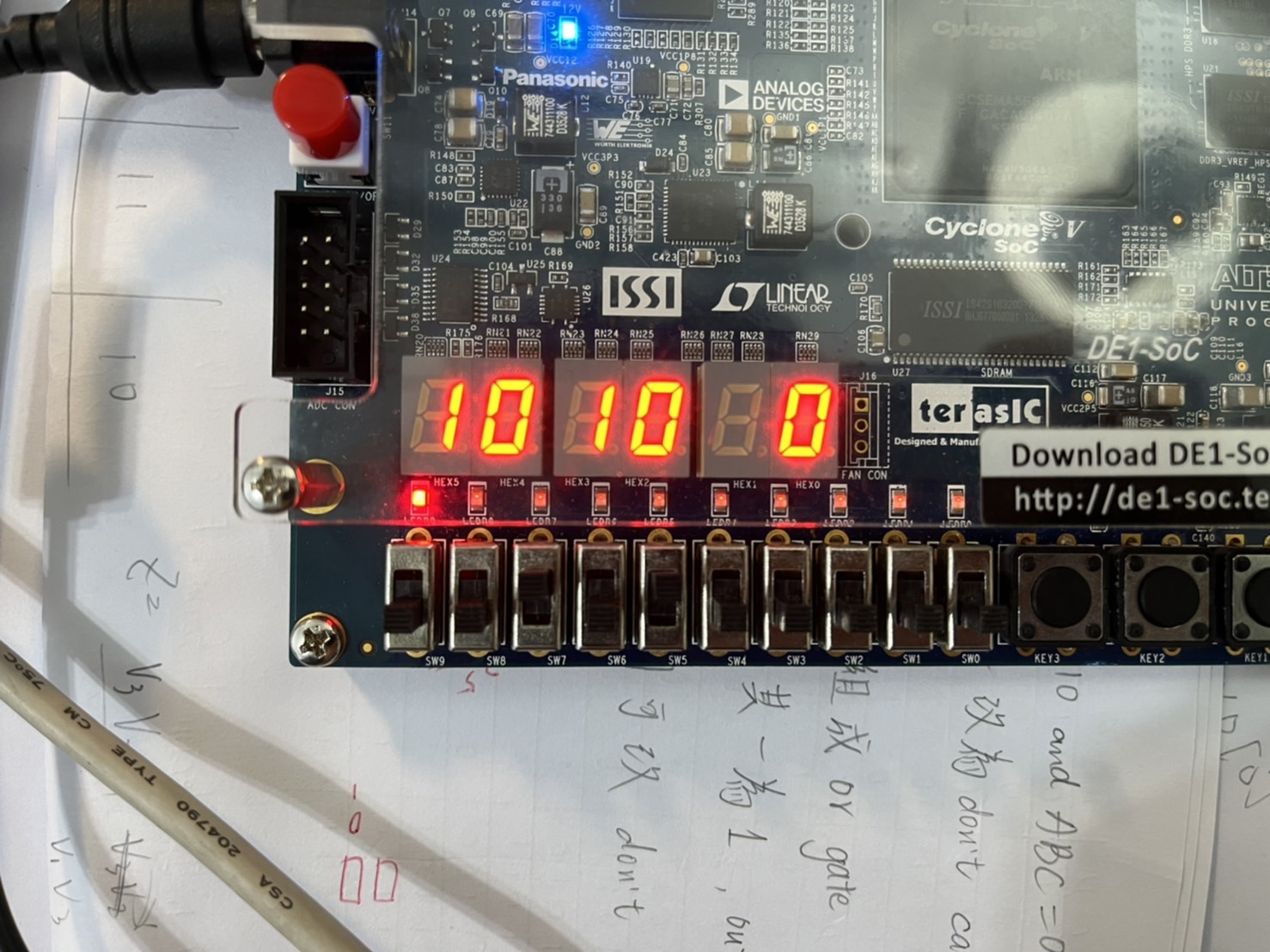
Cin = 1



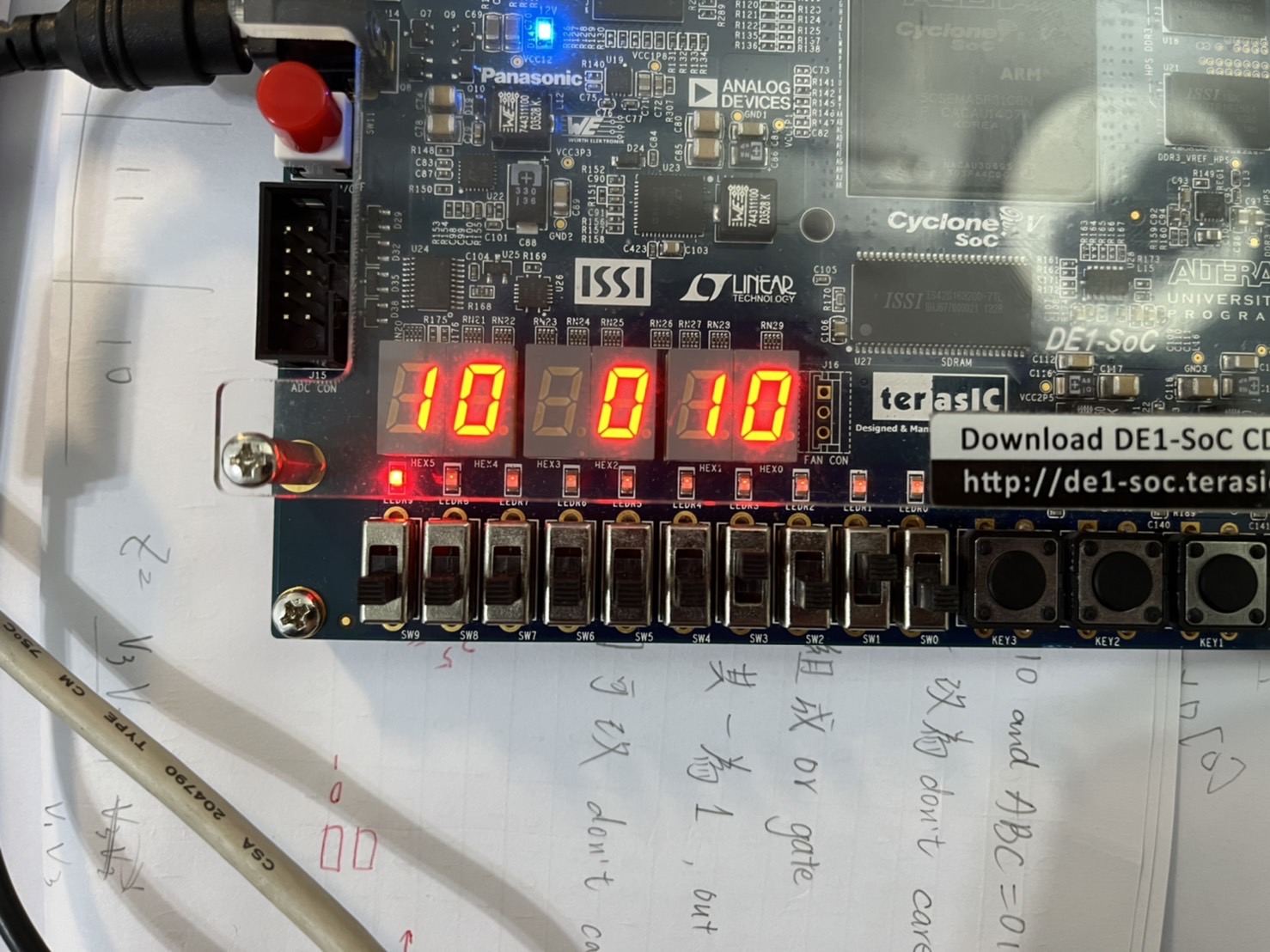
Cin = 1 , A = 9 , B = 9



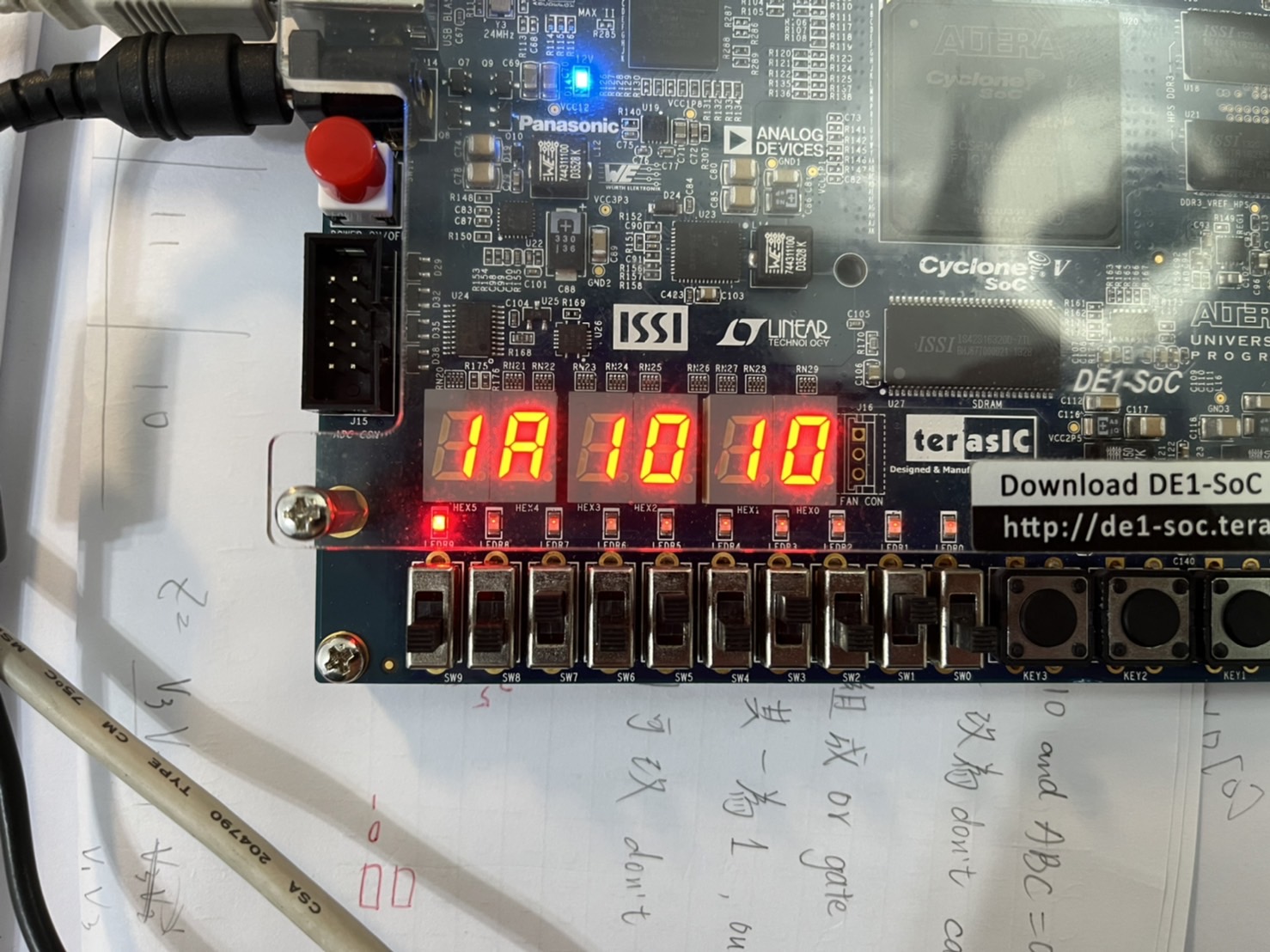
Cin = 0 , B = 10 , A = 0



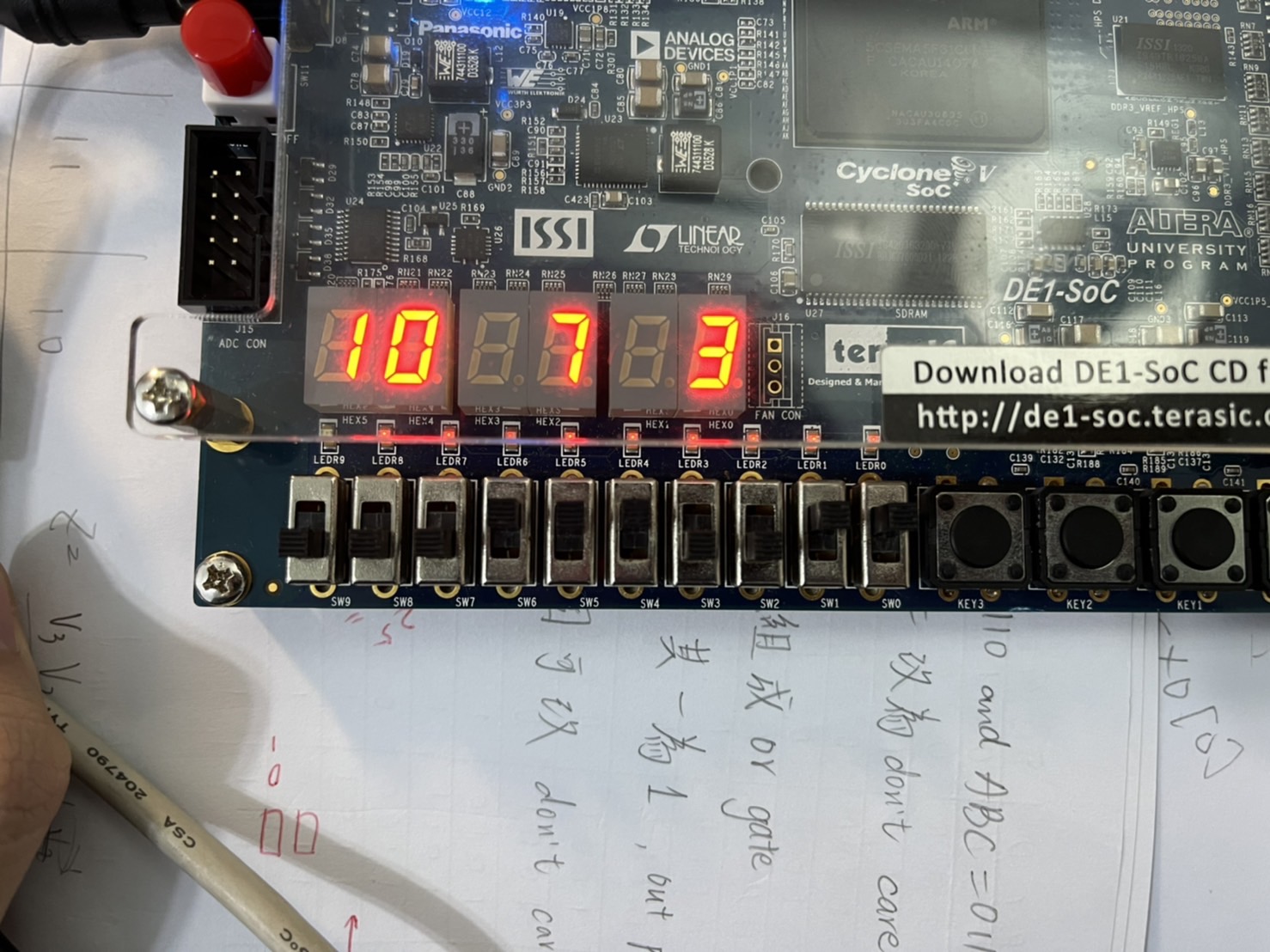
Cin = 0 , A = 10 , B = 10



A = 10 , B = 10

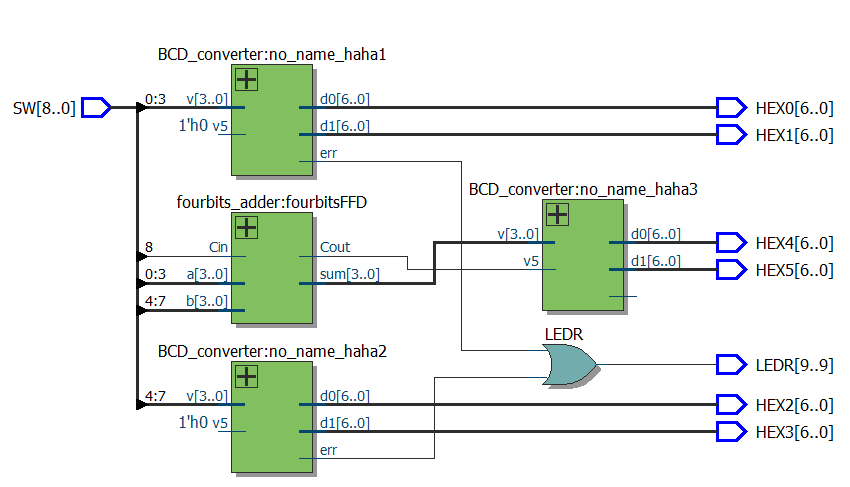


A = 3 , B = 7



1. RTL

總電路



完整版連結 : <https://pse.is/4jg36w>

1. 問題與討論
2. 在七段顯示器真直表化減過程中花費大量時間，才化減出其中一個，我認為太沒效率，因此在網路上找到kmap化減工具，真的很好用，獲得大幅加速。
3. 因為看不習慣Quartus開發環境的字體以及顏色，花了一些時間找到整合VScode編輯環境，好讓我能使用VScode寫Verilog程式，並在Quartus II 下完成compile、Pin plan、燒錄、RTL輸出等作業。
4. 在開始設計電路前有先草擬一下架構，BCD\_converter 一開始只有4bits 的輸入([3:0] v)，但是這樣最多只能呈現0~15的情況，因此緊夾增加v5，好在這個疏失並沒有太多要調整的地方，是否有十位數只要判斷是否超過10(可由z 決定)或是否有第五位數字(v5 = 1)，因此只要把

assign d1[1] = ~(z) ;

assign d1[2] = ~(z) ;

改成

assign d1[1] = ~(z|v5) ;

assign d1[2] = ~(z|v5) ;

1. 因為沒有if else 可以使用，因此在設計時用sel 替代這項功能。
2. 心得

這次實驗收穫滿滿，複習了基本的電路設計，在沒有always可以用的前提下，真的很需要動腦，不過設計電路這種東西本來就是要從最基本的開始吧，基礎先穩固才能學更厲害的東西，感謝助教批閱。

1. 備註

助教不好意思我有一些module亂命名，希望您不要介意，下次會好好取名字。