111-1 535313

進階可程式邏輯系統設計與應用

Advanced Programmable Logic System Design and Application

實驗編號 : LAB 06

實驗名稱 : A Simple Processor

實驗單元:Simple Processor Including Memory

結報完成日期 : 2022.11.18

姓名 : 王語

系級 : 機械四

學號 : 0811127

1. 實驗目的

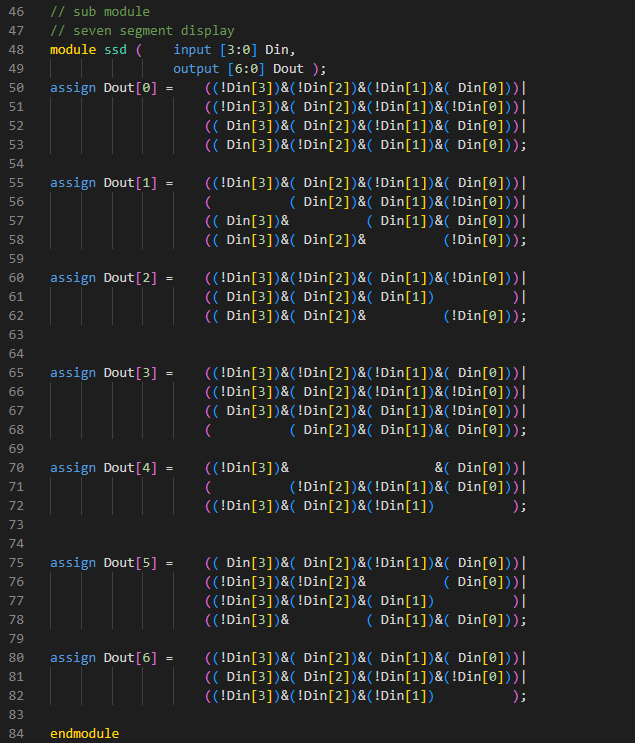
本實驗透過一個counter作為ROM的輸入，依序輸出對應指令給Processor執行指令，除了熟悉異步時鐘的電路設計，也對Blocking與Non-Blocking之使用有更進一步認知。

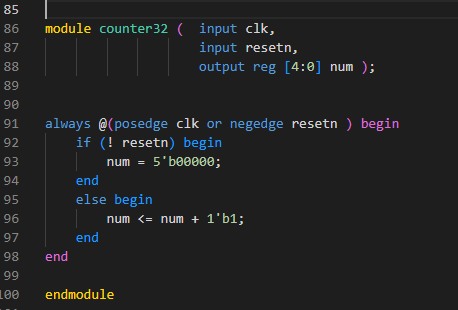
執行指令共有四項，分別是mv、mvi、add、sub，可利用有限狀態機設計電路完成對應運算。

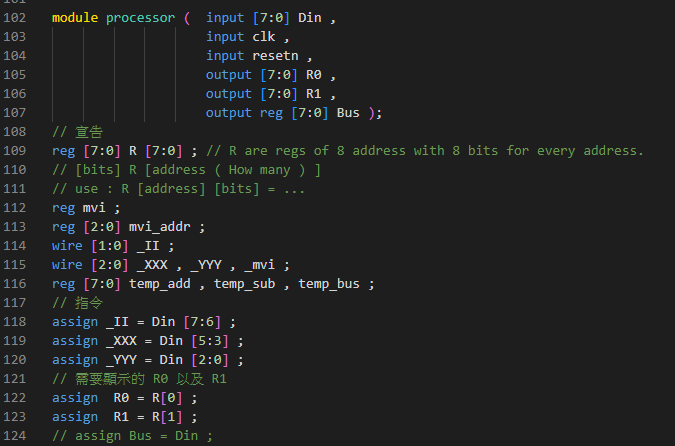
此外，也延伸讓學生發想如何改良Processor之設計，在沒有counter的前提下完成相同運作。

1. Verilog 程式碼

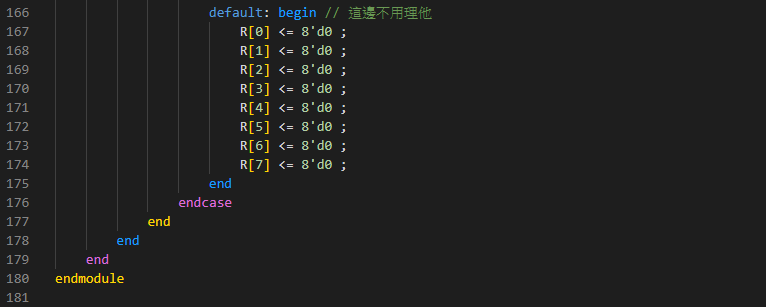






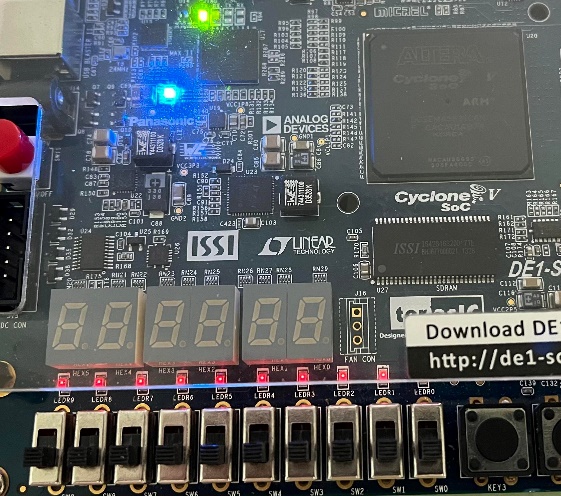




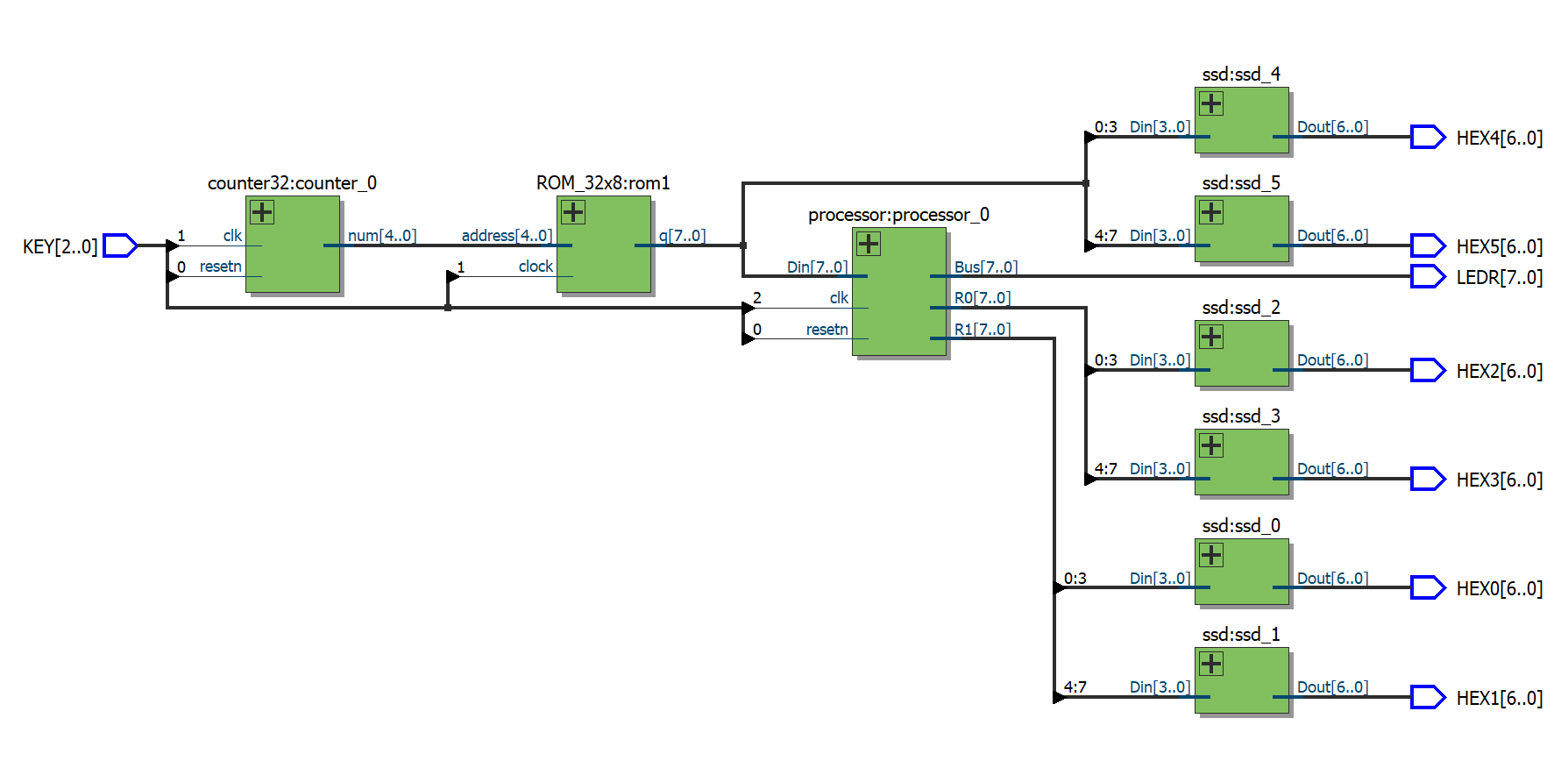


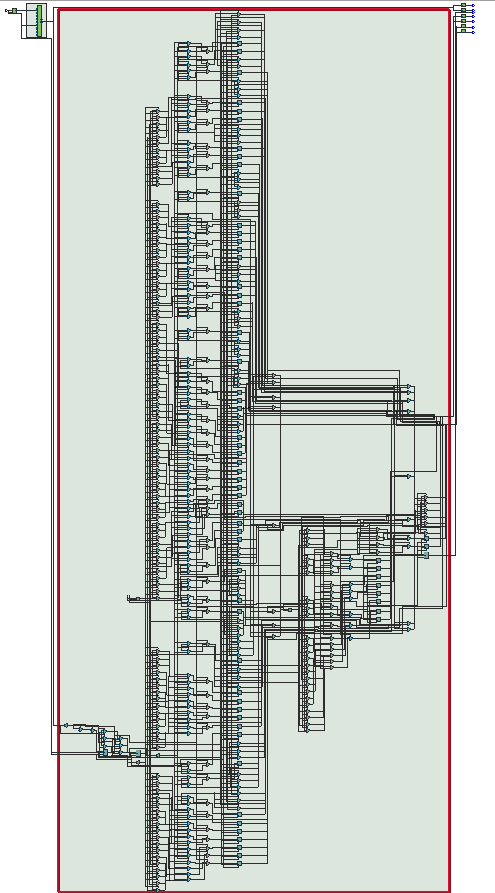
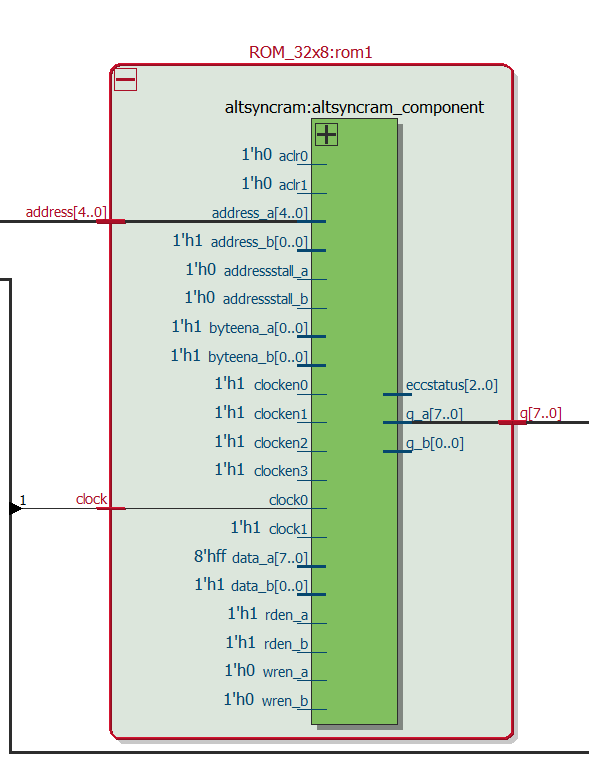
1. 實驗結果

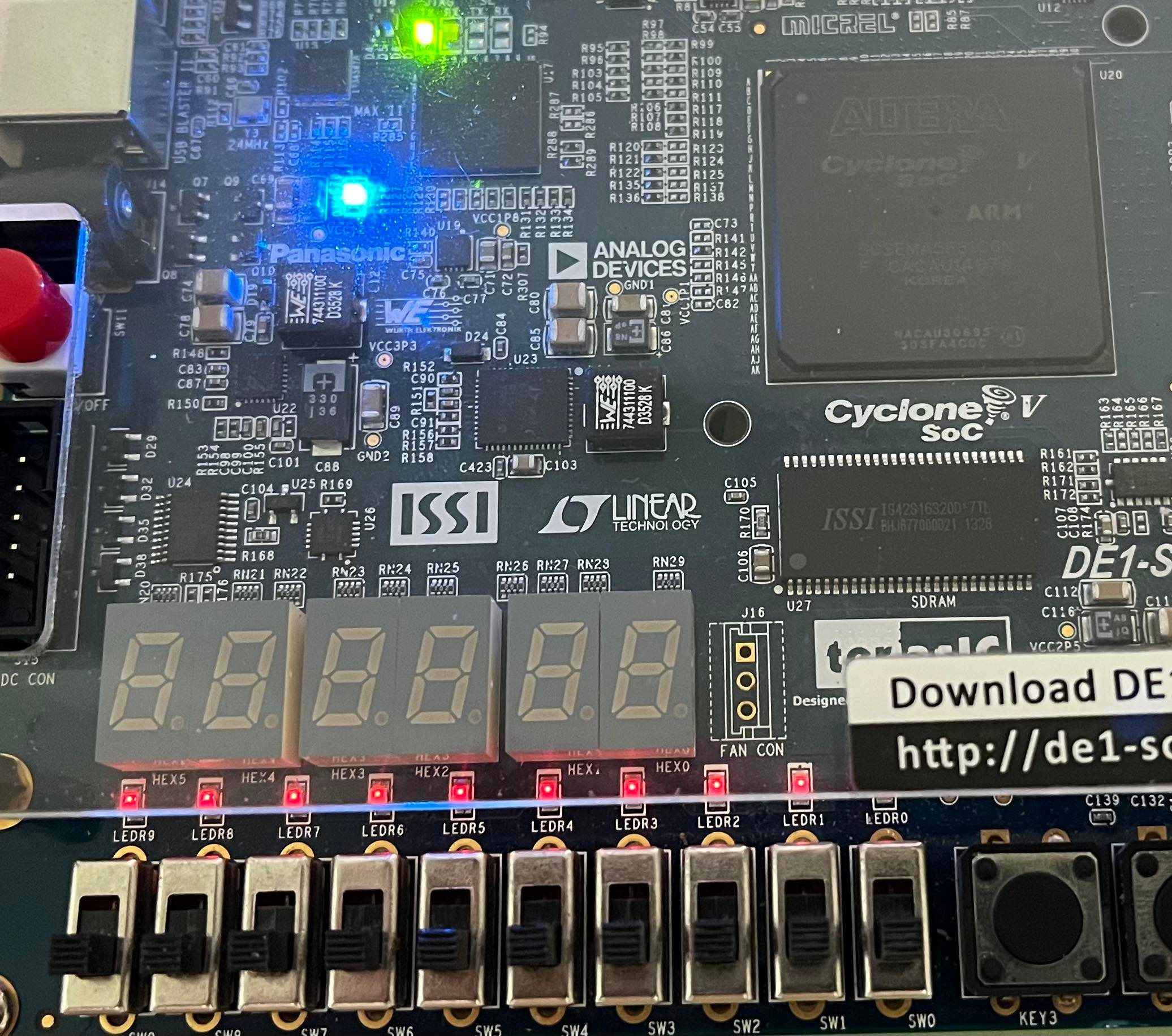
燒錄中



1. RTL





1. 問題與討論
2. 這次意外發現很好用的語法，如果一個變數是陣列，那麼陣列的位置可以用變數表示，並且會自動轉換進制，像是\_XXX = 111，R[\_XXX] 就是 R[7]。
3. 因為多維度陣列不能一次對所有位置賦值，像是宣告8個4bits的暫存器reg [3:0] R [7:0]，沒辦法使用R = 0 ; 來reset，因此想要使用generate for 來對 R[0]~R[7] reset，不過generate 必須在 always、for、case、if-else等迴圈的外層，所以在這次的實驗中很難派上用場，最後還是以最笨的方法窮舉出來。
4. 因為實驗要求把每一次運算化簡為1個clock，但是mvi指令在Demo影片中用了2個clock才完成，讓我卡關一下，但我猜是助教口誤。
5. 同上，這個化減讓我一時之間不知道Bus要輸出甚麼數值，不過依照第二次Demo影片的內容，Bus似乎就是Din。
6. mvi指令會將下一個Clock的Din存入指定暫存器中，因此我使用2-states狀態機的方式讓接收到mvi指令的下一個clock只進行存取的動作。
7. 呈上，需要另外宣告一個暫時存放的變數來存放當前指定的暫存器地址，也就是說temp\_addr = \_XXX;，因為到下一個clock的Din只代表要存入的數值。
8. 呈上，一開始這個temp\_addr變數誤設定成1bit，導致在驗證時發生靈異現象，同樣是mvi指令，在ROM輸出地址為0、2時能順利執行，但當ROM輸出地址為5時卻將YYY的值存入R0中，讓我非常不解，還以為是延遲導致temp\_addr無法作用，看起了時序約束的文獻，折騰許久之後才發現小丑竟是我自己，把temp\_addr改成3bits之後就順利的解決此問題了。
9. 心得

這次實驗很有挑戰性，足足打了一整天才完成，因為變數很多，加上時序問題，暫存器要使用Non-Blocking 的方式賦值，Bus是wire，要使用Blocking，到最後wire和reg傻傻分不清楚，有時間要來學System Verilog了，在這次查閱資料的過程中發現智這個硬體描述語言似乎是Verilog HDL的超集，感到前方有股強大能量，或許工具的改良能帶來數量級的進步。

終於做完第六個實驗了，有感覺到難度正在攀升中，不知道把這門課修完歐陽盟教授會不會收我當他的菸酒生。