

2020 IC Design Contest

Cell-Based IC Design Category for Graduate Level

Seam Carving Engine

1.問題描述

請完成接縫裁剪引擎 - Seam Carving Engine (後文以 **SCE 表示**) 的電路設計。Seam Carving 是一個可以針對影像內容做正確縮放的演算法，seam 所代表含意為影像中最不重要的一連串 Pixels。以圖一(a)為例，一張需要縮小的影像，假若直接將影像水平方向縮小，如圖一(b)，影像中的人、城堡將會因為影像縮小而造成物體的比例被拉的非常狹長。若使用 Seam Carving 技術找出如圖一(c) 數條紅色的 seams，當影像需要縮小時，只需移除這些紅色的 seams 即可達到縮小之效果，縮小後結果如圖一(d)，注意影像中的人、城堡其比例與原圖完全相同，影像卻已水平縮小了，此乃 seam carving 技術的奧秘。但由於時間的關係，**本題只需要將電路功能做到找出數條紅色的 seams，並將這些 seams 的座標依序輸出即可**，不需要製作影像縮放功能。有關 SCE 電路詳細運算方法將描述於 2.3 節。



(a)



(b)



(c)



(d)

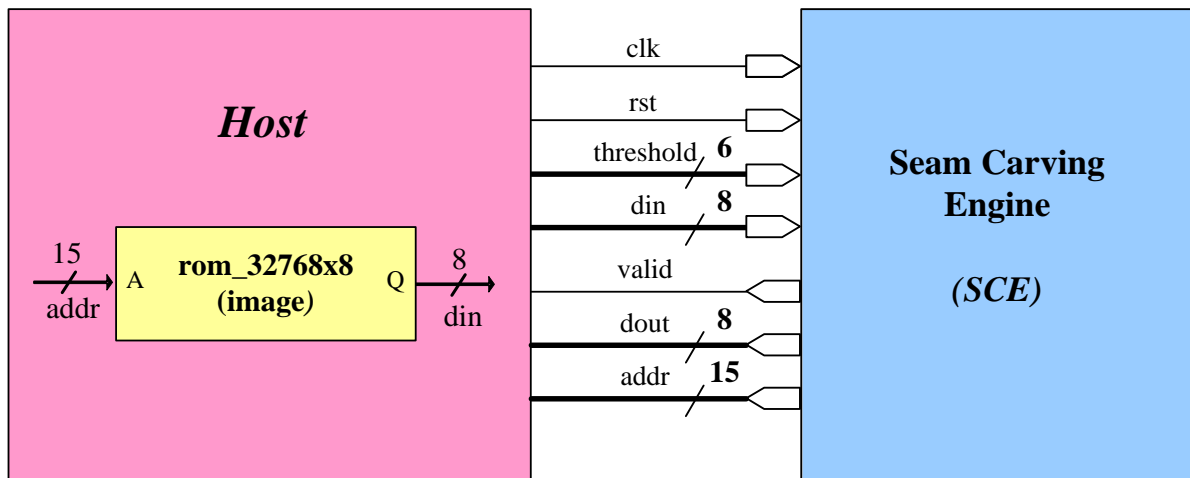
圖一、 SCE 電路功能範例

本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，本題會根據第三節中的評分標準進行評分。本題目之測試樣本置於 `/usr/cad/icc2020/bgc/icc2020cb.tar`，請執行以下指令取得測試樣本：

```
tar xvf /usr/cad/icc2020/bgc/icc2020cb.tar
```

2.設計規格

2.1 系統方塊圖



圖二、系統方塊圖

2.2 輸入/輸出介面

表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	Clock Signal (positive edge trigger)
rst	I	1	Reset Signal (active high)。
addr	O	15	Read Image ROM Address。Host 端的 ROM 已存放一張 188x128 影像大小的完整 Pixel 值，請自行使用 addr，讀取欲擷取的 Pixel 值， 本題沒有讀取的次數限制。 註：本題影像尺寸固定為 188x128，Pixel 值為 8bits。 註：影像的 Pixels 值儲存到 ROM 的對應位址，請參考圖三及 2.3.1 說明。
din	I	8	Read Image ROM Data。當指定完欲擷取 Pixel 的位址，經一個 Cycle 後，ROM 輸出的 Pixel 值，會透過 ROM 的 Q Pin 輸出至 SCE 電路的 din，即可獲得影像中一個 Pixel 值。 註：一個 Clock Cycle 僅能讀取影像中的一個 Pixel 值。
threshold	I	6	Threshold of Sum of Energy。每張影像的 threshold 值不同，本題已將各影像的 threshold 值寫在 Testbench (TB)，TB 會透過 SCE 的 threshold 腳位直接輸入該值，該值整個模擬過程其數值固定不變。 測試樣本 1 的 threshold 為 35，測試樣本 2 的 threshold 為 15。

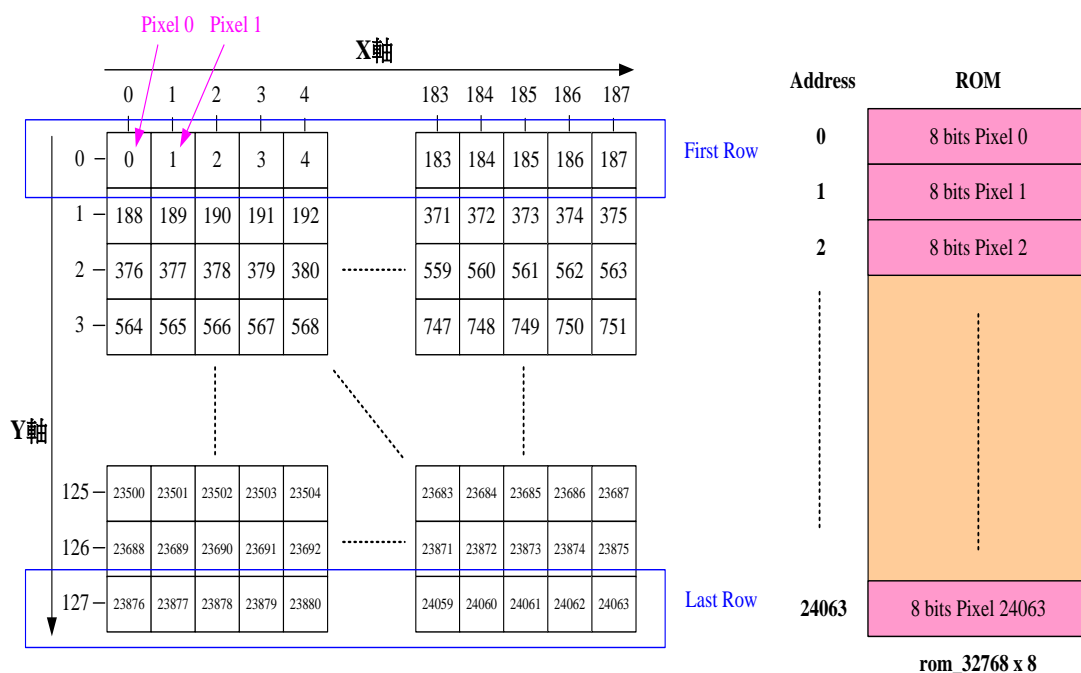
			註：有關 sum of energy、threshold 的含意，可參考 2.3.2.2 與 2.3.2.3。
dout	O	8	Seam Coordinate Output。將數條 seams 的座標透過 SCE 電路 dout 腳位依序輸出。由於每條 seam 的座標有 128 個，且固定從影像的 Last Row 依序輸出至 First Row，因此輸出的座標，僅需輸出 x 軸的座標，y 軸不必輸出。 註：影像 First Row、Last Row、x 軸、y 軸的定義，請參考圖三。
valid	O	1	Output Valid Signal。當為 high，表示目前輸出的 dout 座標值為有效的輸出，反之則輸出為 low。

2.3 系統描述

2.3.1 SCE 電路的輸入

本電路的測試影像皆為 188x128 固定尺寸，該影像在 SCE 電路開始運作前已存放於 ROM(rom_32768x8)，如圖三所示，座標(y,x)=(0,0)的 Pixel 值，已存於 ROM 的第 0 個位址，座標(y,x)=(0,1)的 Pixel 值，已存於 ROM 的第 1 個位址，...，座標(y,x)=(127,187)的 Pixel 值，已存於 ROM 的第 24063 個位址，而 ROM 剩餘未用到的空間(即 ROM 位址 24064~32767)在此已設定為 0。參賽者請依照自己演算法的需求，使用 SCE 電路的 addr 腳位去讀取欲擷取的 Pixel 值，經 1 個 Cycle 後，該 Pixel 值會從 SCE 電路的 din 腳位輸入進來，即可獲得影像中 1 個 Pixel 值。

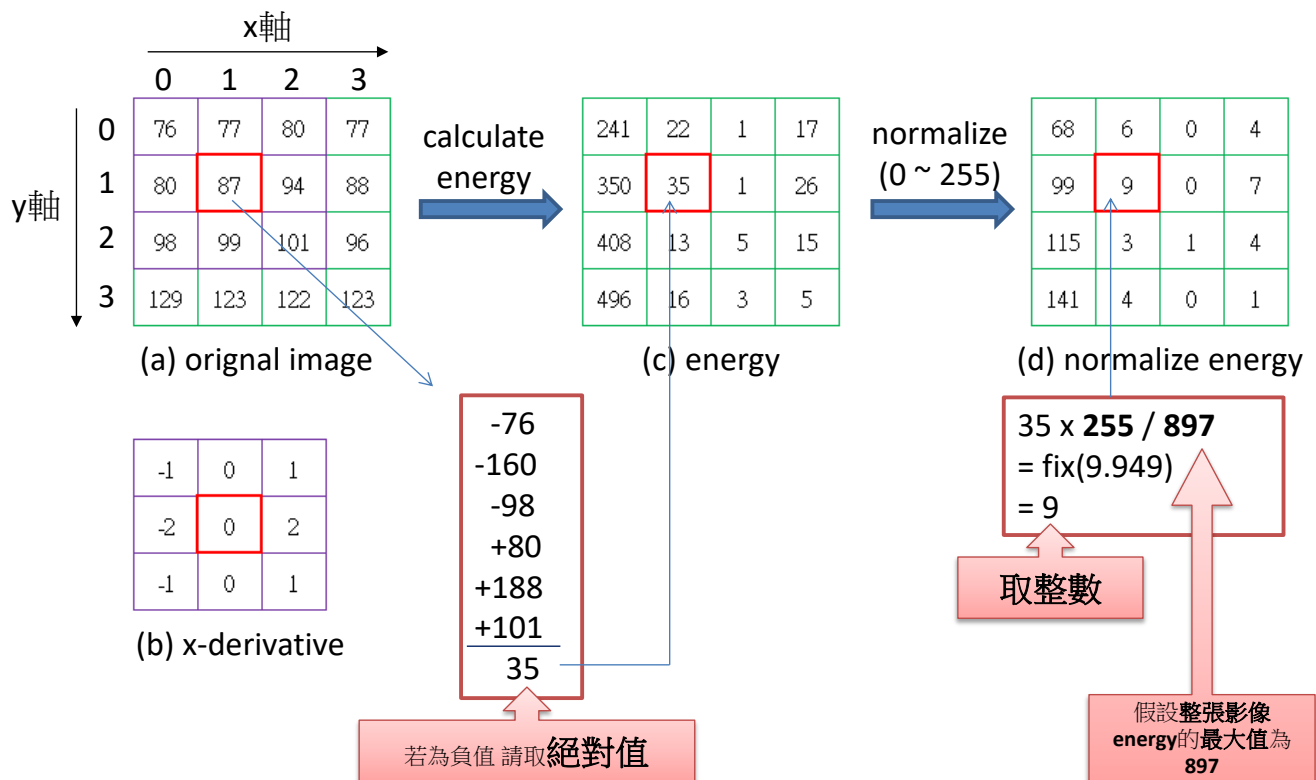
註：本題「沒有」規定讀取 ROM 資料的次數限制，要反覆讀、跳著讀，都是可以的。



圖三、一張 188x128 原始影像存放於 ROM 的儲存方法

2.3.2 SCE 電路的運算方法與輸出

SCE 電路整個運算過程可細分成三個步驟，如下。



圖四、計算 Energy 並 Normalize 到 0~255 之範例

2.3.2.1 步驟 1 -計算 Energy 並 Normalize 到 0 ~ 255

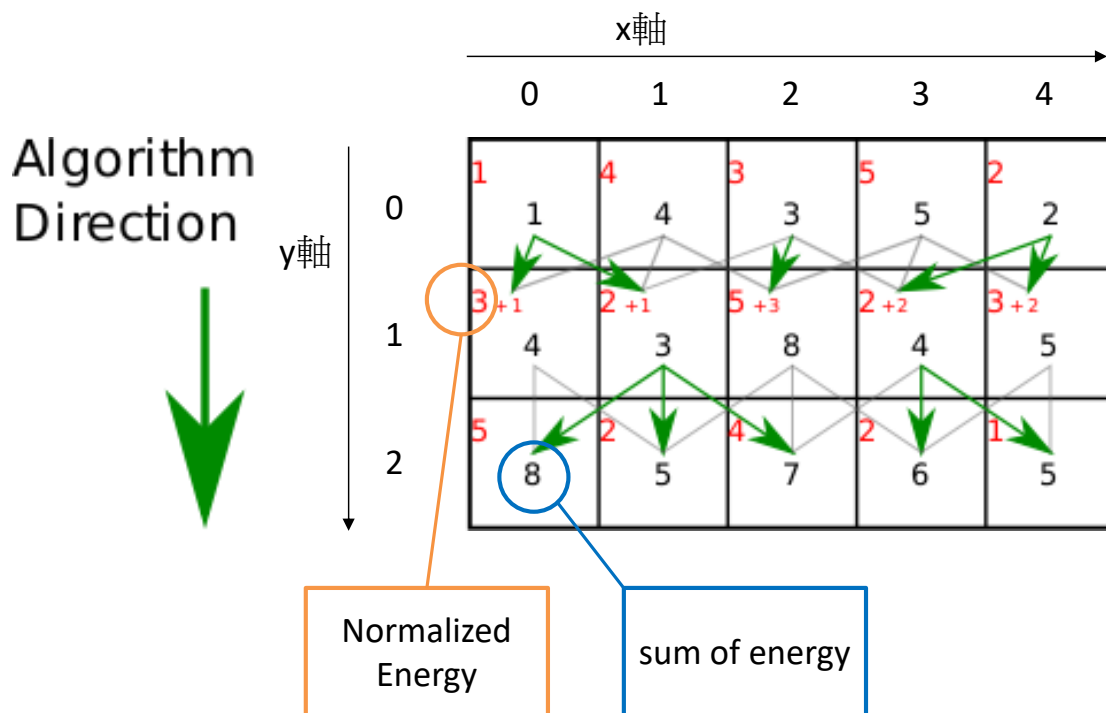
圖四(a)為一張影像的最左上角之範例，若要計算一個 Pixel 的 energy，請使用該 Pixel 相鄰的八個 Pixel 依不同的權重值來作計算，八個權重值如圖四(b)所示。在此以座標(1,1)為例，使用圖四(b) x-derivative 來計算，計算後結果請取絕對值，最後得到的 35 即為座標(1,1)的 energy 值，如圖四(c)，影像中的其餘 Pixels 也依照此方法來作計算，最後整張影像 energy 計算完畢後，請找出該影像 energy 的最大值作正規化(normalize)，讓影像的 energy 能夠調整至 0~255，假設本範例 energy 的最大值為 897，原先 energy 為 35 經 normalize 計算後得到 9.949，本題的小數位數採無條件捨去法，只取整數，因此 normalize 後最終結果為 9，如圖四(d)。

註 1：超出影像範圍的邊界處，以 0 來作計算，因此圖四範例座標(0,0)的 Pixel，其 energy 為 241。

註 2：energy 計算後結果若為負值，請取絕對值。

註 3：每張影像的最大 energy 值是不同的，上述數字 897 只是圖四範例的假設值。

註 4：normalize 後結果，只取整數，小數位數直接捨去。



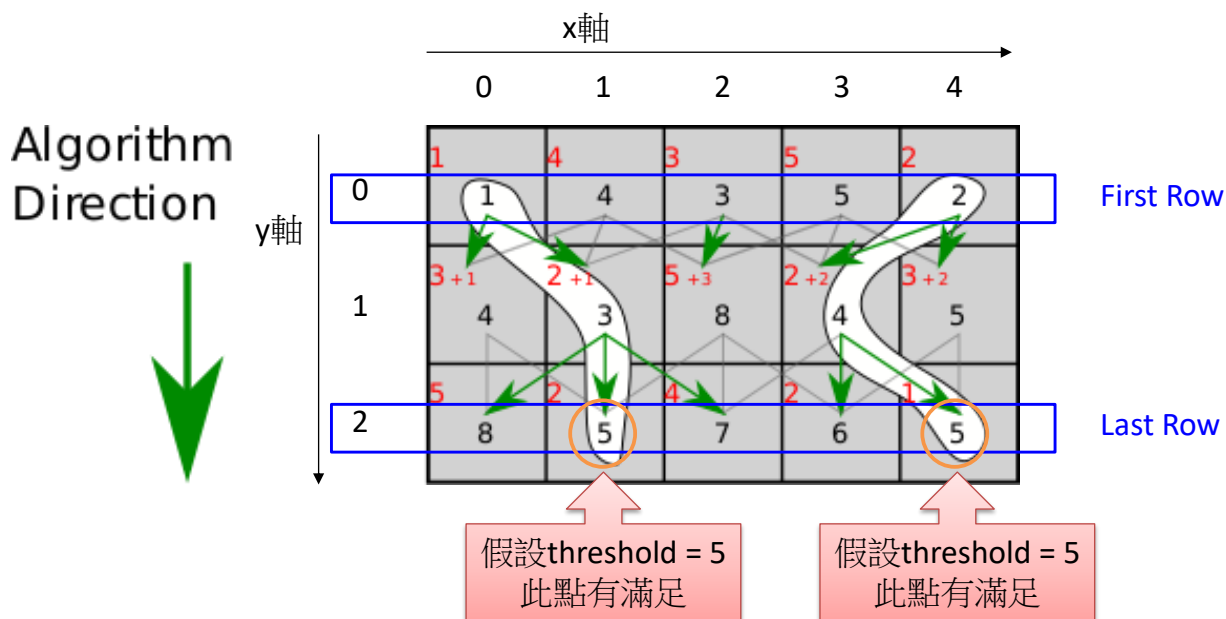
圖五、計算 sum of energy 之範例

2.3.2.2 步驟 2 -計算 Sum of Energy 並記錄 min normalized energy 的 path

由於篇幅有限，在此僅舉一張 5x3 尺寸的影像作步驟 2 之運算說明，如圖五所示，該影像每個 Pixel 橘色圈起來的方位處其紅色字體，即為 normalized energy 值，每個 Pixel 藍色圈起來的方位處其黑色字體，即為 sum of energy 值。sum of energy 的運算方法是由原本 normalized energy 值加上前一行 sum of energy 的最小值。以圖五座標(1,1)為例，原始 normalized energy 值為 2，往上看前一行有正上方 4、右上方 3、左上方 1 三種選擇，由於左上方的 1 是最小值，因此座標(1,1)的 sum of energy = 原本的 2 + 前一行最小值 1 = 3，該值運算完後由於未來步驟 3 的需要，請務必紀錄其最小值的來源，在此以綠色箭頭作表示。步驟 2 計算若為影像邊界處，僅需要比較前一行 2 個值，例如：座標(y,x) = (1,4)，只比正上方、左上方的值，比較結果最小值是 2，因此座標(1,4)的 sum of energy = 原本的 3 + 前一行最小值 2 = 5。再例如座標(y,x) = (2,0)，sum of energy = 原本的 5 + 前一行最小值 3 = 8，注意前一行的最小值 3 它是 sum of energy 值，不是 normalized energy 值，請勿看錯。

註 1：比較前一行 sum of energy 會有正上方、右上方、左上方三種選擇，當值相同時，以正上方為第一優先，其次為右上方，再其次為左上方，請以此優先順序來存綠色箭頭的紀錄，否則步驟三 back trace 結果會與標準解答不同。

註 2：一張影像 First Row 的 sum of energy 必等於 normalized energy 值，因為 First Row 的前一行已超出影像範圍，請將其視為 0，所以 First Row 的 sum of energy 直接等於 normalized energy 值。



圖六、 backtrace & 座標輸出之範例

2.3.2.3 步驟 3 - backtrace seam & 座標輸出

圖六為前一範例之運算結果進行 backtrace seam，在本範例假設 $\text{threshold} = 5$ ，觀察此影像的 Last Row，共有兩個橘色圈起來的 Pixel 滿足此條件，此兩點即為兩條 seams 的起點，第 1 條起點座標 $(y,x) = (2,1)$ 沿著之前紀錄的綠色箭頭往上看，看到了 $(1,1)$ 、 $(0,0)$ ，由於 $(0,0)$ 就是 First Row，此為該條 seam 的終點，backtrace 結束。若將此條 seam 作 SCE 電路的輸出，由於 y 軸的輸出順序以此範例必為 $2 \rightarrow 1 \rightarrow 0$ ，因此 y 軸的座標值不必輸出，只需輸出 x 軸的座標值，圖六範例的正確輸出值為 $1 \rightarrow 1 \rightarrow 0$ ，同理，第 2 條 seam 的輸出值為 $4 \rightarrow 3 \rightarrow 4$ 。上述的值在輸出期間，需將 SCE 電路的 valid 訊號拉為 High。當滿足條件的 seams 全數輸出完畢，SCE 電路模擬結束。

註 1：每張影像 Last Row 有 188 個 sum of energy 值，當這 188 點有滿足(即小於或等於)指定的 threshold 時，這些點就是數條 seam 的起點座標，而數條 seams 之間的輸出優先順序為由左至右，請注意。

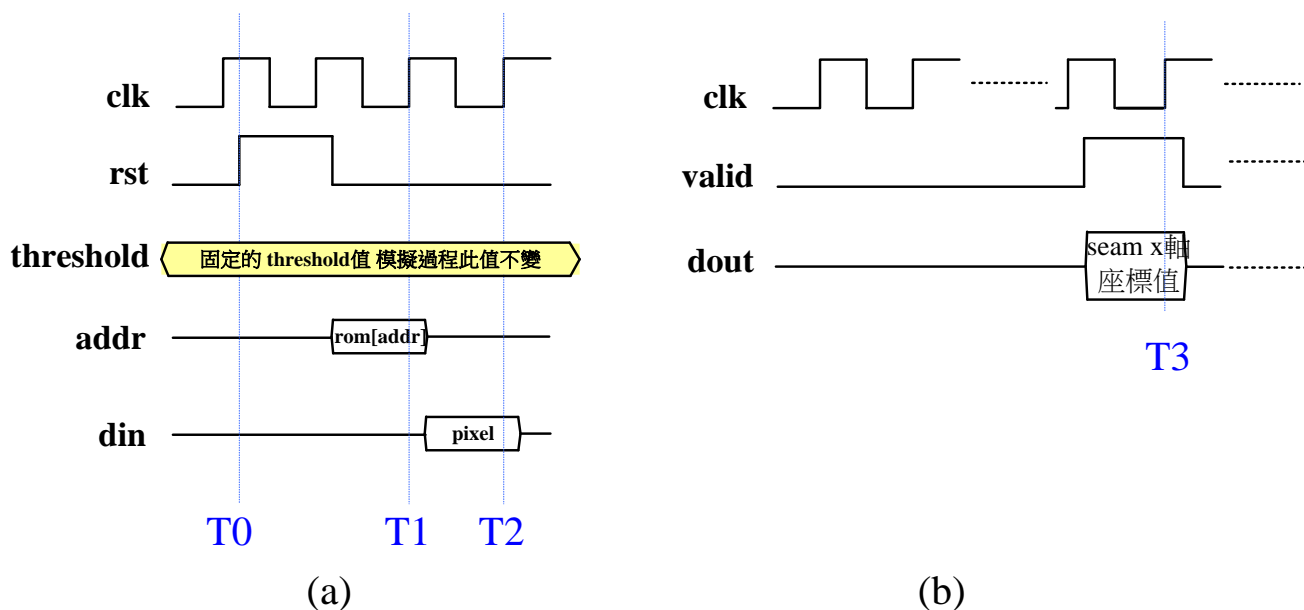
註 2：由於影像尺寸固定為 188×128 ，每一條 seam 的輸出數量固定為 128 個座標值。

註 3：本題每張影像的 threshold 值不同，測試樣本 1 的 threshold 為 35，測試樣本 2 的 threshold 為 15，這些數值不必記，已設定於 TestBench(即 testfixture.v 檔案)中。

註 4：當這些 seams 都找出來後，其軌跡就有如圖一(c)之紅色線。

2.4 時序規格

2.4.1 SCE 電路輸入與輸出之時序圖



圖七、(a) SCE 電路輸入之時序圖、(b) SCE 電路輸出之時序圖

1. T0 ~ T1 時間點，SCE 電路初始化。
2. T1 ~ T2 時間點，為參賽者想到 ROM 去讀取一筆 Pixel 值的範例，T1 時間點，Host 端收到 addr 位址值，經過 ROM 的 t_a 存取時間後，即可從 SCE 電路的 din 腳位獲得一筆 Pixel 值，因此從發送位址出去到收到資料，需花一個 Cycle 時間。剩餘的 Pixel 也依此類推作讀取，在此不再贅述。
3. T3 時間點，當參賽者已將 SCE 電路三個步驟的運算完成後，將數條 seams 的 x 軸的座標依序輸出，T3 是輸出一個 x 軸座標的範例，valid 拉為 high 表示該座標值為有效的輸出，當數條 seams 的座標都依序輸出後，模擬隨即終止。

2.4.2 SARM、ROM 記憶體規時序規格

製作 SCE 電路時，參賽者可能會用到記憶體當 Buffer，本題總共提供兩種記憶體，包括 sram_1024x12、sram_8192x12 兩種記憶體，請自行決定需使用那一種記憶體最適合自己的設計，目標作到最小面積之使用量。若 SCE 電路裡有使用到 SRAM，請記得將一顆或多顆 SRAM 記憶體帶入，以實現合成與 APR 等步驟之用。至於 ROM 已擺在 TestBench，提供影像資料讀取用，晶片實作時 ROM 不必帶入。

有關上述三種記憶體細節規格與記憶體時序圖，詳如記憶體目錄的 PDF 檔中。

3. 評分標準

評分方式會依設計完成程度，分成 A、B、C、D 四種等級，排名順序為 A>B>C>D，評分項目僅面積單一項目，主辦單位會依此面積大小作為同等級之評分高低。另外，請參賽者提供一組正確的週期時間(CYCLE TIME)給評分人員純驗證本電路正確性之用。

☆ 評分項目：依”面積”(Area)大小評分

各參賽隊伍將 APR 完成後，面積分析方法如下範例，請任選其一 APR 軟體做分析。

1. IC Compiler Report Area 範例:

```
icc_shell> get_attribute [get_die_area] bbox
{0.000 0.000} {1829.000 591.330}
=> Area = 1829.000 x 591.330 = 1,081,542.57 um2
```

2. Innovus Report Area 範例:

```
innovus > analyzeFloorplan

innovus 1> analyzeFloorplan
Start to collect the design information.
Build netlist information for Cell SCE.
Finished collecting the design information.
Average module density = 1.000.
Density for the design = 1.000.
= stdcell_area 31600 sites (53638 um^2) / alloc_area 31600 sites (53638 um^2).
Pin Density = 0.01016.
= total # of pins 6299 / total area 620150.
***** Analyze Floorplan *****
Die Area(um^2)           : 1083567.35
Core Area(um^2)          : 1054132.55
Chip Density (Counting Std Cells and MACROs and IOs): 92.401%
Core Density (Counting Std Cells and MACROs): 94.981%
Average utilization      : 100.000%
Number of instance(s)   : 4272
Number of Macro(s)      : 3
Number of IO Pin(s)     : 40
Number of Power Domain(s) : 0
***** Estimation Results *****
*****
```

=> Area = 1083567.35 um²

註：指令 analyzeFloorplan 會破壞已完成 routing 的結果，執行該指令後絕對不可再存檔。

設計完成程度四種等級，說明如下：

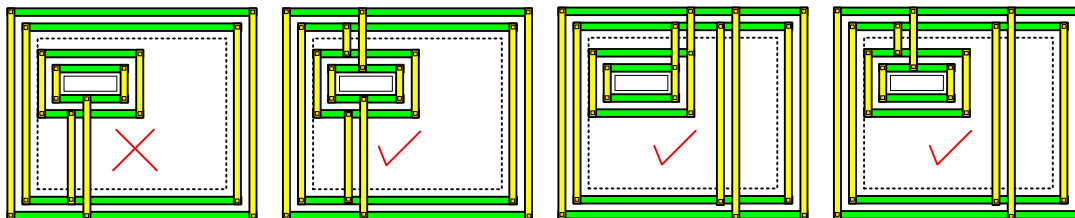
◇ **等級 A：** 達成”完成設計”之三項要求

- a、 功能正確，RTL 模擬與標準解答比對完全正確。
- b、 完成 Synthesis，且 Gate-Level Pre-layout Simulation 結果正確。
- c、 完成 APR，並達成 APR 必要項目，Gate-Level Post-layout Simulation 結果正確。

註：完成 APR 必要項目

- i. 只需做 Marco layout (即不用包含 IO Pad、Bonding Pad)。
- ii. VDD 與 VSS Power Ring 寬度請各設定為 2um，只須做一組。
- iii. 不需加 Dummy Metal。
- iv. 內建的所有記憶體 SRAM，其 VDD、VSS Pin 務必要連接至 Core Power Ring，寬度請各設定為 2um。
- v. Power Stripe 務必至少加一組，其 VDD、VSS 寬度各設定為 2um。
(Power Stripe 垂直方向至少一組，水平方向可不加)
- vi. 務必要加 Power Rail (follow pin)。
- vii. **Core Filler 務必要加。**
- viii. APR 後之 GDSII 檔案務必產生。
- ix. 完成 APR，DRC/LVS 完全無誤(見附錄 C 說明)。

註: Power Stripe 指的是直接穿過 core area 的 power line，見下圖



等級 A 評分方法：

$$\text{Score} = \text{Area}$$

註: Score 越小者，同級名次越好!

註: 此 Area 為 APR 後之結果。

- ◇ 等級 B：已做到 APR，但等級 A 之”APR 必要項目”有部分不符合，DRC/LVS 錯誤總數量容許 **5 個(含)以下**

此等級之成績計算方式如下：

$$\text{Score} = \text{Area} \times (\text{DRC} + \text{LVS 的總錯誤量})$$

註：Score 越小者，同級名次越好！

註：此 Area 為 APR 後之結果。

- ◇ 等級 C：僅完成合成，或做到 APR 但 DRC/LVS 錯誤總數量**超過 5 個以上**
此等級之成績計算方式如下：

$$\text{Score} = \text{Area}$$

註：

1. Score 越小者，同級名次越好！
2. 等級 C，視 APR 為 Fail，因此此 Area 為合成後之結果

- ◇ 等級 D：未達成前三等級者，成績計算方式為 All RTL Simulation，比對結果之 error 總數量越少者，分數越高。

$$\text{Score} = \text{Total errors of All RTL Simulations}$$

註：

1. 等級 D，Score 評分方式為所有模擬的 error 總數作相加。
2. 等級 D，視合成與 APR 皆為 Fail，Area 將不予考慮。
3. 等級 D，只以 RTL Simulation 正確率為主，Score 越小者(即 error 越少)，同級名次越好。

附錄 A 設計檔

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名 / 目錄	說明
SCE.v	本題之設計檔，已包含系統 Input/Output Port 之宣告，請以此檔案作為 SCE 電路之設計。
testfixture.v	本題僅有一個 TestBench，卻有 2 張影像要模擬，因此請在模擬期間，自行使用 +define+image1 、 +define+image2 參數，作為 2 張影像模擬時的切換。
image1.rom (image1.hex) image2.rom (image2.hex)	本題 2 張影像已放置於 image1.rom、image2.rom，此兩檔案為 ROM 要求的特定格式，若參賽者想要知道影像詳細內容可以參考 image1.hex、image2.hex。 在模擬期間，可用 +define+image1 、 +define+image2 參數即可讓 rom_32768x8.v 檔，分別自動讀取 image1.rom、image2.rom 的影像資料。
sum_of_energy1.dat sum_of_energy2.dat	本題 2 張影像最後算出的 sum_of_energy 值，提供給參賽者純 Debug 用。 註：本題會有第三張隱藏的影像作測試。
gold1.dat gold2.dat	SCE 電路輸出的標準解答，image1 的標準解答為 gold1.dat，image2 的標準解答為 gold2.dat。 註：這些檔案已加入至 TestBench，無需額外設定。
rom_32768x8/	擺放原始影像資料的 ROM。內含 PDF 檔(ROM 時序圖)、Verilog 模擬檔案。
sram_1024x12/ sram_8192x12/	SCE 電路可能會使用的 SRAM，作為 Buffer 之用。內含 PDF 檔(SRAM R/W 時序圖)、Verilog 模擬檔、LIB、DB、LEF、GDSII、FRAM 等檔案。
SCE_DC.sdc	Design Compiler 作合成之 Constraint 檔案，請自行設定 period 的期望值，但環境相關參數請勿更改。
SCE_APR.sdc	Innovus、IC Compiler 作 APR 之 Constraint 檔案，請自行設定 period 的期望值，但環境相關參數請勿更改。
.synopsys_dc.setup	使用 Design Compiler 作合成或 IC Compiler Layout

之初始化設定檔。參賽者請依 Library 實際擺放位置，自行修改 Search Path 的設定。
註：無論合成或 APR，只需使用 worst case library。

測試，該影像為前兩張影像的某一張作微調(即亂數地修改幾個 Pixels 值)而製的。

3. 使用 Innovus 作 APR 請注意，模擬時請務必自行加上 **+ncmaxdelays** 參數。

例如：

```
> ncverilog +ncmaxdelays testfixture.v SCE_pr.v tsmc13_neg.v rom_32768x8.v
+define+SDF+image1 +access+r
```

註：本題有 2 張影像需作模擬，請自行使用 **+define+image1**、**+define+image2** 參數作切換。

附錄 B 測試樣本

本題有 2 張影像的測試樣本，其個別的 threshold 值已設定於 testfixture.v 檔案之 34~38 行，而儲存影像的 ROM 44~49 行，如圖八。

```
30 //SCE CHIP
31     SCE u_SCE( .clk      (clk      ),
32                .rst      (rst      ),
33                .din      (din      ),
34 `ifdef image2
35                .threshold (6'd15   ),
36 `else
37                .threshold (6'd35   ),
38 `endif
39                .addr      (addr     ),
40                .valid     (valid    ),
41                .dout      (dout     )
42            );
43
44 //image stored @ rom
45 rom_32768x8 u_rom( .CLK      (clk      ),
46                   .CEN      (1'b0    ),
47                   .A         (addr     ),
48                   .Q         (din      )
49            );
```

圖八、 檔案 testfixture.v 之局部內容

一個 rom_32768x8.v 檔案最多只能存一張影像的資料，本題有 2 張影像要如何都使用此 ROM 模組，觀察圖九 130~135 行可知，當模擬時有加上 **+define+image1** 參數，此時 ROM 模組內容即為影像 1 的資料，同理 **+define+image2** 即為影像 2 的資料，因此當模擬時，請務必準備 **image1.rom** 及 **image2.rom** 檔案。

```

130 initial
131 `ifdef image2
132     $readmemb("image2.rom", mem );
133 `else //image1
134     $readmemb("image1.rom", mem );
135 `endif
136

```

圖九、 檔案 rom_32768x8.v 之局部內容

圖十為測試樣本 1 之原始影像 Pixels 值。測試樣本 2 與 1 的表示方式相同，在此不再贅述。

01001100	4C	//(000, 000) = 76
01001101	4D	//(000, 001) = 77
01010000	50	//(000, 002) = 80
01001101	4D	//(000, 003) = 77
01001100	4C	//(000, 004) = 76
01001111	4F	//(000, 005) = 79
01001110	4E	//(000, 006) = 78
01001111	4F	//(000, 007) = 79
01001111	4F	//(000, 008) = 79
01001100	4C	//(000, 009) = 76
01001010	4A	//(000, 010) = 74
01001001	49	//(000, 011) = 73
01001001	49	//(000, 012) = 73
01001000	48	//(000, 013) = 72
01001000	48	//(000, 014) = 72
01001001	49	//(000, 015) = 73
01001011	4B	//(000, 016) = 75
01001010	4A	//(000, 017) = 74
⋮	⋮	⋮

image1.rom

image1.hex

圖十、 測試樣本 1 之影像 Pixels 值

註：image1.rom 是存放於 ROM 的二進制格式檔案，其影像 Pixel 值與 image1.hex 完全相同。

註：image1.hex 模擬時用不到，此檔案僅提供參賽者查詢整張影像各座標的 Pixel 值。

註：image1.hex 的左半邊為十六進制，右半邊註解區為十進制，以方便參賽者 Debug 使用。

該測試樣本其 seam0 的 x 軸座標輸出範例之標準解答，如圖十一。

49	//seam_00 - 000 coordinate : 073
4A	//seam_00 - 001 coordinate : 074
4B	//seam_00 - 002 coordinate : 075
4C	//seam_00 - 003 coordinate : 076
4D	//seam_00 - 004 coordinate : 077
4E	//seam_00 - 005 coordinate : 078
4F	//seam_00 - 006 coordinate : 079
4F	//seam_00 - 007 coordinate : 079
4F	//seam_00 - 008 coordinate : 079
⋮	⋮
39	//seam_00 - 123 coordinate : 057
39	//seam_00 - 124 coordinate : 057
39	//seam_00 - 125 coordinate : 057
39	//seam_00 - 126 coordinate : 057
39	//seam_00 - 127 coordinate : 057

gold1.dat

圖十一、 測試樣本 1 – seam0 之 x 軸座標輸出範例

註：gold1.dat 的左半邊為十六進制，右半邊註解區為十進制，同時標示該輸出為哪一個 seam 的第幾個座標，方便參賽者 Debug 使用。

註：每一組 seam 的輸出，固定為 128 個 x 軸座標值。

附錄 C 設計驗證說明

參賽者繳交資料前應完成 RTL，Gate-Level 與 Physical 三種階段驗證，以確保設計正確性。**注意：**每組限定只能使用 1 license, 勿使用 Multi-CPU。

- RTL 與 Gate-Level 階段：進行 RTL simulation、Gate-Level simulation，功能要完全正確。
- Physical 階段，包含三項驗證重點：
 1. 依本題各項要求，實現完整且正確的 layout (詳細之各項要求，請見評分標準)。
 2. 完成 post-layout simulation：參賽者必須使用 P&R 軟體寫出之 Netlist 檔、SDF 檔完成 post-layout gate-level simulation，以下分為 IC Compiler、Innovus 兩種軟體說明 netlist、sdf 寫出方式。

i. 使用 Synopsys IC Compiler 者，執行步驟如下：

在 IC Compiler 主視窗底下點選

“File > Export > Write SDF...”

Specify Version	Version 2.1
Instance	空白即可
File name	SCE_pr.sdf
Significant digits	2

按 **OK**。

對應指令： write_sdf -version 2.1 SCE_pr.sdf

“File > Export > Write Verilog...”

先按 **Default**

Output verilog file name	SCE_pr.v
Output physical only cells	disable
Wire declaration	enable
Backslash before Hierarchy Separator	Enable
All other options	Default value

按 **OK**。

ii. 使用 Cadence Innovus 者，執行步驟如下：

在 Innovus 視窗下點選：

“File → Save → Netlist...”

Netlist File	SCE_pr.v
--------------	----------

All other options	Default value
-------------------	---------------

按 。

“Timing → Write SDF...”

Ideal Clock	Disable
SDF Output File:	SCE_pr.sdf

按 。

3. 完成 DRC 與 LVS 驗證：(驗證方法與以往不同，請注意)

A. DRC: 務必使用 Metor Calibre DRC 作驗證

- 準備 P&R 後的 GDSII 檔案，檔名請命名為 SCE_pr.gds
- 準備 DRC 驗證檔案，檔名為 Calibre-drc-cur
- 使用 Metor Calibre DRC 指令作驗證：

calibre -drc Calibre-drc-cur

- DRC 驗證結果，目標作到如下圖，TOTAL RESULT GENERATED = 0

```

--- CALIBRE::DRC-F EXECUTIVE MODULE COMPLETED. CPU TIME = 1 REAL TIME = 2
--- TOTAL RULECHECKS EXECUTED = 701
--- TOTAL RESULTS GENERATED = 0
--- DRC RESULTS DATABASE FILE = DRC_RES.db (ASCII)

--- CALIBRE::DRC-F COMPLETED - Wed Apr 8 10:51:05 2020
--- TOTAL CPU TIME = 1 REAL TIME = 2
--- SUMMARY REPORT FILE = DRC.rep

```

B. LVS: 務必使用 P&R 軟體內建之 LVS 作驗證

以下分為 IC Compiler、Innovus 兩種軟體說明執行步驟。

- 使用 Synopsys IC Compiler 者，驗證 LVS 步驟如下：

在 IC Compiler Layout 視窗底下點選

“Verification > LVS ...”

Pins not connected to a wire segment(Floating port)	disable
All other options	Default value

按 。

將跳出 Error Browser 視窗，檢查看看是否有錯，若有請自行修正到 0 個 Violation 為止。

- 使用 Cadence Innovus 者，驗證 LVS 步驟如下：

在 Innovus 視窗下點選

請選“Verify → Verify Connectivity...” Default 值，按 。

註：若 LVS 有發生錯誤，請選“Tools → Violation Browser...”查明原因。

4. Macro Layout 產生 IO Pins 的作法 (限 Innovus 參賽者)

在 Innovus 視窗下點選

請選“File → Save → I/O File...”

Save IO	sequence
To File	SCE.io
Generate template IO File	enable

按 。

請選“File → Load → I/O File...”

請點選 SCE.io，按 。

即可！

附錄 D 評分用檔案

評分所須檔案可以下幾個部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行模擬；(2)Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；(3)Physical design，使用 **Synopsys IC Compiler** 者，請記得將整個 **Milkyway Library** 等相關的 design database，壓縮成一個檔案。使用 **Cadence Innovus** 者，請將 Innovus 相關的 design database，壓縮成一個檔案。壓縮方式為

> **tar cvf apr.tar your_apr_database**

表 3

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	N/A	Design Report Form
RTL Simulation	*.v or *.sv	Verilog 或 System Verilog 或 ...
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout	SCE_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
Gate-level		
Simulation	SCE_syn.sdf	Pre-layout gate-level sdf
Physical category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
P&R	*.tar	archive of the design database directory
	*.gds	GDSII layout
Post-layout		
Gate-level	SCE_pr.v	Verilog gate-level netlist generated by Cadence Innovus or Synopsys IC Compiler
Simulation	SCE_pr.sdf	Post-layout gate-level sdf

附錄 E 檔案整理步驟

當所有的文件準備齊全如表 3 所列，請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下，步驟如下：

1. 在自己的 home directory 建立一個新目錄，名稱叫做“**result**” 例如：
 > ***mkdir ~/result***
2. 將附錄 D 要求的檔案複製到 result 這個目錄。例如：
 > ***cp SCE.v ~/result/***
 > ***cp SCE_pr.v ~/result/***

3. 在 Design Report Form 中，填入所需的相關資訊。

附錄 F 軟體環境

1. 使用者登入後自動會設定好以下軟體環境：

Vendor	Tool	Executable
Cadence	Virtuoso * ₁	icfb
	Composer	icfb
	NC-Verilog	ncverilog
	Innovus	innovus
Synopsys	Design Compiler	dv, dc_shell
	VCS-MX	vcs
	IC Compiler	icc_shell -gui
	Hspice	hspice
	Cosmos Scope * ₁	cscope
	Custom Explorer * ₁	wv
	Laker * ₁	laker
	Laker ADP* ₁	adp
	Verdi * ₁	verdi, nWave
Mentor	Calibre * ₃	calibre
	QuestaSim	vsim
Utility	vi	vi, vim
	gedit	gedit
	nedit	nedit
	pdf reader	acroread
	calculate	gnome-calculator, bc -l
	gcc	gcc
	Matlab	matlab

EDA 軟體所須使用的 license 皆已設定完成，不須額外設定

*₁ 該軟體限定使用 1 套 license

*₃ 該軟體限定使用 3 套 license

附錄 G 設計資料庫

設計資料庫位置： /usr/cad/icc2020/CBDK_IC_Contest_v2.1

目錄架構

ICC/

tsmc13gfsg_fram/	ICC core library
tsmc13_CIC.tf	ICC technology
macro.map	layer mapping file
tluplus/	
t013s8mg_fsg_typical.tluplus	t13 tluplus file
t013s8mg_fsg.map	t13 tluplus mapping file

SOCE/

lef/	
tsmc13fsg_8lm_cic.lef	LEF for core cell
lib/	
slow.lib	worst case for core cell
streamOut.map	Layout map for GDSII out

SynopsysDC/

db/	
slow.db	Synthesis model (slow)
lib/	
slow.lib	timing and power model

Verilog/

tsmc13_neg.v	Verilog simulation model
--------------	--------------------------

Calibre /

Calibre-drc-cur

Verify DRC file

Phantom/

tsmc13gfsg_fram.gds	Standard Cell GDSII file
---------------------	--------------------------

Design Report Form

登入帳號(login-id)		
RTL category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
RTL Simulation	使用之 HDL 名稱 (例如：Verilog、System Verilog)	
RTL Simulation	RTL 檔案名稱 (RTL file name)	
Gate-Level category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>
Pre-layout Gate-level Simulation	Gate-Level 檔案名稱 (Gate-Level Netlist file name)	
	Pre-layout sdf 檔案名稱	
	Gate-Level simulation, 所使用的 CYCLE Time (請確定模擬功能正確)	() ns
Physical category		
<i>Design Stage</i>	<i>Description</i>	<i>File Name or Value</i>
P&R	使用之 P&R Tool (請填入 IC compiler 或 Innovus)	
	設計資料庫檔案名稱 (Library name) (ICC: Milkyway Library Name, Innovus: xxx.enc.dat)	
	Calibre DRC 錯誤總數量 (ex: 0 個)	
	APR Tool LVS 錯誤總數量 (ex: 0 個)	
	Post-layout Simulation 所使用的 CYCLE Time (ex: 10ns) (請確定模擬功能正確)	
Score (Pre-layout or Post-layout Result) Over All	Area (ex: area = 108240 um ²) area = ?	
	填寫之面積為哪一階段的結果? (請填 合成後 or APR 後)	
	最後完成之等級? (ex: 等級 A)	

其他說明事項 (Any other information you want to specify: (如設計特點 ...)) 如寫不下可寫於背面