

## Laboratoire de systèmes logiques semestre automne 2022 - 2023

### Laboratoire CHENILLARD

---

## Informations générales

---

Le rendu pour ce laboratoire se fera **par groupe de deux**, chaque groupe devra rendre son travail.

Le laboratoire sera évalué sous la forme d'un quiz **individuel** à la fin de la dernière séance du laboratoire. La note sera ainsi pondérée par rapport à la qualité de votre circuit et surtout sur votre compréhension sur ce dernier qui sera évalué grâce au quiz, ciblé sur ce laboratoire.

 **N'oubliez pas de sauvegarder et d'archiver votre projet à chaque séance de laboratoire**

**NOTE 1 :** Afin de ne pas avoir de pénalité pensez à respecter les points suivants

- Toutes les entrées d'un composant doivent être connectées. (-0.1 sur la note par entrée non-connectée)
- Lors de l'ouverture de Logisim, bien préciser votre nom en tant que User
- Ne pas modifier (enlever/ajouter/renommer) les entrées/sorties déjà placées
- Ne pas modifier le nom des composants déjà présents

**NOTE 2 :** Lors de la création de votre circuit, tenez compte des points suivants afin d'éviter des erreurs pendant la programmation de la carte FPGA :

- Nom d'un circuit  $\neq$  Label d'un circuit
- Nom d'un signal (Pin)  $\neq$  Label et/ou Nom d'un circuit, toutes les entrées/sorties doivent être nommées
- Les composants doivent avoir des labels différents

**NOTE 3 :** Nous vous rappelons que si vous utilisez les machines de laboratoire situées au niveau A, il ne faut pas considérer les données qui sont dessus comme sauvegardées. Si les machines ont un problème, nous les remettons dans leur état d'origine et toutes les données présentes sont effacées.

## Objectifs du laboratoire

---


L'objectif principal de ce laboratoire est la réalisation d'un chenillard. Pour cela, vous devrez d'abord créer un certain nombre de composants puis les utiliser afin de concevoir le circuit principal

Ce laboratoire est noté. Vous devez rendre le projet Logisim et répondre à un quiz. Le quiz sera orienté de façon à pouvoir évaluer votre compréhension du laboratoire.

## Outils

---

Pour ce laboratoire, vous devez utiliser les outils disponibles sur les machines de laboratoire (A07 / A09) ou votre ordinateur personnel avec Logisim installé.

 **La partie programmation d'une FPGA ne peut se faire que sur les ordinateurs présents dans les salles (A07/A09).**

## Fichiers

---

Vous devez télécharger à partir du site Cyberlearn le projet Logisim dédié à ce laboratoire.

## Logisim fourni

---

Vous allez recevoir un projet Logisim qui contient la plupart des entités que vous allez réaliser dans le cadre de ce laboratoire. Vous devrez compléter ces entités afin de réaliser les fonctions demandées. De plus, ne modifiez surtout pas les noms des entrées/sorties déjà placées dans ces entités et n'ajoutez pas d'entrée/sortie supplémentaires.

## Conseil sur l'organisation du laboratoire

---

Pour permettre un suivi de ce laboratoire, vous devez remplir le fichier Excel mis à disposition sous Teams.

Ce laboratoire se déroule sur **4 séances**. vous pouvez suivre l'organisation suivante pour gérer votre travail sur ce laboratoire :

séance	Étape à terminer
1	Registre à décalage 4 bits et Registre à décalage 8 bits
2	Timer
3	Chenillard
4	Simulation, intégration & validation

# 1 CHENILLARD

---

## Description

---

Un chenillard, et un système de décalage de bits **circulaire** (ce qui sort est réinjecté au début) permettant d'afficher une animation sur des LEDs

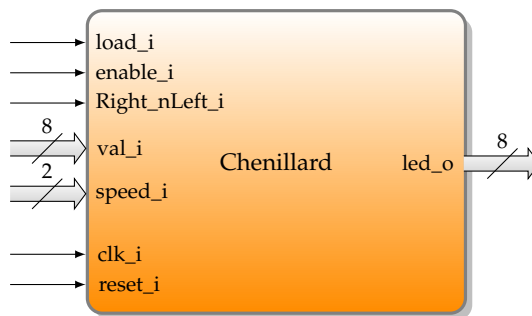
## Chenillard

---

Le chenillard comprend :

- Un shift register (registre à décalage)
- Un timer
- Une partie contrôle

### Composant Chenillard



Nom I/O	Description
load_i	Activation du chargement sur la sortie led_o
enable_i	Activation du fonctionnement du chenillard
Right_nLeft_i	Sens du décalage ('1' pour un décalage à droite, '0' pour un décalage à gauche)
val_i	Données à charger si l'utilisateur désire faire un chargement
speed_i	Fréquence du décalage
clk_i	Horloge du système, fréquence de 30MHz
reset_i	Reset asynchrone du système
led_o	Affichage du chenillard sur les leds

### Spécifications du chenillard

1. Après le reset, la sortie led\_o est à 0x00
2. L'utilisateur charge une donnée à la sortie led\_o en introduisant une valeur dans val\_i et en activant l'entrée load\_i quelle que soit la valeur de l'entrée enable\_i
3. L'utilisateur désactive le chargement, en activant l'entrée enable\_i le chenillard se lance entraînant un décalage des leds dans le sens indiqué par l'entrée Right\_nLeft\_i à une fréquence indiquée par l'entrée speed\_i

Table de sélection de la vitesse de défilement du pattern du chenillard en Hz

Valeur de speed_i	Fréquence de décalage du chenillard
"00"	4.0 Hz
"01"	2.0 Hz
"10"	1.0 Hz
"11"	0.5 Hz

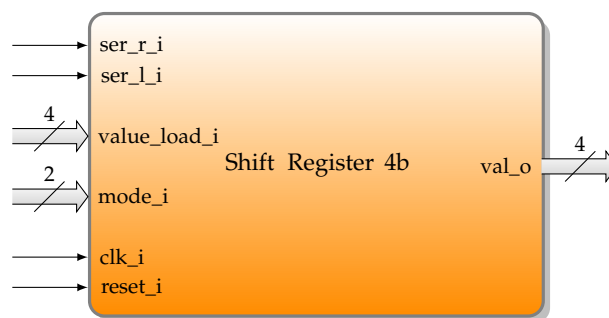
## Travail à effectuer

**Note :** Dans ce laboratoire, vous tiendrez compte des points suivants :

- Vous réalisez un système séquentiel, ce qui implique que **chaque composant synchrone** de votre circuit comporte une entrée **clk\_i**.
- Lorsque vous avez plusieurs composants, vous relierez toutes les entrées **clk\_i** à une **même horloge (clk\_i)**.
- Dans un circuit, on ne modifie **JAMAIS** le signal d'horloge (**clk\_i**). En d'autres termes, on ne connecte jamais un signal d'horloge (**clk\_i**) à une porte logique. ("Gated clock")

### Etape 1-a : Registre à décalage 4 bits

Complétez le circuit shift\_reg\_4b que vous trouvez dans le projet Logisim.



Nom I/O	Description
ser_r_i	Entrée sérielle MSB du registre à décalage
ser_l_i	Entrée sérielle LSB du registre à décalage
value_load_i	Valeur à charger dans le registre à décalage
mode_i	Sélection du mode du registre à décalage
clk_i	Horloge du système
reset_i	Reset asynchrone du système
val_o	Valeur stockée dans le registre à décalage

Ce registre à décalage de 4 bits doit pouvoir en fonction de la valeur sur l'entrée **mode\_i** :

- **mode\_i = 00** : garder son contenu (HOLD)
- **mode\_i = 01** : charger une donnée (LOAD)
- **mode\_i = 10** : décaler à gauche (SHL)
- **mode\_i = 11** : décaler à droite (SHR)

Le registre à décalage doit être réalisé à l'aide de flip-flops D et de multiplexeurs, comme vu dans le cours.

### Etape 1-b : Registre à décalage 8 bits

Complétez le circuit shift\_reg\_8b que vous trouvez dans le projet Logisim en utilisant des registres à décalage de 4 bits (point 1-a) et en créant un ou des circuits intermédiaires si besoin.



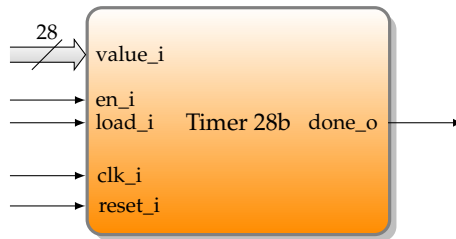
Nom I/O	Description
ser_r_i	Entrée sérielle MSB du registre à décalage
ser_l_i	Entrée sérielle LSB du registre à décalage
value_load_i	Valeur à charger dans le registre à décalage
mode_i	Sélection du mode du registre à décalage
clk_i	Horloge du système
reset_i	Reset asynchrone du système
val_o	Valeur stockée dans le registre à décalage

Utilisez le mode simulation pour valider son fonctionnement.

## Etape 2 : Timer

Compléter le circuit timer\_28b que vous trouvez dans le projet Logisim **sans** utiliser le composant «compteur» de Logisim, mais comme vu en cours.

Ce circuit sera un timer 28 bits qui comprend :



Nom I/O	Description
value_i	Valeur du compteur
en_i	Enable synchrone du compteur
load_i	Chargement synchrone de la valeur
clk_i	Horloge du système
reset_i	Reset asynchrone du système
done_o	Flag indiquant que le compteur a fini

Avec une fréquence d'horloge (**clk\_i**) de 30MHz, à vous de calculer le nombre de cycle à attendre pour qu'il corresponde à une fréquence de 4, 2, 1 et 0.5 Hz

Pour la simulation, utilisez une valeur beaucoup plus petite (6, par exemple).

## Etape 3 : Chenillard

Complétez votre composant chenillard avec les composants registre à décalage 8bits et timer créés précédemment et en y ajoutant le nécessaire (portes logiques, bascules).

## Etape 4 : Simulation

Testez votre chenillard en simulation et relevez le chronogramme pour vérifier si le fonctionnement est conforme aux spécifications.

## Etape 5 : Intégration/Validation

Avant d'alimenter la carte, il faut tout d'abord régler l'oscillateur qui fournira l'horloge à notre carte. Cela se fait en modifiant la configuration des curseurs de DS1. Ceux-ci doivent être réglé comme sur l'image, à savoir : ON ON OFF OFF ON. Cela permettra de régler la fréquence de l'oscillateur à 30MHz.



FIGURE 1 – configuration de l'horloge sur la carte MAX-V

Pour l'intégration sur carte, utilisez le composant MAXV\_CHENILLARD.

Intégrez le projet MAXV\_CHENILLARD avec le but de programmer un circuit programmable et tester votre Chenillard. Utilisez la console d'interrupteurs pour donner l'entrée "val\_i", les dip-switch de la carte Max V pour indiquer les autres entrées et les LEDs sur la console d'interrupteurs pour afficher les sorties du système. Lors de la programmation, dans le menu « FPGA commander », sélectionner la carte MAX\_V\_CONSOLE (Choose target board).

Faites valider le fonctionnement par l'assistant.

## Rendu

Pour ce laboratoire, vous devez rendre :

— votre fichier *.circ*

Vous devez déposer les rendus sur Cyberlearn jusqu'à la date indiquée dans l'espace de rendu consacré à votre classe. Ainsi, vous recevrez un feedback dans le courant de semaine suivante.

**CONSEIL : Faire une petite documentation sur cette partie vous préparerait directement pour le quiz et vous fera directement un résumé pour l'examen.**