

2023 Digital IC Design Homework 2

NAME	劉兆軒
Student ID	N26112437
Functional Simulation Result	
Score	100
<pre># ----- # ---- Simulation finish, ALL PASS, Score = 100 ---- # ----- # ** Note: \$finish : D:/intel_verilog/modelsim_ase/win32aloem/HW2/file/tb.v(139) # Time: 44750 ns Iteration: 1 Instance: /testfixture</pre>	
Description of your design	
<p>剛開始先設置可能會用到的 reg。</p> <pre>reg valid; reg result; reg [4:0]count; reg [3:0] total; reg [3:0] num; reg [3:0] stack [0:10]; // 10-level stack reg [4:0] sp; reg [1:0]start;</pre> <p>前面剛開始先判斷是否 reset 或為跑完一個 case 須重置 reg 變數，如果不是的話，去判斷目前狀態是否需要將 valid 設置為 1，回傳 result 成功或失敗。</p> <pre>always @(posedge clk) begin if(reset (valid==1 & count==0))begin sp = 0; num =1; assign result = 0; assign valid = 0; total =3; count = 0; stack[0] = 4'b0000; end else begin //失敗 if(sp>=1 && count==0)begin \$display("fail"); assign result = 0; assign valid = 1; start = 2; end //成功 else if (num == total && count==0)begin \$display("succ"); assign result = 1; assign valid = 1; start = 2; end //繼續 else begin</pre>	

過程主要是利用想像為一個 stack 的方式，每個 case 近來先讀取第一筆 data 當作總數(total)和 count，後面每次再進一次 data 就將 count-1 直到 0 當作 case 傳完判斷。

後面 while 迴圈主要是紀錄目前的 sp 所指向的數字是否為傳入的 data，不是的話，不斷 push num 直到相同或溢出，後面 if 用來判斷若目前 sp 指向的 num 是否和 data 相同，相同的話 pop。

最後結果當 count 為 0 時，則判斷 sp 位置，超過 1 以上則代表沒有 pop 完(即不符合規則)，否則為成功。

```
47 //繼續
48 else begin
49     //total
50     if(count==0)begin
51         total = data;
52         count = data;
53         $display("total",total);
54     end
55
56     else begin
57         count = count-1;
58
59         while(stack[sp]!=data && num<total)begin
60             sp = sp +1;
61             stack[sp] = num;
62
63             num = num+1;
64
65         end
66
67         if(stack[sp]==data) begin
68             stack[sp] = 0;
69             sp = sp-1;
70         end
71         else begin
72             sp = sp;
73         end
74
75     end
76 end
77
78 end
```