2023 Digital IC Design Homework 5

NAME	劉兆軒
Student ID	N26112437

Simulation Result

Functional simulation	Completed	Gate-level simulation	Completed

```
**************************************************************
**            Simulation completed successfully!
**************************************************************
** Note: $finish    : D:/intel_verilog/modelsim_ase/win32aloem/
   Time: 5766180 ns  Iteration: 1  Instance: /testfixture
1
```

```
**************************************************************
       Simulation completed successfully!
**************************************************************
$finish    : D:/intel_verilog/modelsim_ase/win32aloem/HW5/
5766180 ns  Iteration: 1  Instance: /testfixture
```

Evaluation Results

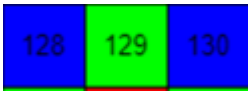
test1.png	25.29	test2.png	24.78
test3.png	29.13	test4.png	21.0
test5.png	21.98	test6.png	25.27

Description of your design

我的設計流程是先將 data_in 所有值存到對應的 channal 內，在去針對三種 channal 所缺乏的 pixel 部分用雙線性內差法實作出來。

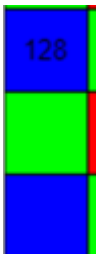
實作部分舉例說 blue channal，分別是奇數列和偶數行有值，我會先將偶數列的空缺 pixel 計算出來，如下圖 ：

mem[129] = (mem[128]+mem[130]) / 2



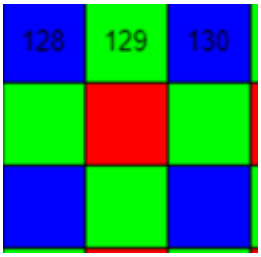
在去計算奇數行的空缺 pixel 將值計算出來，如下圖：

mem[256] = (mem[128]+mem[384]) / 2



最後在將中心部分也填滿，如下圖：

mem[257] = (mem[128]+mem[384]+mem[130]+mem[386]) / 4



以上步驟即可將 blue channal 整張圖完成，其他 channal 以此類推。

Scoring = average PSNR of the six test images

*** PSNR of all interpolation results should meet at least the baseline.**