**Folha de Dados**

**Primeira Lista Exercícios**

**Circuitos Sequenciais e Projeto RTL**

**Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas**

**Instruções**:

1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Kewin Kuster matrícula: 14/0044299

**Exercício 1. Ping-pong leds**

1. Diagrama de blocos proposto.



1. Diagrama esquemático (Análise RTL pré-síntese)



1. Estimação consumo de recursos lógicos após a síntese lógica:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) |

1. Consumo de recursos após implementação (processo *Place and Route* - PAR):

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) |

1. Análise de timming:

Wors negative slack (setup): \_\_\_\_\_ ns

Worst negative slack (hold) : \_\_\_\_\_ ns

Frequência de operação do circuito: \_\_\_\_\_\_ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: \_\_\_\_\_ ns

1. Layout do circuito após a implementação (após processo *Place and Route* – PAR):



1. Estimação do consumo de energia após a implementação do circuito:

Potência total: \_\_\_\_\_\_\_\_\_ (mW)

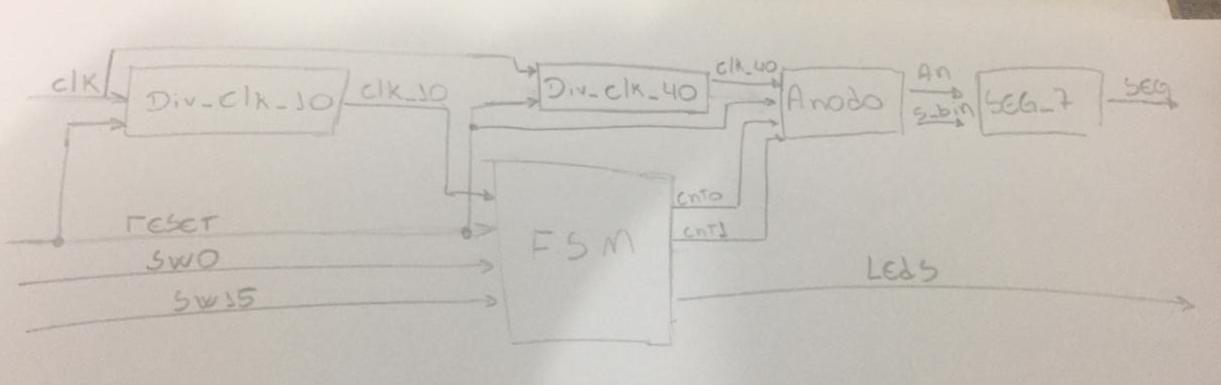
Potência estática: \_\_\_\_\_\_\_\_\_ (mW)

Potência dinâmica: \_\_\_\_\_\_\_\_\_ (mW)

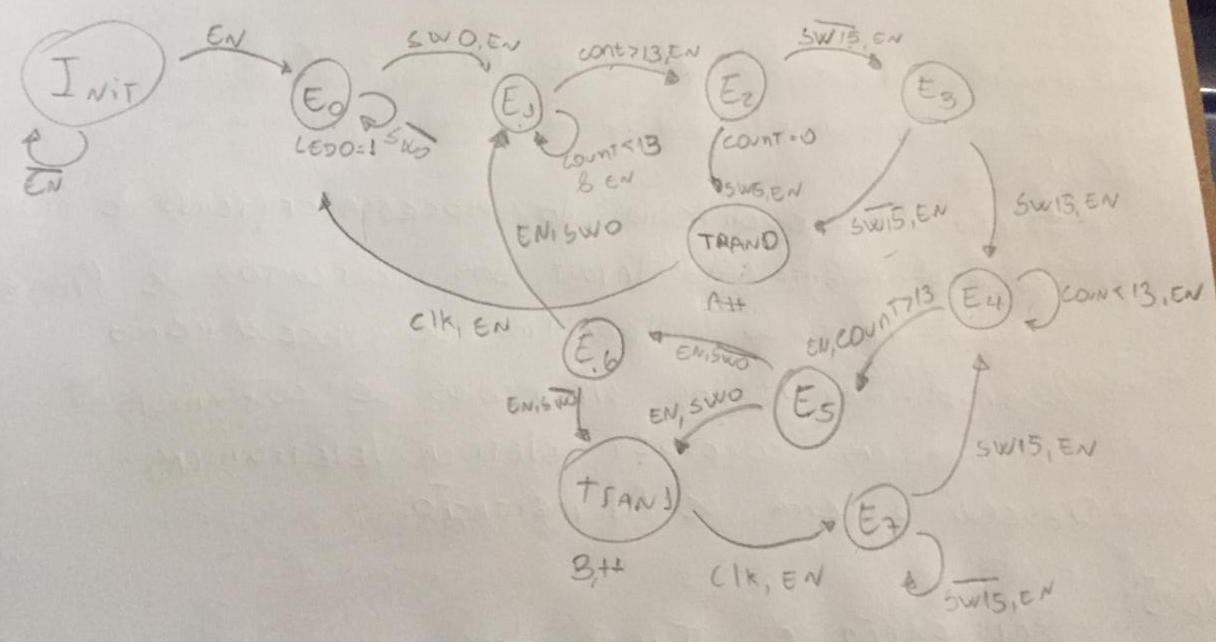
Gráfico de consumo de energia:

**Exercício 2. Ping-pong leds FSM**

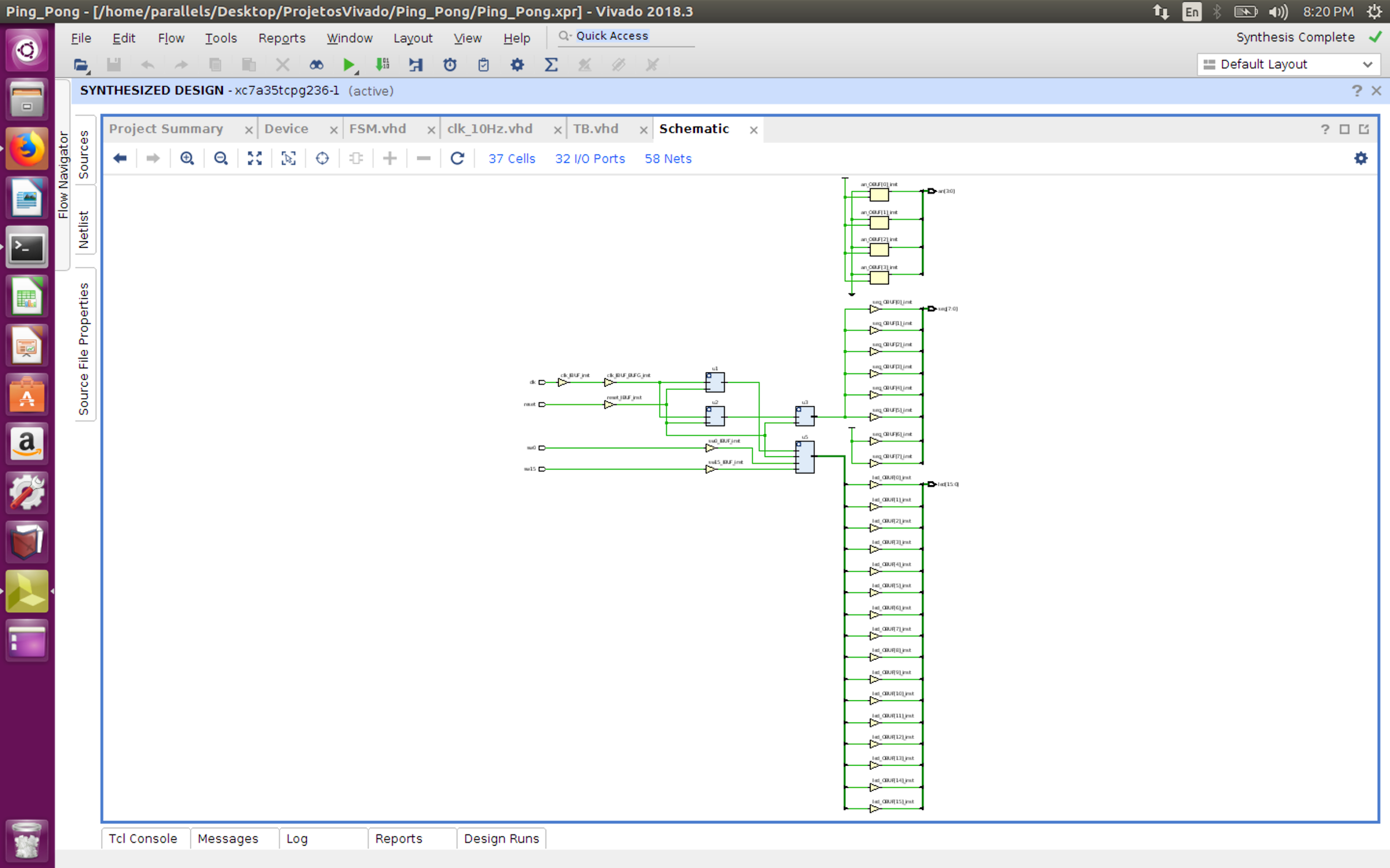
1. Diagrama de blocos proposto.



1. Diagrama de estados:



1. Diagrama esquemático (Análise RTL pré-síntese)



1. Estimação consumo de recursos lógicos após a síntese lógica:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| 56 (0.27%) | 61 (0.15 %) | 32 (30.19 %) | 0 (0 %) | 0 (0 %) |

1. Consumo de recursos após implementação (processo *Place and Route* - PAR):

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| 56 (0.27%) | 61 (0.15 %) | 32 (30.19 %) | 0 (0 %) | 0 (0 %) |

1. Análise de timming:

Wors negative slack (setup): 0.599 ns

Worst negative slack (hold) : 0.263 ns

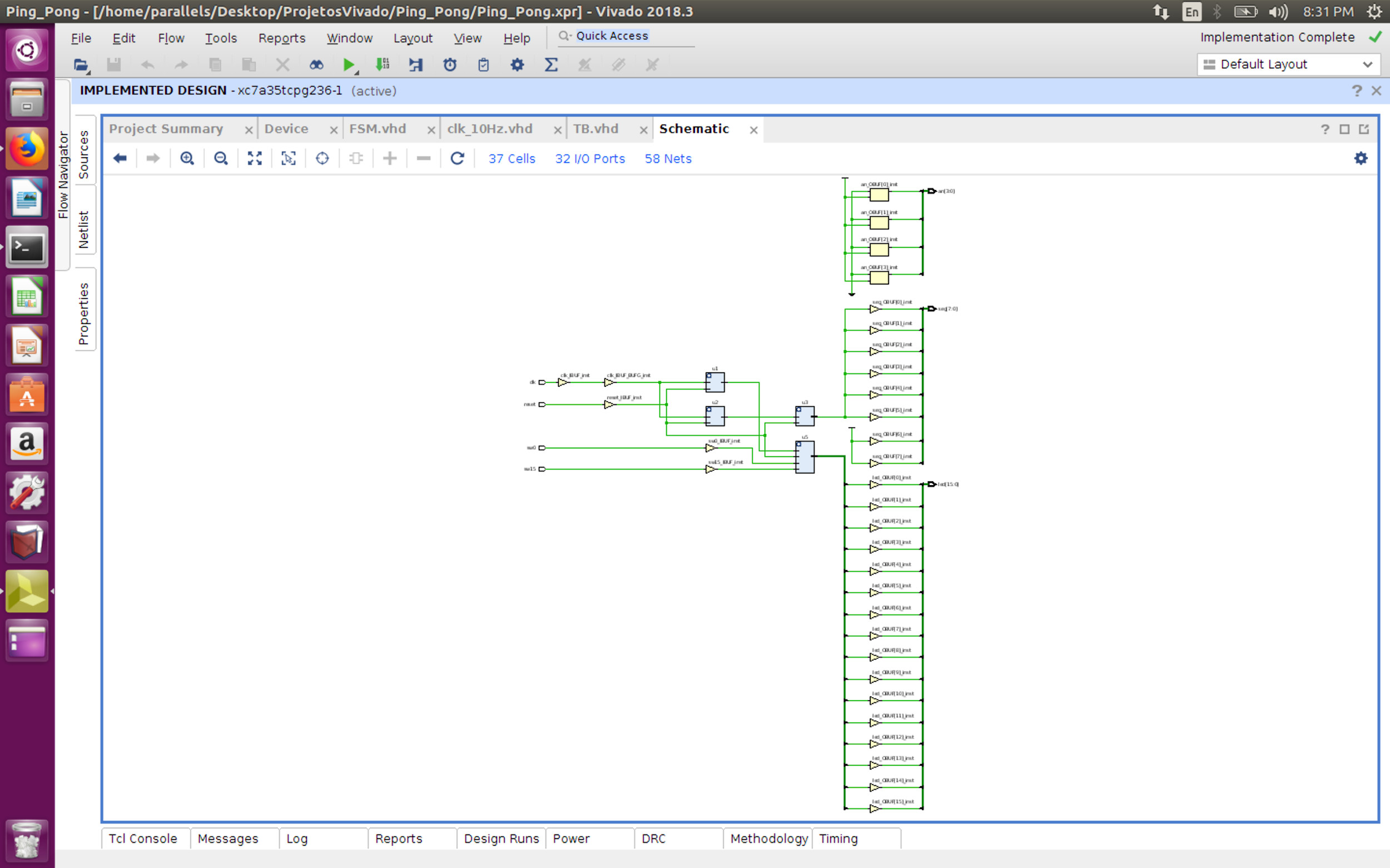
Frequência de operação do circuito: 200 MHz

Caminho crítico (net de origem): u2/count\_reg[23]/C

Caminho crítico (net de destino): u2/count\_reg[24]/R

Maximo path delay: 3.819 ns

1. Layout do circuito após a implementação (após processo Place and Route – PAR):

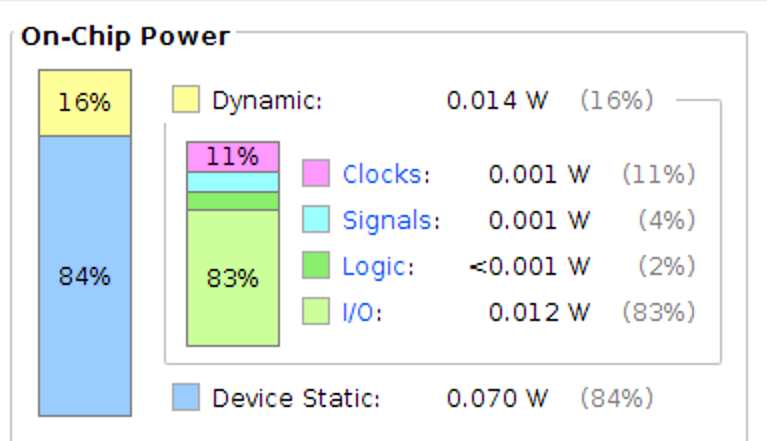


1. Estimação do consumo de energia após a implementação do circuito:

Potência total: 0.084 (W)

Potência estática: 0.07 (W)

Potência dinâmica: 0.014(W)

Gráfico de consumo de energia:

**Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante**

1. Diagrama de blocos proposto.
2. Diagrama de estados (se aplica)
3. Diagrama esquemático (Análise RTL pré-síntese)
4. Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE =



1. Estimação consumo de recursos lógicos após a síntese lógica:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) |

1. Consumo de recursos após implementação (processo *Place and Route* - PAR):

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LUTs  Total: | FFs  Total: | Pinos de IOs  Total: | Blocos DSP  Total: | Blocos BRAM  Total: |
| \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) | \_\_\_\_\_\_ (\_\_\_\_ %) |

1. Análise de timming:

Wors negative slack (setup): \_\_\_\_\_ ns

Worst negative slack (hold) : \_\_\_\_\_ ns

Frequência de operação do circuito: \_\_\_\_\_\_ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: \_\_\_\_\_ ns

1. Layout do circuito após a implementação (após processo Place and Route – PAR):



1. Estimação do consumo de energia após a implementação do circuito:

Potência total: \_\_\_\_\_\_\_\_\_ (mW)

Potência estática: \_\_\_\_\_\_\_\_\_ (mW)

Potência dinâmica: \_\_\_\_\_\_\_\_\_ (mW)

Gráfico de consumo de energia: