# 目次

1	はじめに	2
2	実験の目的と原理	2
2.1	Z80	2
2.2	入出力制御	3
3	実験内容	3
3.1	実験課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の観察	3
3.2	実験課題 3. 入出力制御	4
4	実験結果	8
4.1	実験課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の観察	8
4.2	実験課題 3. 入出力制御	11
5	考察	11
5.1	考察課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の観察	11
5.2	考察課題 3. 入出力制御	13
6	おわりに	15
7	参考文献	15

# 1 はじめに

デジタル信号は0と1の信号の組み合わせでできている。各信号が0と1の2値であるが、現代のデジタル機器では幅広い数値を表現することができる。つまり離散的な値の組み合わせで、見かけ上連続的な幅を表現できるということになる。

ここでは、このコンピュータのシステムを演算装置 (ALU) から、Z80 コンピュータシステムや 入出力制御までを通して理解することを目的とする。

レポートはこの実験全体を2分し、以下のように各レポートで実験結果をまとめる。

- 1 部: 演算装置 (ALU:Arithmetic Logic Unit)
- 2 部: Z80 コンピュータシステム、入出力制御

そして、このレポートはそのうちの第2部であり、Z80の演算命令等の挙動観察実験、及び入出力制御をスイッチ入力、スピーカ制御について行った実験をまとめている。

# 2 実験の目的と原理

### 2.1 Z80

### 2.1.1 目的

はじめに行うのは Z80 の演算命令に対する挙動観察である。つまりあるプログラムを実行させるときに、実際コンピュータはどのようにそのメモリ、レジスタ、そしてスタックなどを利用しているのかを、デバッガーを用いて 1 命令ごとにトレースしていく。

それがこの実験の目的であり、以下、必要な主な原理を述べる。

### 2.1.2 アセンブリの命令

実験中で使われるいくつかのアセンブリの命令を以下に載せる。

• PUSH qq

$$SP - 1 = qq_H$$
  

$$SP - 2 = qq_L$$
  

$$SP = SP - 2$$

• CALL nn

$$SP - 1 = PC_H$$
  
 $SP - 2 = PC_L$   
 $SP = SP - 2$   
 $PC = nn$ 

• POP qq

$$qq_L = SP$$

$$qq_H = SP + 1$$

$$SP = SP + 2$$

• DEC dd

$$dd = dd - 1$$

### 2.2 入出力制御

### 2.2.1 目的

このマイクロプロセッサ実験の最後には入出力制御を行う。

あるプログラムが汎用化のために使用者の入力を待って、それに対して出力を返すという挙動を示すとき、そのプログラムの作成は条件分岐やそれに伴うサブルーチンの形成を必要とする。これら条件分岐などのメソッドを用いて、入出力挙動を示すシステムを考えること (今回におけるプログラムを作成すること) を入出力制御と呼ぶ。

ここではスイッチ入力による LED 出力の制御、及び周波数入力によるスピーカ出力の制御により入出力制御を学ぶ。

### 2.2.2 入出力制御のアセンブリ

入出力制御において外部の装置からの入力情報を得るとき、もしくは出力情報を送るとき、以下 の2つのアセンブリが使われる。

- IN r, (C): C レジスタの内容が示す入力ポート番号からの 1 杯とのデータを r レジスタへ入れる。
- OUT (C), r:r レジスタの内容を C レジスタのないようが示す出力ポート番号へ出力する。

# 3 実験内容

ここでは Z80 および入出力制御の実験に関して、それを学習するためのサンプルコードをトレースするいくつかの実験課題を設け、次節の「実験結果」でその観測結果を示す。

# 3.1 実験課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の 観察

まず Z80 コンピュータシステムに関する実験を行った。実験課題は主に、演算命令、条件分岐などに対するメモリやフラグの使用用途を観察するものとなっている。

### 3.1.1 実験課題 2-2. 演算命令及びフラグの観察

演算命令実行時にメモリ・フラグがどのように使用されているかを観察するサンプルコードを作成し、トレース。

- 1. 表 1 に示す ex01.hex プログラムを作成、コンパイルさせた後読込。
- 2. メモリの A000H 番地に B0 を代入し、デバッガーを用いてプログラムをトレース。

番地	機械語	ア	センブリ	A レジスタの内容	S	Z	P/V	С
8000	3A 00 A0	LD	A, (A000H)	В0Н	0	0	0	0
8003	C6 80	ADD	A, 80H	30H	0	0	1	1
8005	CB 2F	SRA	A	18H	0	0	1	0
8007	CB 27	SLA	A	30H	0	0	1	0
8009	37	SCF		30H	0	0	1	1
800A	CE 07	ADC	A, 07H	38H	0	0	0	0
800C	E6 F0	AND	F0H	30H	0	0	0	0
800E	CB FF	SET	7, A	В0Н	0	0	0	0
8010	CB 0F	RRC	A	58H	0	0	0	0
8012	CB 07	RLC	A	В0Н	0	0	0	0

表 1 ex01.asm アセンブリコード

### 3.1.2 実験課題 2-3. フラグ、条件分岐及びサブルーチン実行時の観察

フラグによる条件分岐の扱いとサブルーチンの動きを見るためのサンプルコードを作成し、フラグとプログラムの挙動の関係を観察。

- 1. 表1に示すプログラムコードを作成、コンパイルの後、読み込み。
- 2. メモリの B000H 番地に A8A8 を代入し、デバッガーを用いてプログラムをトレース。

### 3.2 実験課題 3. 入出力制御

次に入出力制御に関する実験ではスイッチと LED、及びスピーカにおける入出力の挙動を観測する実験課題を設け、それを以下の手順で行った。

### 3.2.1 実験課題 3-1. スイッチ入力と LED の制御

ここではスイッチ入力に対する LED の出力制御を行った。

表 2 ex02.asm

	ORG	8000H
	LD	SP, 0D000H
	LD	HL, 0
	LD	B, 2
LOOP:	PUSH	BC
	CALL	KEISAN
	DEC	В
	JP	NZ, LOOP
	JP	KAKUNO
KEISAN:	POP	DE
	LD	BC, (0B000H)
	ADD	HL, BC
	POP	BC
	PUSH	DE
	RET	
KAKUNO:	LD	(0C000H), HL
	END	

1. 表 3 のアセンブリのコードを作成、コンパイルの後、デバッガーでトレースする。

表 3 SW 及びスイッチ入力に対する LED 出力の制御のアセンブリコード

	ORG	7000H	; プログラム開始番地
	LD	C, 30H	;SWO-7 の I/O アドレス指定
KURIKAE:	IN	A, (C)	;SWO-7 からデータを入力
	OUT	(11H), A	; 入力データを LED に出力
	CP	55H	; 偶数スイッチのみが on か?
	JP	Z, OWARI	;Yes:終了
	JP	KURIKAE	;No:データ入力を繰り返す
OWARI:	NOP		; ブレークポイント設定位置
	END		;

### 3.2.2 実験課題 3-2. スピーカの制御

音の高さと長さを読み込み、それを元にスピーカーで音を発生。さらに繰り返し実行による高さ・長さそれぞれの増加も出力に反映。

- 1. 表4のスピーカ制御のアセンブリコードを作成、コンパイル。
- 2. PC レジスタを 7000H に設定。
- 3. 入力の際には、8F10H 番地に音の高さの初期値を、8F12H 番地に音の高さの増分を、8F14H 番地に音の長さの初期値を、8F16H 番地に音の長さの増分を入力。
- 4. 入力値を適当に変更させながら、スピーカーから発生する音の高さの聞こえる周波数範囲を測定。
- 5. 入力値を適当に変更させながら、音の聞こえる範囲内で適当に5点の周波数を選び、それぞれに対して音の長さを5点変化させてパルス幅と継続時間との関係を測定。

## 表 4 スピーカ制御のアセンブリコード

	ORG	7000H	;プログラム開始番地
MAIN:	LD	BC, (8F14H)	,
WIZZIIV.	CALL	OTODASU	設定高さの音を長さ分高くし続ける
	CALL	FUYASU	音の高さと長さを設定した増分ずつ増やす
	JP	MAIN	;新しい長さ及び高さで音を鳴らす (ブレークポイント設定位置)
WAIT:	CPD	WITTIIV	1周期分かぞえる
,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,	JP	PE, WAIT	1周期経過していなければ、待つ
	RET	1 12, **********************************	音を出すサブルーチン意戻る
OTODASU:	CPD		;繰り返し回数(持続時間)で減らす
	PUSH	AF	繰り返し回数カウンターをスタックに退避
	PUSH	BC	音の長さをスタックに退避
	LD	A, 0	; 出力データセット
	OUT	,	;スピーカに出力
	LD		; 音の高さ (周期) を設定
	CALL	WAIT	; 待ち時間 (音の高さ)
	LD	A, 1	出力データリセット
	OUT	(50H), A	
	LD	, ,	音の高さ (周期) 変更
	CALL	WAIT	待ち時間
	POP	BC	音の長さ情報をスタックから呼び出す
	POP	AF	繰り返し回数カウンターをスタックから呼び出す
	JP	PE, OTODASU	設定した音の長さ分経過していなければ、音を出す
	RET		; 同じ回数でも高さが異なると周期が違うため長さは変わる
FUYASU:	LD	HL, (8F10H)	; 音の高さの読み出し
	LD	BC, (8F12H)	; 音の高さの増分を読み出し
	ADD	HL, BC	; 音の高さを増やす
	LD	(8F10H), HL	; 音の高さを書き込み
	LD	HL, (8F14H)	; 音の長さを読み出し
	LD	BC, (8F16H)	; 音の長さの増分を読み出し
	ADD	HL, BC	; 音の長さを増やす
	LD	(8F14H), HL	; 音の長さを書き込み
	RET		メインプログラムに戻る
	END		プログラム終了

# 4 実験結果

本節では前節の実験内容の観測結果を示す。

# 4.1 実験課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の 観察

#### 4.1.1 実験課題 2-2. 演算命令及びフラグの観察

表 5 に演算命令に対するフラグの働きを見るサンプルプログラム ex01.asm の実行結果を示す。 なお、実験内容で事前予想を示した表 1 と異なるデータは表中その横に\*を記して分かるようにし ている。

番地	機械語	アセンブリ		A レジスタの内容	$\mathbf{S}$	Z	P/V	С
8000	3A 00 A0	LD	A, (A000H)	В0Н	0	0	0	0
8003	C6 80	ADD	A, 80H	30H	0	0	1	1
8005	CB 2F	SRA	A	18H	0	0	1	0
8007	CB 27	SLA	A	30H	0	0	1	0
8009	37	SCF		30H	0	0	1	1
800A	CE 07	ADC	A, 07H	38H	0	0	0	0
800C	E6 F0	AND	F0H	30H	0	0	0	0
800E	CB FF	SET	7, A	В0Н	0	0	1*	0
8010	CB 0F	RRC	A	58H	0	0	0	0
8012	CB 07	RLC	A	В0Н	1*	0	0	0

表 5 ex01.asm の実行結果

なお見やすさのため、ここでプログラムの行ごとに、以下でトレースの結果を述べる。後の考察 課題の解答とする。

- 1. この命令は A レジスタに A00H を代入するもので、A レジスタのみ変化。
- 2. A レジスタに 16 進数で 80 を加算。加算命令による桁上げが起こっているため C と V フラグが 1 となっている。
- 3. A レジスタの内容を右に 1 つシフト。論理演算により偶数パリティとなっているため、P フラグが立っている。
- 4. A レジスタの内容を左に1つシフト。論理演算により偶数パリティとなっているため、P フラグが立っている。
- 5. キャリーフラグを立たせる論理演算。4 行めと同様に論理演算で偶数パリティとなっている

ため、P フラグと C フラグが立っている。

- 6. A レジスタに 07H を加算後、C フラグが立っているためにさらに最下位ビットに 1 を加えている。
- 7. A レジスタと F0 との論理積の結果を A レジスタに代入。フラグはなし。
- 8. A レジスタの 7 ビットめを 1 に変化させている。この論理演算後に偶数パリティとなっているため、P フラグが立っている。
- 9. A レジスタの内容を右に 1 ビットシフト。ここでは実行前のキャリーは 0 で、元の A レジスタの最下位ビットも 0 だったため、実行後の C フラグも 0。
- 10. A レジスタを左に 1 ビットシフト。9 行めと同様にキャリーフラグなどは立たないが、最上位ビットが 0 から 1 になったため、S フラグが立っている。

### 4.1.2 実験課題 2-3. フラグ、条件分岐及びサブルーチン実行時の観察

表 6 に条件分岐、サブルーチン時のメモリ及びフラグの使用状況を見るサンプルプログラムの実 行結果を示す。

なお、各命令のトレース結果を命令のプログラム行数順に、以下に述べる。

- 1. SP に D000 を代入。
- 2. HL に 0 を代入。
- 3. Bに2を代入。
- 4. BC の値をスタックに退避。
- 5. 現在の番地をスタックに退避させた後、8013H 番地に移動。
- 6. CALL 前の番地を一旦、DE へ退避。
- 7. BC に学生番号の下 4 桁 (3176) の 10 進数の先頭に 4 をつけた数を 16 進数に変換した数 (A8A8) を入れた B000 番地の内容を代入。
- 8. HL に BC の値を加える。
- 9. CALL 前にスタックに退避させていた BC の値を取り出し、再度 BC に代入。
- 10. 一旦 DE に退避させていた CALL 前の番地をスタックに保存。
- 11. スタックにある CALL 前の番地を呼び出し、素の番地へ移動する。
- 12. Bの値を 1 減らす。
- 13. 今回 DEC B の演算結果が 0 ではないため、8008 番地へと移動。
- 14. BC の値をスタックに退避させる。
- 15. 現在の番地をスタックに退避させた後、8013番地へと移動。
- 16. CALL 前の番地を一旦、DE へ退避。
- 17. BC に B000 番地の内容を代入。
- 18. HL に BC の値を加える。
- 19. CALL 前にスタックに退避させていた BC の値を取り出し、再度 BC に代入。
- 20. 一旦 DE に退避させていた CALL 前の番地をスタックに保存。

表 6 ex02.asm の実行結果

番地	7	アセンブリ	ВС	DE	HL	SP	S	Z	V	С	PC
8000	LD	SP, 0D00H	0000	0000	0000	D000	0	0	0	0	8003
8003	LD	HL, 0	0000	0000	0000	D000	0	0	0	0	8006
8006	LD	B, 2	0200	0000	0000	D000	0	0	0	0	8008
8008	PUSH	BC	0200	0000	0000	CFFE	0	0	0	0	8009
8009	CALL	8013	0200	0000	0000	CFFE	0	0	0	0	8013
8013	POP	DE	0200	0000	0000	CFFE	0	0	0	0	8014
8014	LD	BC, (0B00H)	A8A8	800C	0000	CFFE	0	0	0	0	8018
8018	ADD	HL, BC	A8A8	800C	A8A8	CFFE	0	0	0	0	8019
8019	POP	BC	0200	800C	A8A8	D000	0	0	0	0	801A
801A	PUSH	DE	0200	800C	A8A8	CFFE	0	0	0	0	801B
801B	RET		0200	800C	A8A8	D000	0	0	0	0	800C
800C	DEC	В	0100	800C	A8A8	D000	0	0	0	0	800D
800D	JP	NZ, 8008H	0100	800C	A8A8	D000	0	0	0	0	8008
8008	PUSH	BC	0100	800C	A8A8	CFFE	0	0	0	0	8009
8009	CALL	8013H	0100	800C	A8A8	CFFC	0	0	0	0	8013
8013	POP	DE	0100	800C	A8A8	CFFE	0	0	0	0	8014
8014	LD	BC, (0B00H)	A8A8	800C	A8A8	CFFE	0	0	0	0	8018
8018	ADD	HL, BC	A8A8	5150	A8A8	CFFE	0	0	0	1	8019
8019	POP	BC	0100	5150	A8A8	D000	0	0	0	1	801A
801A	PUSH	DE	0100	5150	A8A8	CFFE	0	0	0	1	801B
801B	RET		0100	5150	A8A8	D000	0	0	0	1	800C
800C	DEC	В	0000	5150	A8A8	D000	0	1	0	1	800D
800D	JP	NZ, 8008H	0000	5150	A8A8	D000	0	1	0	1	8010
8010	JP	801CH	0000	5150	A8A8	D000	0	1	0	1	801C
801C	LD	(0C000H), HL	0000	5150	A8A8	D000	0	1	0	1	801F

- 21. スタックにある CALL 前の番地を呼び出し、素の番地へ移動する。
- 22. Bの値を1減らす。
- 23. 今回 DEC B の演算結果が 0 であるため 8008 番地へは移動しない。
- 24. 801C 番地へ移動。
- 25. C000 番地に HL の値を代入。

### 4.2 実験課題 3. 入出力制御

### 4.2.1 実験課題 3-1. スイッチ入力と LED の制御

表7にスイッチ入力と LED 出力の制御実験結果を示す。

表 7 スイッチ入力に対する LED 出力の制御実験の結果

$SW0 \sim SW7$	A レジスタ	Cレジスタ	フラグ	PC レジスタ
11111111	00	30		7000
01010101	55	30	ZN	700E

#### 4.2.2 実験課題 3-2. スピーカの制御

スピーカの制御実験内容より、私の耳に聞こえる音の範囲を調べてみると  $4.76 \rm{Hz} \sim 17.5 \rm{kHz}$  の範囲となった。

# 5 考察

# 5.1 考察課題 2.Z80 の演算命令、フラグ、条件分岐及びサブルーチン実行時の 観察

### 5.1.1 考察課題 2-2. 演算命令及びフラグの観察

まず各課題に設けた考察課題の設問を下に示す。

考察課題。

- 1. 準備課題において、逆アセンブラの結果及び実行結果等に間違いがあれば、その命令及び間違いを解析したうえ、その理由を詳細に述べよ。
- 2. フラグレジスタの値及び A レジスタの値と関連付け、命令の動作解析例にしたがってステップ毎に説明せよ。なお、各々の命令の実行結果に基づいて S.Z.P/V,C フラグの解析を必ず行うこと。

これを受けて、以下、解答を示す。

- 1. 表 5 で示した実験データの実験内容で述べた内容との 2 点の違いについて。 1.SET 7,A において、論理演算で偶数パリティとなっているため P フラグが立っている。 2.RLC A において、6 ビット目の数が 7 ビット目に入ることで最上位ビットが 1 に、つまり S フラグが立っている。どちらも私たちの班が事前の予想ができていなかったミスによる。
- 2. 見やすさのために実験結果を示す表 5 のすぐしたに各命令のトレース結果を載せた。実験結果 2-2 を参照。

### 5.1.2 考察課題 2-3. フラグ、条件分岐及びサブルーチン実行時の観察

実験課題 2-3 の結果考察項目をまず示す。

- 1. フラグレジスタの値及び各レジスタの値との関連をつけて、命令の動作解析例にしたがって ステップ毎に説明せよ。なお、メモリが使用されている命令において、使用されている番地 及びそのメモリ内容の値についても言及して解析する。
- 2. 実行を開始してから終了するまでに実行された命令数。また、実行された命令のプログラムカウンタの値を順番に書く。
- 3. このプログラムの動作を詳細に説明せよ。LD B,2 の命令を LD B,3 や LD B,4 に変える演算結果がどう変わるか?
- 4. プログラム 5 行めの PUSH BC 命令の使用目的及びその理由を詳細に説明せよ。
- 5. プログラム 10 行めの POP DE 命令の使用目的及びその理由を詳細に説明せよ
- 6. プログラム 13 行めの POP BC 命令の使用目的及びその理由を詳細に説明せよ。
- 7. プログラム 14 行めの PUSH DE 命令の使用目的及びその理由を詳細に説明せよ。
- 8. プログラムの終了時のメモリの C000H 番地及び C001H 番地の値を 16 進数、符号なし 10 進数また符号付き 10 進数で示せ。
- 9. Z フラグと命令「JP NZ, nnnn」の実行結果の関係について詳細に述べよ。
- 10. Z フラグを変化させる可能性のあるすべての命令と Z フラグが「立つ」条件を調べて列挙 せよ。

そして次にこの考察課題に解答する。

- 1. 見やすさのために、「実験課題 2-3」の実験データのすぐ下にトレース結果を示した。
- 2. 実行命令数は 25。またプログラムカウンタの値は表 6 を参考にして 8003,8006.8008.8009.8013.8014.8018.80 となる。
- 3. まずこのプログラムの動作について。このプログラムは B000H 番地に最初に代入した値を B の数倍にする、という計算である。

したがって例えば LD B,3 に変えると A8A8 の 3 倍であるため 1F9F8。ただし最上位の 1 はキャリーとなるため最終的な出力は F9F8。

また LD B,4 だと、A8A8 の 4 倍で 2C2A0、ただし最上位の 2 は桁上がりとして、最終的 な出力は C2A0。

- 4. 目的は、BC をスタックに退避させること。
  - 理由は、KEISAN 中で BC に B000 の値を代入しなければいけないため。
- 5. 目的は、スタックに最後に代入した番地を、一旦取り出すこと。 理由は、最後から2番目にスタックに代入されていたBCの値を取り出すため。
- 6. 目的は、スタックに退避させていた BC の値を取り出すこと。 理由は、B000 番地の値を倍々していくループの回数として元の BC の値が必要になるため。

7. 目的は、DE に一時的に退避させていた CALL 前の戻り番地をスタックに保存すること。 理由は、CALL 前に戻るために戻り番地がスタックにある必要があるため。

8.

$$C000H = 5150(16 進数)$$
  
=  $20816$ (符号なし 10 進数)  
=  $20816$ (符号あり 10 進数)

- 9. Z フラグが立っている場合、nnnn 番地へ移動しない。 Z フラグが立っていない場合、nnnn 番地へ移動する。
- 10. Z フラグを変化させる可能性のある命令と Z フラグが立つ条件を、表 8 に示す。ただし、この表中の B レジスタは任意に設定できるレジスタとして便宜上用いている。

表8 Zフラグを変化させる可能性のある命令と Zフラグが立つ条件

命令	条件
DEC B	Bが0になる
PUSH B	SP が 0 になる
CALL B	SP が 0 になる

### 5.2 考察課題 3. 入出力制御

### 5.2.1 考察課題 3-1. スイッチ入力と LED の制御

表7にある結果の解析をここに示す。

この表の結果より、入力スイッチのデータが 55H(表下段の 2 進数 01010101 の 16 進表記) でない場合、データ入力からループを繰り返し続ける。またにゅ力スイッチのデータの内容が 55H の場合、Z フラグが立って END へと移動する。

すなわち、このプログラムは 30H が 55H になるまで終了することがない、ということになる。

### 5.2.2 考察課題 3-2. スピーカの制御

まずここでもスピーカ制御の実験課題に対して設けられた考察課題の設問をはじめに示す。 考察課題。

- 1. スピーカを鳴らすプログラムの空白コメントをすべて埋めよ。
- 2. スピーカを鳴らすプログラムにしたがって、フローチャートを完成させよ。
- 3. 音が聞こえ始める音の高さの値及び聞こえなくなる音の高さに対応する周波数に基づいて、音が聞こえる周波数の帯域を算出し、音が聞こえる理由及び聞こえなくなる理由について詳細に述べよ。

- 4. パルス幅に対する音の継続時間のグラフとパルスの周波数に対する音の継続時間のグラフに基づいて、その関係が生ずる理由に関して詳細に述べよ。
- 5. スピーカに音を鳴らせる原理について考察し、プログラムの終了時にスピーカのコイルに電流を流しっぱなしになってしまうことにならないようにするにはどのようにすればよいかを考察しその理由について詳細に述べよ。
- 6. スピーカを鳴らすプログラムの各々のサブルーチン及びメインプログラムの動作を詳細に解析し、プログラム全体の動作を詳細に述べよ。また、WAIT サブルーチンにおいて、決められた回数でループすることができる理由を述べよ。
- 7. MAIN プログラムの PUSH AF, PUSH BC, POP BC, POP AF 命令の使用目的とその理由について詳細に解析して考察せよ。

これを踏まえて、以下で設問に解答する。

- 1. 結果中の表 4 に示している。
- 2. プログラムの挙動を示したフローチャートは付録の図 に示す。
- 3. 今回の実験では決まった音の長さでその聞こえる周波数の範囲を求めたが、音の長さが充分でないと聞こえなくなったり、また高い周波数だと聞こえる周波数の境界線が明確だが低い周波数だとその境界線は曖昧になってしまうという事実が実験中確認できた。このことからも、今回のパルス波を正弦波の合成だと見た場合、高周波はエッジが鋭くなるため聞こえなくなるタイミングが明白だが、逆に低周波だと波の強度の減衰が緩やかであるために聞こえなくなるタイミングが曖昧なのだと考えられる。すなわち、人間にとって小さな波の強度でも聞き取ることが出来、周波数成分は減衰の挙動を変動させているだけだと考える。
- 4. 音のパルス幅におよび周波数に対する継続時間の関係をそれぞれ図 、 に示す。なお、図中の判例は音の長さの初期値の16進数表示である。まずパルス幅が大きくなると、その継続時間は大きくなる。これは両者の次元が等しいためわかり、周波数に関しては逆に周波数が大きくなると継続時間が小さくなる。これもパルス幅と周波数が反比例の関係にあることからわかる。
- 5. スピーカには複数の on になる入力の数だけ電圧を増加させていく仕組みである。on,off の 切り替えのためにダイオードが使われているためにある程度、明確な境界線が実現できてい る。しかし、さらに on,off の切り替えのエッジを鋭くし、漏れをなくすためにはオペアンプ を用いることで実現することもできる。
- 6. プログラムの動作を解析するために、細かいサブルーチンに分けてそれぞれの挙動を確認していく。

WAIT ルーチンでは入力された各パルス幅が出力される間繰り返し待機するという関数。また WAIT2 行めの PE は P/V が 1 のときに 1 になる関数であるため、CPD による演算が 1 ビットずつ論理演算を繰り返していることから明確に決められた回数でループすることが出来る。

OTODASU 関数は WAIT 関数に各パルス幅の待機処理を渡しつつ 1 周期分の音が 1 ルー

プで出力されるようになっている。それを設定された音の長さ分カウントして繰り返している。なお WAIT 関数が 1 パルスなのに対して OTODASU 関数では設定された 1 周期分音を出さなければならないため、出力データセットから WAIT 関数への受け渡しまでが本関数内で 2 度行われている。

FUYASU 関数に移動するとそのまま使用者によって設定された音の高さ、及び長さにそれ ぞれの増分を加算しメインプログラムに戻る、という挙動をしめす。

こうして MAIN ループでは 1 回実行すると設定した幅のパルスを設定長さ分だけ継続さえ、次回の実行では高さ、長さの増分だけ増加した高さ、長さの音を発生させるという動作を示す。

- 7. ・PUSH AF:目的は、現在の残り繰り返し回数をスタックに退避させること。理由は、OTODASU 関数の中で別の用途で AF が使用されるため。
  - ・PUSH BC:目的は、音の長さの初期値をスタックに退避させること。理由は、OTODASU 関数の中で別の用途で BC が使用されるため。
  - ・POP BC:目的は、スタックに退避させていた音の長さの初期値を取り出すため。理由は、OTODASU 関数を抜けた時に FUYASU 関数で長さの初期値を使用するため。
  - ・POP AF:目的は、スタックに退避させていた現在の音の繰り返し回数を取り出すため。 理由は、OTODASU 関数のループ回数のカウンターの役割を AF が果たすため。

### 6 おわりに

今回の実験では大きく分けて2つのことについて実験を行った。つまり、Z80 コンピュータシステムを用いて演算処理や条件分岐の際にレジスタやメモリがどのように使用されているかを観察すること、またスイッチ入力に対する LED 出力を制御すること、及び周波数入力に対するスピーカ出力の制御をもって入出力制御を観察すること、の2つである。

この実験を通して、スタックがメモリの一部をもってなされているシステムであるということや、条件分岐の際のレジスタやスタックの値の退避のタイミング、また全体を通してアセンブリの理解につながったと考えている。

今回の実験では大きく分けて2のことについて実験を行った。つまり、Z80 コンピュータシステムを用いて演算処理や条件分岐の際にレジスタやメモリがどのように使用されているかを観察すること、またスイッチ入力に対する LED 出力を制御すること、及び周波数入力に対するスピーカ出力の制御をもって入出力制御を観察すること、の2つである。

この実験を通して、スタックがメモリの一部をもってなされているシステムであるということや、条件分岐の際のレジスタやスタックの値の退避のタイミング、また全体を通してアセンブリの理解につながったと思っている。

# 7 参考文献

・雨宮好文,「現代電子回路学 [2]」, オーム社