

分类号: TP216

单位代码: 10110

学 号: S1906087



中北大学

NORTH UNIVERSITY OF CHINA

硕士学位论文

(学 硕)

多功能综合测试设备的设计与实现

硕士研究生 郭致港

指导教师 焦新泉

学科专业 电子科学与技术

2022 年 5 月 30 日

图书分类号 TP216 密级 非密
UDC 620

硕 士 学 位 论 文

多功能综合测试设备的设计与实现

郭致港

指导教师（姓名、职称） 焦新泉 教授
申请学位级别 工学硕士
专业名称 电子科学与技术
论文提交日期 2022 年 5 月 30 日
论文答辩日期 2022 年 5 月 25 日
学位授予日期 年 月 日
论文评阅人 吴剑威 教授 史再峰 副教授
答辩委员会主席 田恒春

2022 年 5 月 30 日

多功能综合测试设备的设计与实现

摘要

飞行控制器用来操控和监测飞行器的运行状态，是航天飞行试验中的核心装置，该设备的可靠性直接关系到飞行试验的成败。为实现对某飞行控制器的功能测试，针对常规测试设备接口单一、功能受限、综合性不高的问题，研究设计了一种基于 PXI 架构的多功能综合测试设备，可完成对控制器的外部接口模拟及性能测试，实现了多通道自动开关控制、多模式数字量通信、模拟量采集监测及系统自检等功能。

文章阐述了课题背景及研究意义，通过分析自动测试技术的发展现状和趋势，结合飞行控制器的实际工作情况，根据通用化、标准化的原则设计了设备实现方案。着重介绍了测试设备各功能模块的硬件电路设计思路，分析了 FPGA 逻辑实现流程，并辅以安全性、可靠性设计。综合测试设备以 FPGA 为主控芯片，基于 PXI 架构实现了上位机操作系统和设备板卡之间的通信；结合恒流源设计完成了开关控制模块，可稳定输出控制信号，并根据配置信息实现对被测设备多通道的自动开关控制；运用 RS-422 通信技术，设计了数字量通信模块的接口电路并通过该接口实现了与被测设备 UART、HDLC 和 PCM 解调多模式的通信功能；采用霍尔电流传感器和线性光电耦合器等器件设计了模拟量采集电路，完成对控制器输入输出的电流电压的实时隔离采集监测，并由 FPGA 上传采集结果；设计了模块自检功能，各模块可在测试前对自身功能进行有效性检验。

综合测试设备设计完成后，结合上位机软件对各功能板卡进行了功能测试，并对整机在上电情况下进行了温度循环测试，结果表明该设备各项指标均达到预期值，可靠性高，具有实用的工程价值。

关键词：自动测试系统，PXI，FPGA，RS-422，电流采集，测试设备

Design and implementation of multifunctional comprehensive test equipment

Abstract

Flight controller is the core device in space flight test. It is used to control and monitor the operation state of aircraft in order to obtain the performance parameters of aircraft. The reliability of the controller is directly related to the success or failure of flight test. In order to realize the function test of a flight controller, aiming at the problems of single interface, limited function and low comprehensiveness of conventional test equipment, a multifunctional comprehensive test equipment based on PXI architecture is studied and designed, which can simulate the working environment and test the performance of the controller, and realize the functions of multi-channel automatic switching control, multi-mode digital communication, analog acquisition and monitoring and system self-test.

This paper expounds the background and research significance of the subject. By analyzing the development status and trend of automatic test technology, combined with the actual working situation of flight controller, the general scheme of the system is designed according to the principles of generalization and standardization. This paper focuses on the hardware circuit design idea of each functional module of the test equipment, analyzes the FPGA logic implementation process, supplemented by safety and reliability design. The design contents of comprehensive test equipment are as follows: With FPGA as the main control chip, the communication between the upper computer operating system and the device board is realized through PXI architecture; Combined with the constant current source, the switching control module is designed, which can stably output the control signal, and realize the multi-channel automatic switching control of the tested equipment according to the received configuration data; Using RS-422 communication technology, the interface circuit of digital quantity communication module is designed, and the demodulation multi-mode communication function with UART, HDLC and PCM is realized through the interface; The analog acquisition circuit is designed by using Hall current sensor and linear

optocoupler to complete the real-time isolation acquisition and monitoring of the current and voltage input and output of the controller, and the acquisition results are uploaded by FPGA;The module self-test function is designed, and each module can test the effectiveness of its own function before testing.

After the design of the comprehensive test equipment is completed, the function of each functional board is tested combined with the host computer software, and the temperature cycle test of the whole machine is carried out under the condition of power on. The results show that all indexes of the equipment meet the expected value, have high reliability and practical engineering value.

Keywords: Automatic test system, PXI, FPGA, RS-422, current acquisition, test equipment

目 录

1. 绪论	
1.1 课题研究背景及意义	1
1.2 自动测试系统国内外发展现状	2
1.2.1 国外研究现状	3
1.2.2 国内研究现状	4
1.3 发展趋势	5
1.4 本课题主要工作和文章章节安排	6
2. 综合测试设备方案设计	
2.1 功能需求分析及技术指标	8
2.1.1 功能需求分析	8
2.1.2 技术指标	9
2.2 方案设计	9
2.2.1 通信方式选择	9
2.2.2 设备结构设计	10
2.2.3 通信协议设计	11
2.2.4 设备工作流程	14
2.3 本章小结	14
3. PCI 通信接口设计	
3.1 PCI 总线技术简介	15
3.2 PCI 接口设计	16
3.2.1 PCI9054 内部结构	17
3.2.2 PCI 硬件接口电路	18
3.2.3 PCI 接口逻辑设计	19
3.3 本章小结	21
4. 综合测试设备功能模块设计	

4.1 电源模块设计	22
4.2 开关指令输出模块设计	24
4.2.1 硬件电路设计	24
4.2.2 逻辑设计	30
4.3 数字量通信模块设计	34
4.3.1 RS-422 通信接口电路设计	34
4.3.2 UART 通信接口电路设计	35
4.3.3 RS-422 和 UART 传输逻辑设计	36
4.3.4 PCM 解调模块设计	38
4.4 模拟量采集监测模块设计	41
4.4.1 模块总体结构设计	42
4.4.2 电压采集设计	43
4.4.3 电流采集设计	49
4.5 本章小结	54
5. 测试与分析	
5.1 开关指令输出模块测试	55
5.2 数字量通信模块测试	57
5.3 模拟量采集监测模块测试	59
5.4 本章小结	60
6. 总结与展望	
6.1 总结	61
6.2 展望	61

参考文献

攻读硕士学位期间发表的学术论文及所取得的研究成果

致谢

1 绪论

1.1 课题研究背景及意义

随着近些年电子产业和信息技术的飞速发展,航天领域的自动测试系统面临着越来越高的技术挑战,标准化、通用化、模块化、综合型的多功能测试设备亟待研发应用。该类设备为被测装置内的功能单元提供实时精准的监测,测试人员通过对测试数据的分析研究,可以准确定位被测设备的故障并为将来设备的技术升级提供有力的数据参考。综合测试设备一般用于模拟被测设备外部工作环境,为被测设备提供控制接口、通信接口、采集接口等,通过此类接口控制监测被测设备工作状态,检验其性能。

综合测试设备属于自动测试系统的范畴,整机系统一般包含上位机、通信总线接口、硬件功能模块、连接器和测试线缆等。传统测试设备的研究针对于某个具体的被测设备,完成特定的测试要求,此类测试设备研发成本高,周期长,可继承性不高,难以适应多种多样的测试环境。因此,测试设备的通用性、综合性是测试设备研发时需着重考虑的问题。本设计的综合测试设备用于对航天飞行试验中的飞行控制器进行综合测试,该控制器实际工作中用于获取飞行器各种实验参数和环境数据,测试人员依据此类数据进行分析判断,决定飞行器是否达到正式定型生产的标准。该控制器能否在规定技术指标内正常工作直接关系到测试数据的可靠性乃至飞行试验的成败。因此,飞行试验前对控制器进行全面可靠的性能检测尤为重要,否则因控制器故障而导致试验失败或数据不可靠的情况将带来严重的损失。为对控制器进行全面的性能测试,同时兼顾设备的通用性和可继承性,综合测试设备采用了模块化设计,实现了多功能的测试要求,使测试设备的各功能模块可移植到将来的研发项目中,以期缩短研发周期,节约研发成本,避免重复消耗大量研发资源。

多功能综合测试设备针对某型号控制器的具体测试需求,结合通用性、综合性的原则,分模块设计了硬件接口电路和逻辑流程,实现对控制器的供电、自动开关指令控制、数字量通信、模拟量采集监测功能,为确保测试设备的可靠性,还设计了模块自检功能,以确保每次测试前测试设备状态良好。测试设备通过记录控制器返回数据为控制器的性能评估提供参考。

1.2 自动测试系统国内外发展现状

自动测试系统简称 ATS (automatic test system)，指以电子设备为主体，在极少人工干预的条件下对被测对象进行性能检测、故障排查、数据处理的集软硬件于一体的测试系统。ATS 的组成如图 1-1 所示：智能的自动测试设备 (ATE)、可靠的测试程序集 (TPS) 和高效的软件开发环境三者协同完成 ATS 的测试任务。其中，ATE 是系统主要的硬件组成成分，其以计算机为控制中心，提供必要的人机交互平台，并通过标准总线完成系统与被测设备、各子系统间的数据交流；TPS 包含测试程序、接口适配器、测试文件和其他附加设备；软件开发环境则是指用于对 TPS 进行开发调试的描述语言和编程工具^[1]。

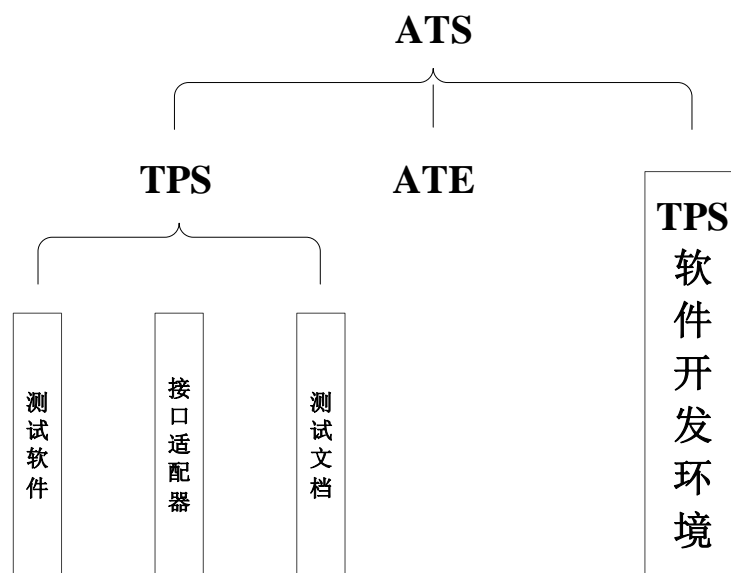


图 1-1 ATS 组成

Fig.1-1 The composition of ATS

通信技术和电子产业的快速发展是自动测试技术的强力支撑，随着国际上一系列总线标准的制定，ATS 得以在测试领域广泛应用。尤其是在航空航天领域，ATS 承担着举足轻重的角色，是武器改良装备升级的护航者。自动测试技术不但可以提高工作效率减少人力资源消耗，还大大减小了故障发生的概率，使被测设备维护更新效率成倍提高，由此节省了大量的经费开支。自动测试技术目前发展迅速，由于其在航天、国防等领域的极端重要性，国内外竞争激烈，只有不断自主创新，同时紧跟国际发展潮流，才能在此领域站稳脚跟，使祖国航天国防事业迈向新的高度。

1.2.1 国外研究现状

美国对自动测试技术的研究起步较早且发展迅速，其 ATS 产品成型也快，相关的技术支持发展成熟，经过多年的积累已经建立了多种 ATS 标准，代表着当前世界该领域的先进水平。除美国之外，英、法、德等西方国家先后制定了用于本国军队的自动测试设备标准，以标准化、智能化、模块化为指导思想，研制了一批成型的 ATS 产品，如德国陆军的 REMUS 计算机控制标准化测试与维修系统、德国空军的 ES PASIS 现场用 ATS，英国的 LCDATE 等^[2]。

美军开展 SETE 计划以后，由专用仪器搭建的测试设备被用来检测武器装备的性能或对其检查维修，但该测试方法仍较大程度地依赖人工；随后发展出了 GPIB 总线，结合计算机技术实现了半自动化的测试，测试设备还配有专用测试软件，ATLAS 语言为专用开发语言；VXI 总线的出现和快速发展，使得计算机的性能得到充分应用，结合特定算法可应对较为复杂的测试情况，大大提高了 ATS 的性能；随着计算机和通信技术的进一步发展，总线技术走向成熟，ATS 朝向标准化的方向发展，众多厂家研发生产了基于 PXI 等新型工业标准的测试设备，为 ATS 提供了可靠的硬件基础^[3]。为了 ATS 进一步的规范化发展，美国制定了一套测试标准，NxTest 是基于此标准产生的新一代 ATS 结构，标志着 ATS 在通用化的发展上进入了新的阶段，并由此催生了一批新型测试技术的出现，如：并行测试、虚拟测试等，许多低成本、小体积的测试平台也随之产生，如 GWTS、GPATE、LM-STAR 等。

为减少资源的重复投入，降低 ATS 长期维护的费用，缩减测试软件的开发周期和成本，美国着手布局 ATS 的标准化发展，为 ATS 的设计流程制定标准文件，力求最大限度增加自动测试系统的开放性，以使得测试程序集等研发成本高的系统组成部分可以二次利用，也即增强了程序在不同应用平台的可移植性。对于测试中使用频率较高的系统备件，也进行了公用化设计，如此大大降低了 ATS 的生产成本^[4]。在标准化发展思路的指引下，美军先后研制了 CASS（海军统一自动支援系统），IFTE（陆军综合测试设备），TETS（海军陆战队第三梯队测试装置），JSECST（通用电子战系统测试仪）四类标准 ATS 产品^[5]。以 CASS 为例，CASS 支持数十种武器装备的测试，包括导弹、飞机、雷达、电子战系统等，负责对武器的电子系统进行故障检测和故障隔离^[6]，是美国

海军的标准测试系统。目前已在美国军事力量部署体系中配备至少 400 套以上。CASS 的软件系统可实现 TPS 开发、数据处理、仿真测试等功能,较为开放的结构、强大的自校准能力、无纸化的技术文档使其更易适应新型的武器装备^[7]。

美军 ATS 的标准化发展仍然走在世界前列并日趋成熟,在减少对专用 ATS 的开发成本和降低 ATS 备件的采购费用的方面成效显著。同时,ATS 正向开放式系统发展,其主要思路是要求供应部门在研制 ATS 时,必须依据国防部认可的开放式 ATS 工业标准^[8]。

1.2.2 国内研究现状

一直以来,我国军用测试技术的发展相对于设计和制造技术来讲较为落后。我国军用自动化测试技术起步较晚,直到 70 年代前后仍大量使用工程人员和仪器进行手工测试,复杂繁琐的测试流程不可避免地导致测试结果错误率较大。改革开放以后,由于 GPIB(IEEE-48)总线和 CAMAC(IEEE-583)总线的广泛应用,我军测试技术的自动化程度大大提高,完成了半自动化的测试,明显提升了系统测试效率,也标志着我国自动测试系统正逐步向标准化的方向发展。随着 VXI 总线标准的出现,国内一大批基于 VXI 总线技术的产品问世,并在众多领域得以应用,尤其是在我军武器的地面测试中,VXI 总线测试系统占有举足轻重的地位。经过多年发展,已经具备研制生产包括机箱、控制器模块和仪器模块在内的多种成熟产品的能力。1995 年国家颁布的 GB2547-95《装备测试性大纲》标志着我国自动测试技术与 ATS 正式迈入规范化的发展进程^[9]。VXI 总线测试系统相较于原先的 CAMAC 测试系统有着显著优势,其开放式的设计标准、更快的数据传输速率(达 GPIB 的 40 倍)、易于更新升级的系统结构受到众多供应商的青睐;大量数字集成芯片的使用缩小了系统的体积占用;开放式的模块提高了系统的自由性和继承性,还支持光纤传输。进入 21 世纪以后,在体积、兼容性和成本等方面更具优势的 PXI 总线得到广泛应用且相关产品的发展业已成熟,近几年随着高速串行总线的发展,国内 ATS 产品的研发正向 PXIe、LXI、AXIe 等总线靠拢。

虽然我国自动测试技术在近些年取得了客观的成就,也逐渐再向通用化、规范化的方向发展。但对于适应高技术武器装备日益增长的测试需求来讲,仍面临着诸多问题,主要包括:

(1) 品种复杂多样, 设备体积庞大, 测试功能单一, 便携性差, 通用性和可继承性不足, 大多是专机专用。许多国产 ATS 的自动化程度不高, 测试人员往往需要进行多步操作, 人机交互的功能不够完善, 整机成本较高。

(2) 有关测试系统的标准尚未建立, 研发与生产没有形成完整体系。专用的测试设备提高了武器装备生产成本, 也造成了大量的设计资源浪费, ATS 的标准化问题极为突出。

(3) 测试设备的核心主控芯片国产化程度不高, 集成芯片严重依赖进口是未来我国自动测试发展的一大隐患。

(4) 对 ATS 的测试程序集 (TPS) 不够重视, 特别是在 TPS 的可移植性和互操作上还有许多工作要做, 由于在测试软件和应用语言上国家标准的欠缺, 使得我国只能依赖国外标准^[10]。

总之, 我国 ATS 在经过多年的技术革新后, 整体有了较大发展, 但仍与世界先进水平有一定差距, 尤其是在标准化方向上需要很大改进。在仪器互换性技术、测试的集成诊断技术以及 TPS 的移植和互操作方面的相关研究则可说是严重缺失。因此, 目前亟需完善 ATS 相关的标准, 建立完整的研发体系, 对一些前沿的测试技术进行突破, 完善测试设备的评估体系。

1.3 发展趋势

标准化、模块化、智能化是自动测试系统未来的发展趋势, 越来越多关于自动测试的国际标准被制定, 自动测试系统的开放性、扩展性将会得到进一步提升。目前的测试系统虽然种类较多, 在各个领域应用广泛, 但总体来说, 由于缺乏准确细致的生产标准, 测试系统的通用性不高, 导致在许多领域的应用成本偏高。我国自动测试技术的发展长久以来是靠型号科研推动, 未形成独立产业, 因而经常造成自动测试系统落后于型号研究的现象。为适应电子技术和通信产业的飞速发展, 推动自动测试技术的进步, 国家出台了多项政策文件以助力自动测试系统的研究, 鼓励将 ATS 与被测对象指标进行早期结合, 以谋同步研发, 更新了自动测试技术的发展思路。未来测试设备将追求在硬件上功能配置最大化, 以覆盖最多的测试需求, 同时将测试设备硬件接口和软件程序标准化, 增加测试系统模块的继承性和程序可移植性。

由于通信技术和存储技术的快速发展,测试系统面临着更大量、更快速的数据处理压力,越来越多的测试设备集成了高速数字通信接口,将来还会朝着更高的通信速率发展。传统的 ATS 将收到的测试数据整合为测试报告,由人工分析此报告得出测试结论,

随着计算机技术和数据处理技术的发展,智能的数据管理和数据分析技术将加入 ATS,以提高整个测试进程的效率,因此,智能的计算机数据处理也将是 ATS 技术发展的重要趋势之一^[11]。

ATS 的模块化发展将使系统功能模块的继承性和可移植性大大增强,未来自动测试系统的设计必然以模块化设备为基础^[12],模块化的生产可缩减整个 ATS 的研发成本和研发周期,同样的模块化子系统可应用于不同的自动测试系统中,且各子系统可独立应用,也可相互组合实现更复杂的功能,大大增强系统的灵活性,提高研发效率。随着计算机硬件的不断升级,未来 ATS 的软件系统的性能也将进一步提高。

1.4 本课题主要工作和文章章节安排

根据测试任务需求,结合当前主流 ATS 的设计思路,依托现有的技术资源和实验条件,设计并实现了多功能综合测试设备。本文遵循自上而下的设计逻辑依次详细阐述了测试设备的总体组成和各功能模块的设计过程,章节内容安排如下:

第一章为绪论。介绍了课题来源和研究背景,叙述了自动测试系统的发展过程,通过对国内外 ATS 研究现状进行对比,总结了我国自动测试技术的不足,概括了 ATS 未来的发展趋势。

第二章为系统方案设计和系统技术指标介绍。通过分析被测设备的测试需求,列出了系统需实现的功能及技术指标,设计了模块化的系统构成,对系统总体通信方式进行了比较选择和初步设计。

第三章为 PCI 通信接口设计。根据设计方案所选择的 PCI 总线通信方式,在对 PCI 总线通信原理进行简单阐述后,以 PCI9054 为核心介绍了系统 PCI 接口的详细设计过程及接口电路,并叙述了系统总线工作流程。

第四章为测试设备的模块化设计。分别介绍了开关指令输出、数字量通信、模拟量

采集监测模块的设计原理及实现过程，包括原理简介、方法分析、器件选型等，重点对各模块的硬件电路和逻辑流程进行了阐述。

第五章为测试与分析。对设备成品进行了功能验证和指标分析。结合上位机与精密测试仪器，对各功能板卡进行了在线调试和输出测试，并依据技术指标对板卡输出结果进行了分析对比，同时还验证了模块自检功能。

第六章为总结与展望。阐述了系统设计过程中得到的经验启示和发现的不足之处，对每项不足之处提出了改进方向。

2 综合测试设备方案设计

综合测试设备用于模拟飞行控制器外部控制接口、通信接口以及完成对其输入输出电量的采集监测。测试设备要求在通用化、模块化的基础上实现对控制器的多路指令输出、多模式数字量通信及多路电量采集监测的功能。本章首先对综合型多功能测试设备的功能需求及技术指标进介绍，然后结合系统总体通信方式制定设备的总体设计方案。

2.1 功能需求分析及技术指标

2.1.1 功能需求分析

如图 2-1 所示，综合测试设备需实现的功能如下：设备除了对自身搭载的板卡供电外，还需对被测设备提供工作电源；设计开关量接口为被测设备提供多路开关指令信号以驱动被测设备内部用电电路；提供与被测设备的数字量通信接口，要求包括 RS-422、UART、PCM 解调三类接口；实现对被测设备一路电源输入接口和 4 路向外输出电源接口的电性能监测，包含被测设备带负载工作时接口处电压量和电流量的采集监测。

为提高设备的可靠性，系统各功能模块在测试前需实现功能自检，配备上位机软件测试系统下发测试命令和配置数据，系统自检结果和测试结果返回上位机显示。



图 2-1 综合测试设备功能需求

Fig.2-1 Functional requirements of comprehensive test equipment

2.1.2 技术指标

测试设备各功能模块的详细技术指标如下：

(1) 电源接口需为控制器提供一路+28V 额定工作电压，并可通过上位机实现拉偏，电压拉偏的上下阈值分别为 25V 和 33V，供电电流不小于 20A；

(2) 开关指令信号输出接口要求开关控制通道数量为 16 路，用以驱动被测设备工作电路中的继电器线包，每路开关信号需输出 28V/40mA 的电量信号，输出电量的误差不大于 1%，并可独立配置定时开关、脉冲输出和状态查询的功能；

(3) 数字量通信接口包含 4 路全双工同步 RS-422 通信接口、8 路全双工 UART 通信接口和一路 PCM 解调接口，数据传输可选择周期发送、脉冲握手和取数指令握手三种通信模式，数据传输内容可配置常数、递增数、数据文件三种类型，PCM 解调模块可配置 NRZ-L 等多种码型、无副帧/ID 副帧/反码副帧三种副帧同步方式，子帧、副帧长度可选；

(4) 模拟量采集监测功能要求对控制器 1 路输入 4 路输出通道的电压电流进行采集监测，方式为隔离采集，电压采集精度要求优于 1%，电流采集精度不低于 2%。以上所有功能通过上位机软件界面下发命令指令和配置数据，并将测试结果在软件界面显示。

2.2 方案设计

2.2.1 通信方式选择

为实现测试设备上位机系统和功能板卡间的数据交换，需对二者之间的通信方式进行设计。通过对目前自动测试系统中通信方式的调研得知测试板卡与上位机间最常用的三种接口为 PCI 接口、以太网接口和 USB 接口^[13]。其中 USB 作为一种串行接口，USB3.0 在全双工的工作模式下最大理论速度达到了 5Gbps^[14]，其与 PC 机连接方便，且具有即插即用的特性，理论最高可同时连接 127 个设备，广泛应用在多媒体设备中，但由于其接口可靠性不高，通常在实际使用中串联 3 到 5 个设备就会导致一些设备失效，对于一些高耗电的设备还可能造成接口供电不足的问题，为系统数据传输的安全准确性埋下隐患。

以太网接口技术近些年发展很快,速度规模已从最初的 10Mbps 发展到百兆、千兆。TCP 和 UDP 是以太网的两种传输协议,TCP 协议相较于 UDP 而言,其数据传输经过两级设备共三次握手,因而数据传输更为可靠。但以太网设备连接所用的集线器、交换机、连接器等传输设备难以适应在恶劣环境下的数据传输要求^[15],当选择高速以太网通信时还会带来成本较高的问题。

PCI 提供 32 位同步复用总线,其总线结构组成简单、成本低、技术成熟,该总线技术在工业和军用领域均得以广泛应用。当工作在 33M 时钟频率下时,传输速率理论上可达到 132MB/s,可扩展总线至 64 位使传输速度翻倍^[16]。PCI 接口支持热插拔,且搭载于其上的板卡可由 PC 机统一分配硬件资源,避免了相互之间的冲突。板卡可根据 PCI 设备提供的配置信息进行自动配置,多个中断可共用一条中断线^[17]。其中间缓冲器的设计使独立的总线结构将 CPU 与外接设备分开,当扩展外接设备时可以避免因时钟频率不同而造成系统性能下降的问题。PCI 总线协议还包含了时序、电气性能、机械性能等多种应用指标的严格规定,兼之其自带的校验信号和数据传输错误提示信号等,使数据传输的准确性大大增强^[18],兼容性和可靠性得以保障。

综合以上分析,设计选用 PCI 总线作为系统通信方式,搭配 Windows7 上位机操作系统,选用市场成熟的标准化便携式 CPCI 机箱搭载测试板卡,当 PCI 板卡插入系统后,BIOS 将根据读到的有关该卡的信息,为各卡分配存储地址、中断及定时信息等。

2.2.2 设备结构设计

综合型多功能测试设备组成结构如图 2-2 所示。测试设备使用 PCI 总线进行系统内通信,设备硬件框架采用基于 PXI 架构的 19 寸标准机箱,PXI 由 CPCI 发展而来,继承了 PCI 总线的电气信号,数据传输能力与 CPCI 相当,且在软件应用上完全兼容,其外壳坚固、配备有高性能的电连接器,使用该架构使系统具有更高的可靠性。机箱对所载标准板卡即插即用的支持提高了设备的通用性,整个测试设备通过板卡连接器(X1~X4)加外接电缆的方式与被测设备连接。基于此结构,方案根据设备功能需求及技术指标以 FPGA 为主控芯片(型号为上海复旦微电子的 FMK50)分模块设计了 16 路开关指令输出卡、4 路同步 RS-422 数字量通信功能卡、UART/PCM 通信功能卡(含 8 路 UART 和 1 路 PCM)以及 5 路模拟量采集功能卡 4 个功能板卡,所有板卡设计有功

能自检电路。

测试系统通过上位机下发操作命令和配置数据给诸板卡，各板卡对命令和配置数据进行识别后完成对应操作。开关指令信号输出卡根据上位机下发的配置信息和命令指令完成 16 路开关信号自动定时输出、脉冲输出和开关量接口通断状态检测，当收到的命令为自检或状态查询时，将自检和状态查询结果上传至上位机；数字量通信卡根据上位机下发的配置信息选择工作模式进行数据通信，工作前可通过自检回路对各通信通道进行完整性检验；模拟量采集监测模块需在对被测设备供电电源打开的情况下，响应上位机的电量采集或自检命令，并将采集数据上传至上位机软件显示。

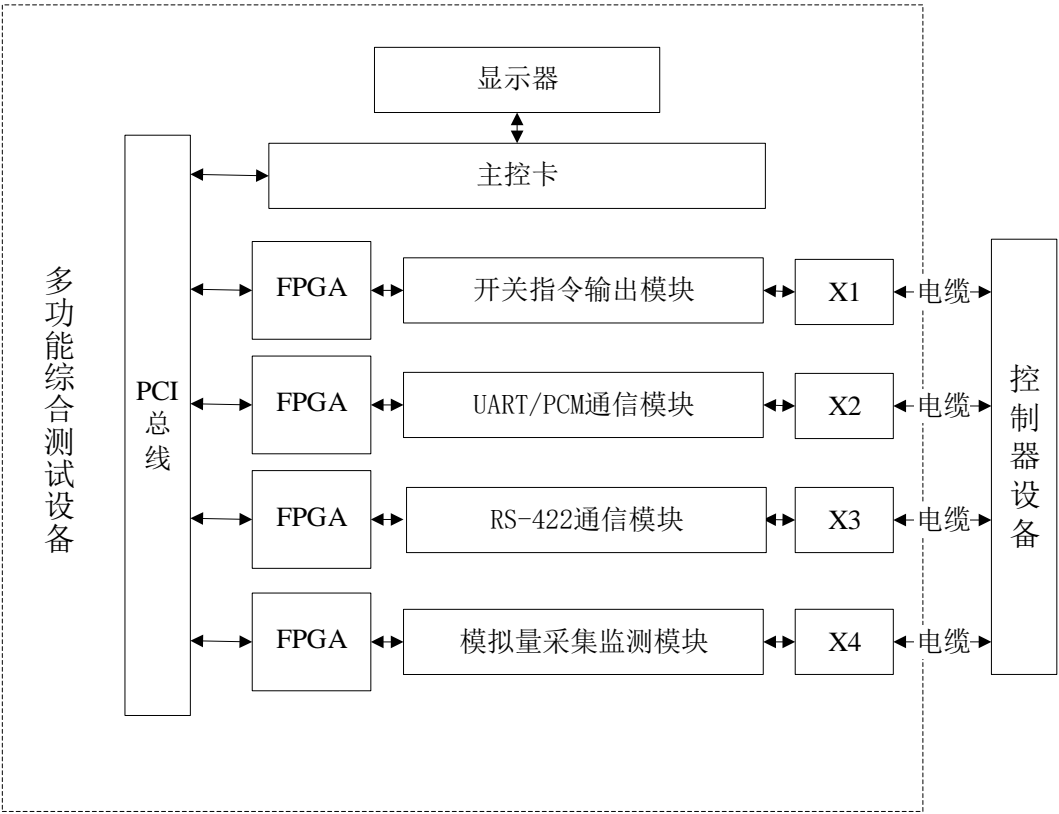


图 2-2 多功能综合测试设备组成原理图

Fig.2-2 schematic diagram of composition of comprehensive multifunctional test equipment

2.2.3 通信协议设计

如上文所述，综合测试设备使用 PCI 总线协调完成上位机与设备内各功能板卡之间的数据交互，包括配置数据传输、命令指令传输及采集数据回传等。为实现此功能，需

具体设计系统的通信方案，为信息交流双方制定详细完备的规则和约定，使得处于各个物理位置的通信单元基于此类互相接受且共同遵循的规则和方式通过信息通道及设备来展开协同工作和资源共享。设备基于 PCI 总线的数据传输示意图如图 2-3 所示。测试设备系统中的各测试单元依据设定的标准化通信格式进行数据交换，交换中涉及的命令、数据及配置参数等信息在此规则且统一的信息传输机制下得以传输，数据通信由上位机软件发起，经过 PCI 接口芯片传输至以 FPGA 为主控芯片的各功能模块。

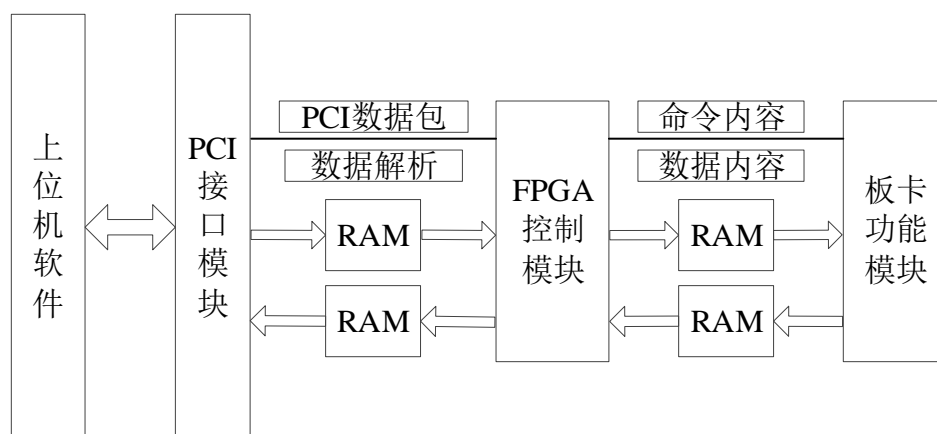


图 2-3 系统内通信模式示意图

Fig.2-3 Schematic diagram of communication mode in the system

系统为各功能模块的板卡分配了地址 ID，进行统一化管理，当上位机下发指令数据时，板卡依据其中的地址信息进行响应；设计根据需求制定了标准的通信协议包，数据依据此协议包的格式进行传输，数据包格式如表 2-1 所示。主控卡接收到上位机发来的数据包后，对数据进行解析，识别包括板卡地址和寄存器地址在内的信息，而后分发至各功能板卡，完成数据传输。

整个测试系统详细通信协议包含上位机到 PCI 接口模块、PCI 接口模块到设备各功能模块的各种命令及数据的传输规范。其中，上位机与 PCI 总线之间的数据传输包括单次指令通信和批量数据通信两种方式，分别用以下发各功能板卡的操作命令和下发配置数据或接收回传数据等。设计规定上位机与 PCI 主控卡之间的指令宽度为 16bit，定义共 8 类地址完成传输数据的格式设计。各地址在数据传输中的功能分配如表 2-2 所示，上传或是下发的数据皆须在确认后发送反馈信息，完成握手。重发机制在传输命令判定不一致或数据校验有误时启动，当数据连续出现三次错误时，上位机软件弹出错误提示，

将此次错误记入工作日志之后继续运行程序。校验码为从第一个指令开始到结束标识前（不包含结束标识）数据的 16bit 异或校验和，命令信息通过 PROM 传送至各 FPGA 功能板卡，地址分配如表 2-3 所示。当给上位机上传数据时，FPGA 通过轮询的方式读取各通道内缓存的数据并将各路缓存数据打包发送，由此完成上下链路的数据交换。

表 2-1 通信协议数据包格式

Tab.2-1 Packet format of communication protocol

序号	功能说明	字节数	备注
1	起始	1	低电平
			00: 传输结束
2	数据标识	2	01: 数据
			10: 命令
			11: 状态
3	数据	32	/
4	标识确认	2	取反比较
5	校验	1	奇校验
6	停止	2	高电平

表 2-2 上位机与总线通信地址功能分配表

Tab.2-2 Function allocation table of communication address between upper computer and bus

序号	地址	功能说明	备注
1	0x0010	指令下发。FPGA 从该地址获取指令并写入 0x0020 地址	/
2	0x0020	指令确认。该地址指令与下发指令不一致时启动重发机制	0x0000 正确 0x0100 错误
3	0x0030	上位机收发标识。高 8 位为接收有效；低 8 位为下发有效	0xAA 有效 0x55 无效
4	0x1000~0x1800	上位机下发数据。每包最大 2k 字节	/
5	0x0040	FPGA 接收确认。校验错误则启动重发机制	" 00FF " 接收错误 " FF00 " 接收正确，
6	0x0050	通道数据有效标识。16 位分别指示 16 路数据有效性，最低位代表第一路，‘1’有效，‘0’无效	针对多通道的功能板卡
7	0x2000~0x2800	FPGA 上传数据，每包最大 2k 字节	/
8	0x0060	上位机接收确认，校验错误则启动重发机制	" 00FF " 接收错误 " FF00 " 接收正确

表 2-3 板卡 PROM 烧写地址

Tab.2-3 Card Prom burning address

序号	板卡名称	地址
1	开关指令信号输出卡	0x0069000B
2	RS-422 通信功能卡	0x006A000B
3	UART/PCM 通信功能卡	0x006B000B
4	模拟量采集监测卡	0x006C000B

2.2.4 设备工作流程

综合测试设备的工作流程如下：

（1）系统上电初始化，通过上位机软件界面选择板卡，根据弹出的板卡配置编辑配置信息，配置保存后点击“启动”按钮，上位机由 PCI 总线发送配置信息至功能板卡，对应板卡 FPGA 识别配置信息后，返回确认信息，上位机响应此信息弹出配置完成对话框。

（2）配置完成后根据此时上位机软件界面显示的可选命令选项下发命令指令，如板卡复位、停止、自检、状态查询等（不同板卡可供选择的命令项不同）。

（3）对应板卡 FPGA 通过 PCI 总线接收到命令后控制电路执行相应操作，若此命令有返回数据，则 FPGA 将数据打包缓存后经总线上传给上位机。

（4）上位机将接收到的数据解析后显示，并提示命令执行完毕。

2.3 本章小结

本章首先根据控制器的使用场景分析了测试设备的功能需求，随后针对每项功能详细介绍了具体技术指标，综合分析测试设备功能需求与技术指标后，制定了测试系统的总体方案，从硬件结构、通信方式、工作流程等方面叙述了系统的设计思路，并对测试设备各板卡承担的功能及实现方法进行了描述。

3 PCI 通信接口设计

3.1 PCI 总线技术简介

如上文所述，测试设备以 PCI 总线作为系统通信方式，PCI 总线是一种树形结构，其独立于 CPU 总线且可与 CPU 总线并行操作，结构中只允许存在一个 PCI 主设备，读写操作只在主从设备之间进行，从设备间的数据交互需经过主设备中转实现^[19]。

PCI 总线在系统数据交互的过程中起桥接的作用，完成从设备与主设备的数据通信。其实际作用是将本地总线地址管理的外部存储空间的数据传送至 PCI 总线地址对应的 CPU 内存空间中，或者是将内存中的数据传输到本地总线管理的外部地址空间中去^[20]。本地端地址总线管理的存储空间由测试设备的主控芯片 FPGA 或 MCU 提供。PCI 主要支持 32 位和 64 位的两种总线位宽，传输速率分别达到 127.2MB/s、508.6 MB/s^[21]。图 3-1 为 PCI 总线信号示意图，设计时可根据实际需求取舍。

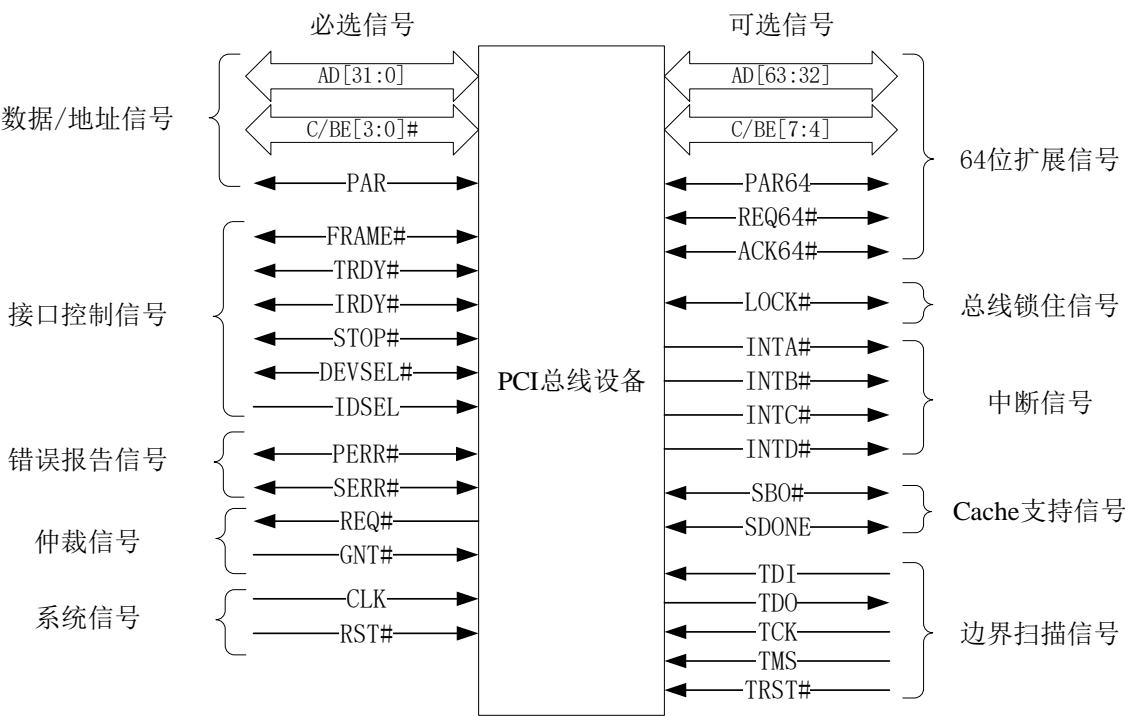


图 3-1 PCI 总线信号功能示意图

Fig.3-1 Schematic diagram of PCI bus signal

CLK 即为系统时钟, 为 PCI 上所有传输行为及总线仲裁提供时钟。RST#为异步复位信号, 复位发生时总线上各寄存器、发生器等处于初始化状态, 此二者构成系统信号引脚。AD[31:0]是地址数据复用信号, 在 FRAME#开始有效时的第一个时间周期先传输地址信息, 记为地址期, 当 IRDY#和 TRDY#同时有效时传输数据, 记为数据期。C/BE[3:0]#为传输总线命令或字节使能信号, 这两类信号分别在地址期和数据期传输, 字节使能信号用于指定 AD[31:0]线上的有效数据字节。PAR 为奇偶校验信号。FRAME#、IRDY#、LOCK#、TRDY#、STOP#等为接口控制信号, 各种接口控制信号协同完成数据传输。其中 FRAME#信号为主设备驱动的帧周期信号, 该信号预示总线传输的开始和结束。IRDY#、TRDY#分别为主从设备准备就绪信号, 数据传输时二者须同时有效。从设备发出 STOP#信号用以停止当前数据传输, LOCK#信号用来锁定总线进行独占性访问。REQ#、GNT#为总线占用请求和总线占用允许的总线仲裁信号。设计中常用信号功能如所叙述, 其他信号功用已在图中标明, 不再赘述。

3.2 PCI 接口设计

设计中可用 FPGA 或 CPLD 实现 PCI 总线接口的开发, 该种方式使设计者拥有较大的自由空间, 可以根据自己的实际应用需求和喜好进行灵活设计, 但 PCI 总线协议复杂, 学习和开发周期较长, 后期调试及验证工作需耗费大量时间精力, 对于整个项目来讲开发成本较高, 难度较大^[22]。第二种选择是选用专用的 PCI 接口集成芯片和 FPGA 配合实现 PCI 总线协议数据传输, 该类接口芯片集成了 PCI 传输协议逻辑电路, 开发者只需熟悉芯片手册和接口功能便可以配置 PCI 协议进行数据传输。此外还可以采用 FPGA 内的 IP 核实现, 该类专用 IP 核由 Xilinx 或 Altera 等 FPGA 供应商提供, 可大大提研发效率, 但价格昂贵, 成本较高且难以二次开发^[23]。

综合以上分析结合测试设备功能需求, 设计选用 PCI 芯片+FPGA 的方式实现系统的 PCI 总线传输, 完成综合测试设备与上位机的通信。对该类芯片调研后选择 PCI9054 作为桥接芯片, 相比 S5935 及 PCI9050, 其 3.3V 的供电电压与 FPGA 接口兼容, 还具有热插拔、PCI 电源管理、VPD 等实用能, 适合应用需求。

3.2.1 PCI9054 内部结构

PCI9054 的内部结构如图 3-2 所示，PCI9054 在数据传输中实际上充当了一个“桥”的角色，将本地总线管理端的地址和 PCI 总线端管理的地址进行一一对应，又因 PCI 总线与 PC 机的 CPU 管理的内存地址一一对应，如此就通过 PCI9054 实际上实现了 CPU 地址、PCI 地址和本地地址的映射^[24]。基于此结构的 PCI9054 芯片主要完成三个功能：PCI 总线接口部分负责 PC 机与 PCI 总线通信；与 FPGA 或 MCU 相连的本地总线接口负责本地端地址数据管理；串行 EEPROM 总线接口负责 PCI9054 的寄存器配置，PCI 设备上电后加载 EEPROM 中预先烧写的寄存器配置信息，由此完成寄存器的初始化。

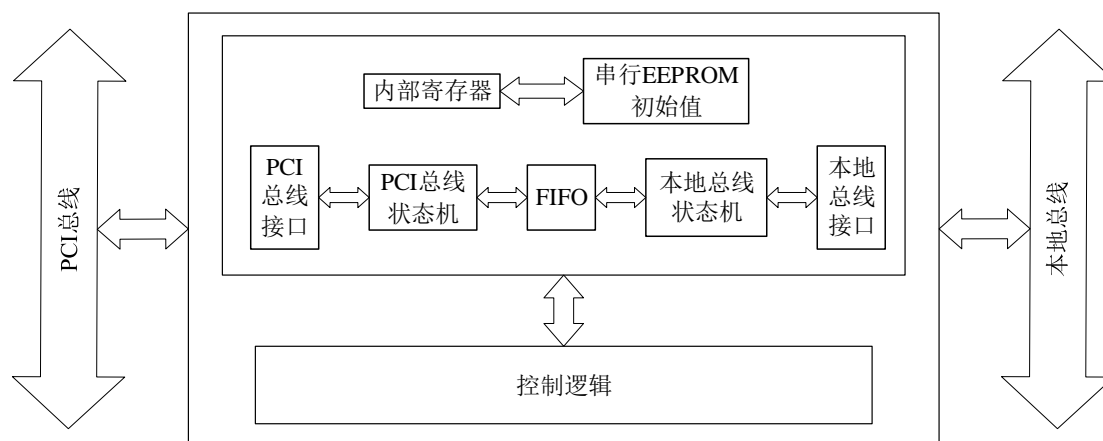


图 3-2 PCI9054 内部结构

Fig.3-2 PCI9054 internal principle

PCI9054 的 PCI 总线与本地总线的数据交换有三种工作模式：主模式、从模式、DMA 模式。本地总线的控制模式也有三种，分别为 C、J 和 M 模式。如表 3-1 所示，三种不同模式的选择通过芯片管脚 MODE[1:0]设置的不同值来确定^[25]。

表 3-1 工作模式选择

Tab.3-1 Operating mode

MODE0	MODE1	工作模式
0	0	C
0	1	保留
1	0	J
1	1	M

当该管脚值设置为 "00" 时，工作在 C 模式下，此模式地址与数据总线非复用，该

模式较为简单且符合通用 CPU 的接口时序，是最常用的模式。J 模式在管脚设置为 " 10 " 时启用，该模式下的地址线和数据线复用，比 C 模式复杂，多用在无本地主设备时。 " 11 " 对应的的 M 模式是 Motorola 公司特定微处理器接口的专用模式^[26]。根据设计需要，系统选择逻辑设计灵活实用且适配通用 CPU 接口的 C 模式，设计中将引脚 MOED0 和 MODE1 接地。

3.2.2 PCI 硬件接口电路

基于 PCI9054 实现的通信接口硬件连接如图 3-3 所示，PCI9054 分别与机箱背板连接器、FPGA、外置 EEPROM 连接构成上位机与 FPGA 的整体通信结构，三个连接通道对应完成上位机与 PCI 总线通信、PCI 总线与 FPGA 本地总线通信和 PCI9054 的初始化配置的功能。配置信息由 PLX 软件烧写至 EEPROM，在 PCI 设备上电时自动加载。

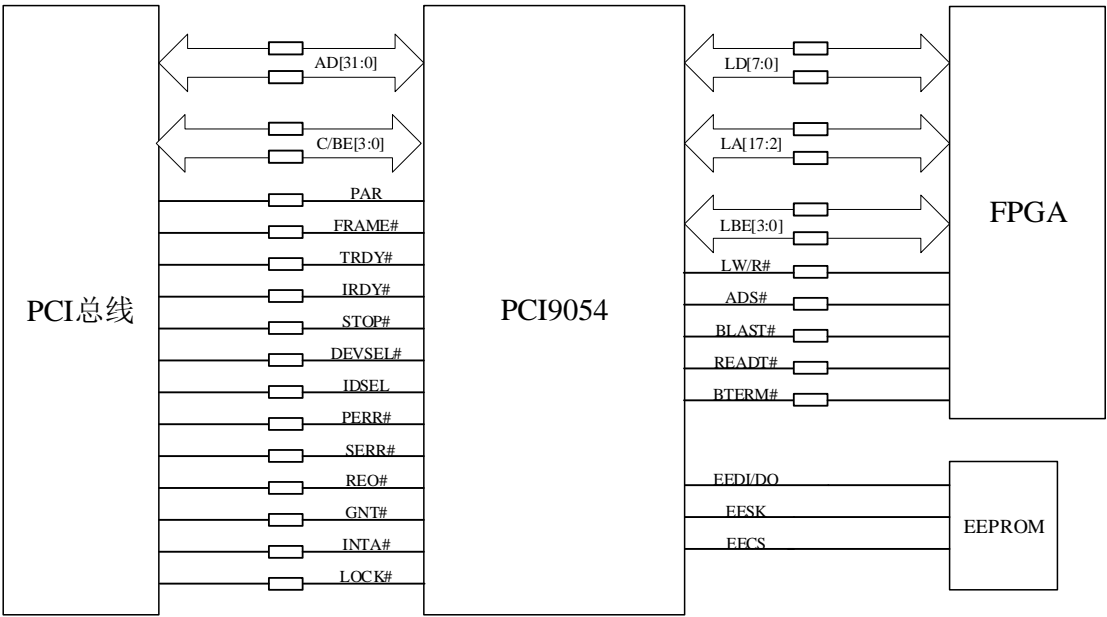


图 3-3 PCI9054 接口连接示意图

Fig.3-3 PCI9054 interface connection diagram

表 3-2 为 PCI9054 与上位机 PCI 总线部分连接的管脚定义，该连接在测试设备中通过 CPCPI 机箱背板连接器实现，各功能板卡 PCI9054 的信号通过背板与主控卡完成交流。此部分连接信号的功能作用与前文 PCI 所述一致，不再赘述。为了减小信号传输线路中由背板阻抗所带来的干扰，在该类信号线上串接 10 Ω 的电阻进行阻抗匹配。为了板卡

识别正常，管脚 PRSNT1 和 PRSNT2 在设计时参考 PCI 协议全部下拉。PCI9054 中本地总线信号主要管脚定义如表 3-3 所示，该部分信号为 PCI 芯片与各功能办卡的 FPGA 引脚相连，完成本地地址数据与总线地址数据的通信，与 FPGA 相连时接 $22\ \Omega$ 的电阻减小信号之间串扰。

PCI9054 与外置 EEPROM 的硬件接口电路如图 3-4 所示，该芯片型号选用 PCI9054 推荐的 93LC56B，供电电压为 3.3V，内存容量为 2K。此电路用以存放和加载 PCI9054 配置信息，根据配置规则，当读取到 EEPROM 第一个长字为非全 0 或非全 1 时表示已配置信息装载完毕^[27]。接口信号包括时钟信号 EESK、片选信号 EECS、数据输入/数据输出信号 EEDI/EEDO。当不接入 EEPROM 芯片时 PCI9054 的 EEDI/EEDO 引脚须下拉，此时 PCI9054 加载默认的配置信息；当接入 EEPROM 时，无论其中是否有数据，该引脚都须上拉。设计将 DO 与 DI 相连后同时为上下拉电阻预留位置，以方便在系统未安装 EEPROM 时调试板卡。

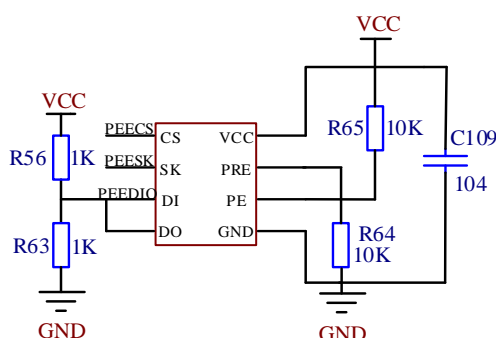


图 3-4 EEPROM 连接示意图

Fig.3-4 EEPROM connection diagram

PCI9054 支持热插拔功能，可在系统未断电的情况下插入拔出板卡，而不会影响到系统正常工作^[28]。为避免静电损害，在板卡下方与机箱导轨接触的地方设计防静电条，将插入拔出操作可能产生的静电导出。PXI 机箱背板的连接器除了传送系统总线通信信号外，还负责为机箱搭载的各板卡提供电源通道。

3.2.3 PCI 接口逻辑设计

作为上位机与测试设备各功能板卡的通信桥梁，C 模式下的 PCI 接口共支持 PCI

Initiator、PCI Target 和 DMA 三种数据传输模式^[29]。选择 PCI Initiator 模式时，PCI9054 为 PCI 总线端的主机，同时是本地总线端的从机，该模式由本地总线端发起数据传输，接着由 PCI9054 再向 PCI 总线发起传输，此时本地总线端 FPGA 为主设备，PCI9054 为从设备。主设备具有总线控制权，从设备指可被主设备通过总线仲裁选中并控制的设备^[30]。PCI Target 为 PCI-本地总线的传输模式，在该模式下 PCI9054 成为 PCI 总线端的从机以及本地总线端的主机。在 DMA 方式下 PCI9054 同时是 PCI Bus 端和 Local Bus 端的主机。本系统选用 PCI target 模式，即此时 PCI9054 是 PCI 总线的从设备，为 FPGA 的主设备。PCI9054 作为主设备通过总线对各 FPGA 从设备进行仲裁，将数据写入本地总线或从本地总线中读取 FPGA 上传的数据。PCI 总线数据传输流程如图 3-5 所示。

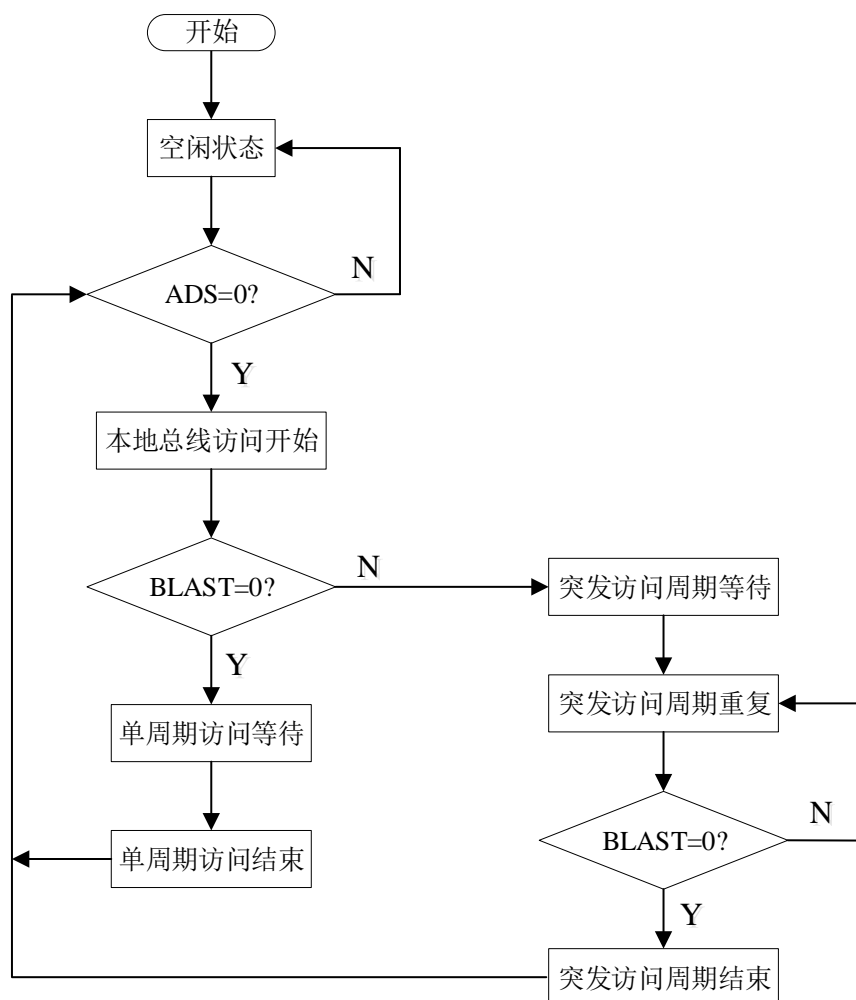


图 3-5 PCI 单一周期和突发传输流程图

Fig.3-5 Single cycle and burst transmission flow chart of PCI

数据传输时 PCI 总线由 L_{HOLD} 信号向本地总线提出控制申请, FPGA 以 L_{HOLDA} 信号进行应答。系统中的传输数据主要分为简洁的命令数据和批量数据。设计采用单一周期访问模式传输命令数据, 对于传输量较大的批量数据采用突发模式传送, 该模式指定首地址和数据长度, 可实现一次性传输大量数据的功能, 传输中通过 BLAST 信号判断本次传输是否完成。在 PCI target 模式下, 数据传输由作为主设备的 PCI9054 发起, 作为从设备的 FPGA 从初始状态开始循环判断总线访问有效地址 ADS 信号的电平, 当检测到该信号由 PCI9054 在某一时刻拉低时, 即可启动总线的单周期访问模式, 此时若 LW/R 信号为高, 则进入写周期, 将上位机发送的指令数据信息写入指定地址中然后结束访问, 当该模式下 LW/R 信号为低时, 进入读周期, 此时 FPGA 读取对应寄存器的内容。若下发的命令为数据读取时启动 DMA 数据突发上传模式, 判断 BLAST 信号的电平来结束数据的突发上传。在数据读取写入的过程中, 需在 FPGA 内部建立 FIFO 进行数据缓存以匹配传输速率, 数据存入 FIFO 后, 系统判断 FIFO 的半满信号来控制数据的上传, 单次传输数据大小为 2KB, FPGA 在数据准备期间会持续判断 FIFO 的半满信号以便及时响应。当数据突发上传结束后, 此轮数据传输结束, 状态机回到初始状态, 准备处理下一轮的数据访问。

3.3 本章小结

本章主要针对系统通信总线 PCI 接口电路的设计进行了原理分析和电路设计。通过对 PCI 总线传输原理的分析并结合目前可供选择的 PCI 通信实现方式, 确定了以 PCI9054 接口芯片为核心的接口电路, 同时对 EEPROM 电路和 PCI 接口的逻辑设计过程进行了阐述。

4 综合测试设备功能模块设计

如 2.1.1 所述, 综合测试设备分为电源模块、开关指令输出模块、数字量通信模块和模拟量采集模块四部分, 本章逐一叙述各个模块的设计思路及逻辑功能实现流程。

4.1 电源模块设计

FPGA 最小系统供电采用 JPM4644 电源芯片供电，JPM4644 是中电 58 所生产的性能指标对标 LTM4644 并且可原位替换的一款国产四通道 DC-DC 电源芯片，设计用其转换 FPGA 最小系统所需的各类电压并以此控制 FPGA 上电时序。具体电路如图 4-1 所示，通过 PGOOD 引脚控制各通道电压输出顺序，完成对 FPGA 上电时序的控制。

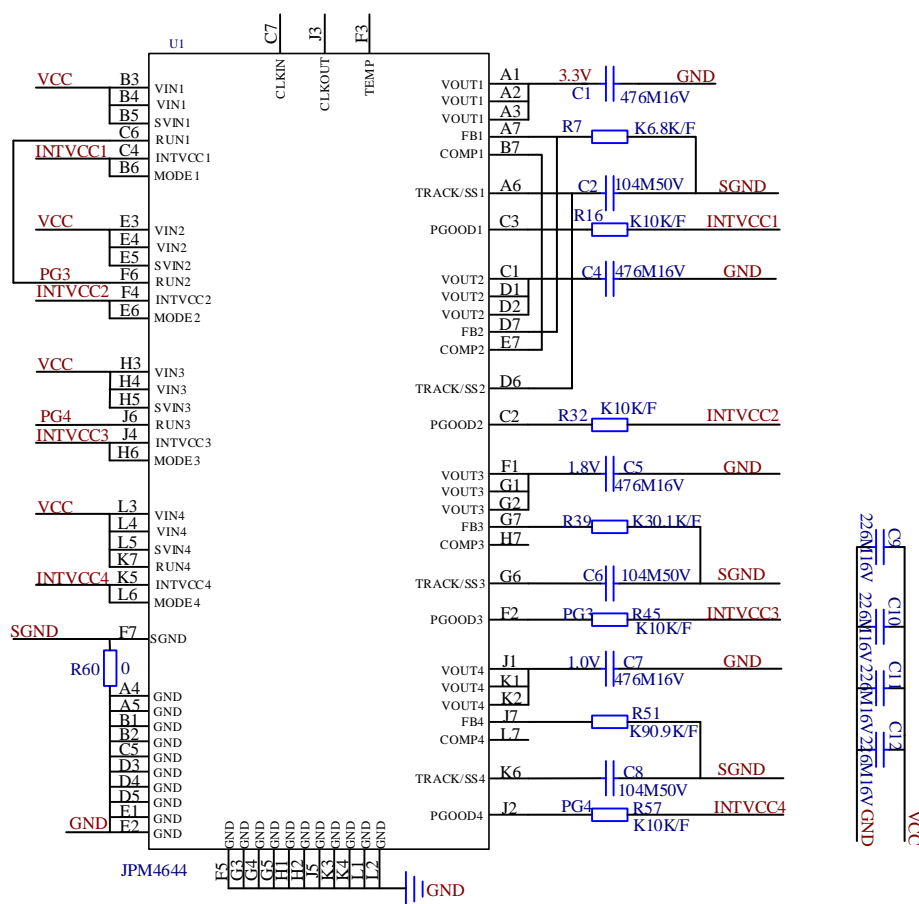


图 4-1 基于 JPM4644 的 FPGA 最小系统供电设计

Fig.4-1 Design of FPGA minimum system power supply based on jpm4644

其供电电压范围为 4V~14V, 设计以机箱背板接入的 5V 作为 VCC 为其供电, 根据

FPGA 内核电压和 IO 口供电电压需求，分别由式(4-1)选阻值为 $90.9K\Omega$ 、 $30.1K\Omega$ 和 $6.8K\Omega$ 作为反馈电阻使其输出 1.0V、1.8V 和两路 3.3V 电压，N 表示通道并联个数。

$$R_{FB} = \frac{\frac{60.4k}{N}}{\frac{V_{OUT}}{0.6} - 1} \quad (4-1)$$

测试设备除了使用 PXI 机箱的 $\pm 12V$ 、 $5V$ 、 $3.3V$ 电压之外，还需为被测设备提供供电电源，设计选用型号为 PCA1000F-SIG 的 AC-DC 电源模块，接 220V 市电转换为 28V 供电电压输出。该模块输出功率可达 1000W，满足 28V、20A 的供电要求，且其具有 19.2V~38.4V 输出电压的调整范围，可据此调整输出电压至任务要求的 25V~33V 电压拉偏范围，可通过软件设置输出参数。当此模块的输出电流值达到额定电流的 105% 时，电压输出会暂时停止，电流回落后恢复输出^[31]。该模块有 320mV 的纹波电压，纹波噪声 400mV，当输出电压过高时启动过压保护，此外还带有限流及短路保护等功能。

图 4-2 为使用该 AC-DC 模块搭建的电源电路，左方 28V_P 和 GND_P 即为模块输出电压和参考地，右方为半双工工作模式的 UART 通信电路，PCA1000F 的 INFO 收发引脚内部原理如图 4-3 所示，INFO 引脚连接光耦 TLP521 进行隔离及电平转换以使 UART_RX 和 UART_TX 适配 FPGA 引脚电平。

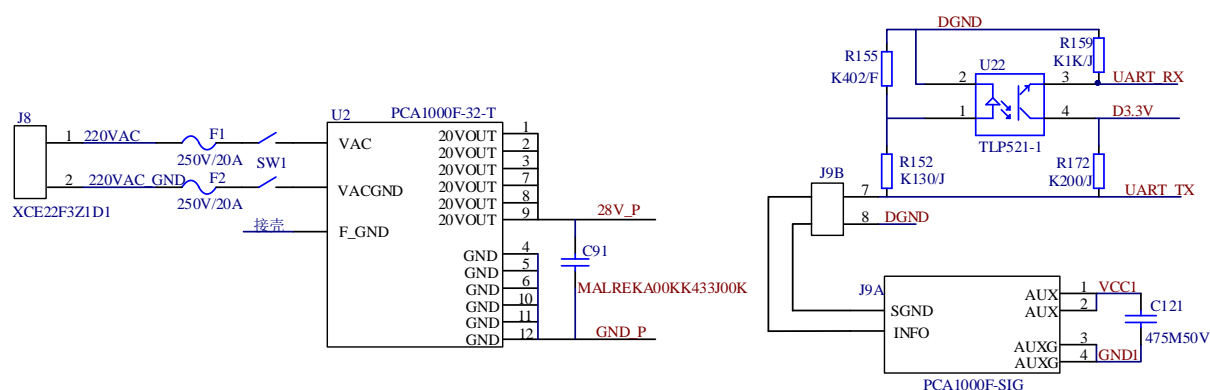


图 4-2 PCA 电源供电电路

Fig.4-2 PCA power supply circuit

PCA1000F 的 UART 通信速率为 2400bps，数据格式包括 1 位起始位、8 位数据位、1 位校验位和 1 位停止位。8 位数据位中，高三位为地址位，其余为有效数据位。校验方式为偶检验，接口高低位顺序为低位在前。电源模块输出的开启、关断及电压设置等

操作指令按照手册规定帧格式通过此 UART 接口传递。

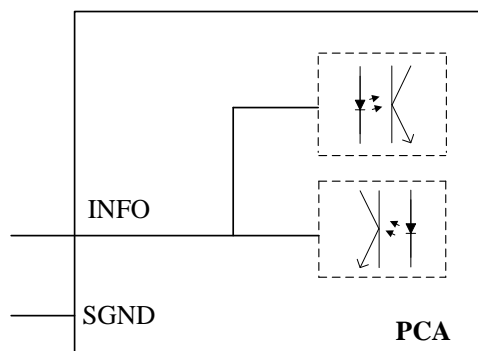


图 4-3 PCA 电源 UART 模块内部引脚示意图

Fig.4-3 Internal pin diagram of PCA power UART module

4.2 开关指令输出模块设计

4.2.1 硬件电路设计

开关指令信号实质上用来控制被测设备目标电路的通断，因此可以用“1”、“0”来表示开关指令的两种状态，在实际应用中一般还要求其带有一定的驱动能力，用以驱动设备正常工作，电子电路中常选用继电器作为开关器件实现开关指令的输出^[32]。

继电器是常见的开关元件，广泛应用于通信、电力、遥测等各类电路系统中。继电器种类繁多，功能原理各不相同，在电子电路中用到的继电器可分为电磁继电器、固体继电器、磁保持继电器、时间继电器和光继电器等^[33]。电磁继电器由线圈电流感应的磁场控制金属触点闭合或断开，在工作过程中需要持续激励以维持开关状态，因而会造成电路资源消耗较大、电磁干扰等问题；磁保持继电器是一种新型继电器，与常规电磁继电器不同的是，该继电器的状态保持依赖于内部永久磁钢的作用，而状态转换只需输入一定宽度的脉冲信号就可实现^[34]；光继电器基于光电效应的原理，由发光二极管和光敏三极管两部分组成，通过输入端二极管导通发光来激励输出端的光敏三极管，由此完成继电器的开关转换^[35]，光继电器有体积小、切换速度快、寿命高等优点。

开关指令信号常规设计是直接用电继电器控制恒压输出，这种方式在面对不同的电路负载时，经常会由于负载的分压、线路的阻抗等问题带来驱动能力下降、输出不稳定的问题。为解决这类问题，提高输出信号的可靠性，设计了恒流输出，同时将电压输出作

为备选,在此基础上还增加了自检回路,以便于电路功能检查及测验多路开关信号的输出状态。模块设计框图如图 4-4 所示。

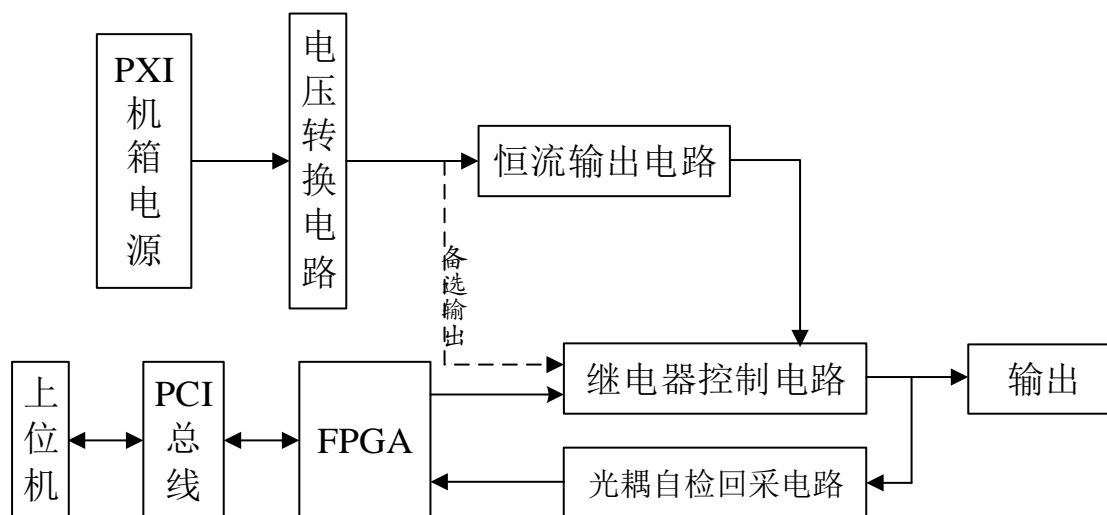


图 4-4 开关指令输出模块设计框图

Fig.4-4 Design block diagram of switch command output module

4.2.1.1 电压转换电路

首先对开关指令模块的供电电路进行设计,由任务指标可知,每路输出信号的驱动能力要满足 28V、40mA 的要求,因此考虑将 PXI 机箱背板提供的 12V 电压升压转换为 28V,以该电压作为指令控制设备的恒流输出电路供电电压及备选输出电压。LTM8054 开关电源芯片输入电压范围为 5V~36V,输出电压范围为 1.2V~36V,满足 12V 转 28V 的要求,输出电流最高达 5.4A,当模块 16 路 40mA 开关信号同时驱动时的总电流为 640mA,因此该芯片满足驱动要求。基于 LTM8054 的电压转换电路如图 4-5 所示。

其中 R2 用于调节开关频率,选用 24.9kΩ 对应最大开关频率为 800kHz。输出电压 V_{OUT} 由 R3、R4 的阻值决定:

$$V_{OUT} = 1.2 \times \left(\frac{R3}{R4} + 1 \right) \quad (4-2)$$

由式(4-2)结合电阻标称值选择 $R3$ 为 $90.9K\Omega$ ， $R4$ 为 $4.02K\Omega$ ，计算得到此电路的输出电压设计值为 $28.3V$ ，将此电压作为供电及备选输出电压。因输出电流 I_{OUT} 需满足大于 $640mA$ 这一要求，所以输出端限流电阻不能过大；同时用 $R1$ 对输入端 I_{IN} 限流，减小对机箱电源资源的占用。

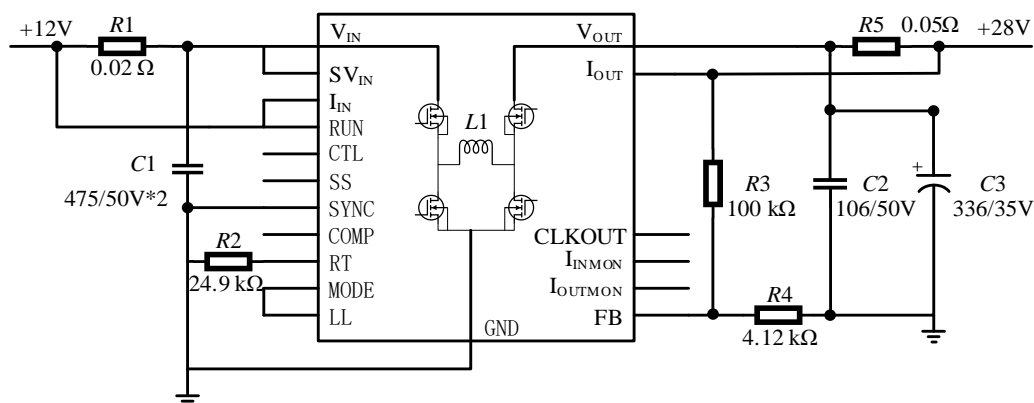


图 4-5 LTM8054 电压转换电路

Fig.4-5 LTM8054 voltage conversion circuit

式（4-3）、（4-4）分别为输入输出端限流公式。

$$I_{IN} = \frac{50mV}{R1} \quad (4-3)$$

$$I_{OUT} = \frac{50mV}{R5} \quad (4-4)$$

LTM8054 的功率转换效率为 90%，如式(4-5)所示，结合输出电流需满足大于 $640mA$ 的条件，则输入电流最少为 $1.78A$ 。考虑 PCB 走线可能带来的能量损耗及冗余设计的思想，适当放宽对输入输出电流的限制，选用 $R1$ 为 0.02Ω 、 $R5$ 为 0.05Ω ，将输入输出电流的最大值分别限制在 $2.5A$ 、 $1.16A$ 。

$$\frac{V_{OUT} \times I_{OUT}}{V_{IN} \times I_{IN}} \times 100\% = 90\% \quad (4-5)$$

4.2.1.2 恒流输出设计

为实现恒流信号的输出，设计选用低压差线性稳压器 LT3082，其 $1.2V \sim 40V$ 的输入电压范围适用于 $28V$ 的输入电压，最大 $200mA$ 的输出电流满足每路 $40mA$ 的任务需求。

其内部结构如图 4-6 所示， $10\mu\text{A}$ 的恒流源流经电阻 R_{SET} ，结合运算放大器“虚短”“虚断”的特性，运放同相输入端电压等于输出电压 V_{OUT} ，即

$$V_{\text{SET}} = V_{\text{OUT}} = 10\mu\text{A} \times R_{\text{SET}} \quad (4-6)$$

输出电流 I_{OUT} 计算公式为：

$$I_{\text{OUT}} = \frac{10\mu\text{A} \times R_{\text{SET}}}{R_{\text{OUT}}} \quad (4-7)$$

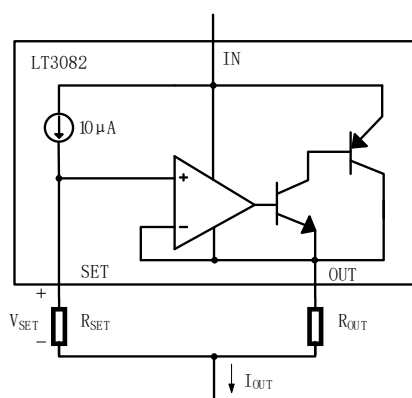


图 4-6 LT3082 内部结构

Fig.4-6 Working principle diagram of LT3082

参考标称阻值，将 R_{SET} 定为 $40.2\text{ k}\Omega$ ， R_{OUT} 定为 10Ω ，由式(4-7)计算得输出电流设计值为 40.2 mA ，与指标值相比误差在 0.5% 以内。

4.2.1.3 开关指令输出电路

基于 LT3082 的开关指令输出电路如图 4-7 所示，电路在选用 40mA 恒流输出的基础上，将 LTM8054 转换而来的 28V 通过调试电阻 R_8 接入电路输出端作为备选输出。 R_8 作为调试电阻用以选通 28V 备选电压输出。设计选用型号为 AQW210EH 的双通道光继电器作为开关控制器，其中一通道用于控制驱动指令 AOUT0 输出，另一通道负责控制自检回采， ACK0_DR 、 ACK0_CH 分别作为输出与自检的开关信号由 FPGA 引脚给出， ACOM0 端回采得到的电量通过光电耦合器 HCPL-0631 转换为逻辑电平，该电平作为回采信号 ZK_0 传送给 FPGA 引脚。

AQW210EH 的负载电压为 350 V，负载电流为 120 mA，满足本设计需求，作为一款光继电器，其工作在接通状态时输入端发光二极管产生的压降 V_F 为 1.25 V。在 3.3 V 的输入电压下，为防止此时输入到 FPGA 引脚的电流过大，输入端需串接一定阻值的限流电阻，参考如图 4-8 所示 AQW210EH 的响应时间与正向输入电流 I_{F1} 的关系，可知当输入电流在 5 mA 附近时关断时间最短，且此时开启时间随输入电流的增大而降低的速度明显放缓，并逐步趋于饱和。因此将限流电阻 R9、R10 定为 330 Ω ，由式(4-8)知此时 I_{F1} 为 6.2mA。

$$I_{F1} = \frac{3.3V - V_F}{R9} \quad (4-8)$$

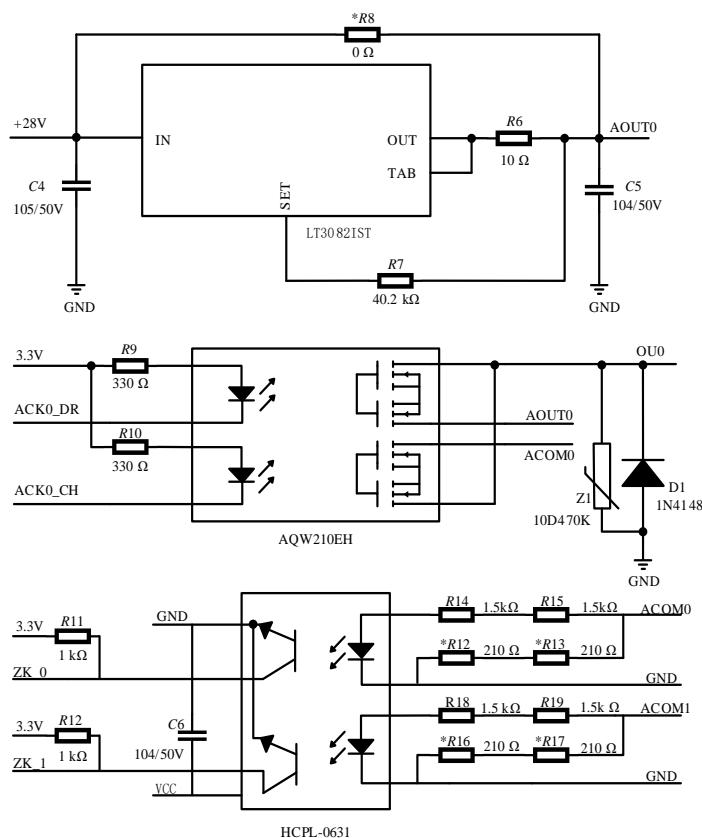


图 4-7 开关指令输出模块电路

Fig.4-7 Switch command output module circuit

继电器输出端并联压敏电阻，可防止瞬态高压涌入，从而保护电路。再并联一个反向二极管为外部设备开关转换时产生的反向电动势提供释放回路^[36]，避免该电动势对电路造成损害。

HCPL-0631 是双通道的高速光电耦合器，当接入 28V 电压时，输入端需串接 $3\text{ k}\Omega$ 的限流电阻将输入电流控制在额定范围内，由于此时单电阻承受功率较大需选用较大的封装，不利于 PCB 布局^[37]，所以改为串联两个 $1.5\text{ k}\Omega$ 小封装电阻以分担功率。当输入端接入 40mA 的电流时，需并联电阻分流，拟将输入电流设计为 10mA，由图 4-9 中该光耦 25℃ 时正向输入电压与输入电流的关系可知，其在 10 mA 处正向导通电压约为 1.44 V，也即导通电阻 R_F 为 144Ω ，由式(4-9)可计算需并联的分流电阻 R 阻值约为 419Ω ，因而选用 420Ω 的标称阻值，同样考虑功率封装问题，选用两个 210Ω 电阻串联。

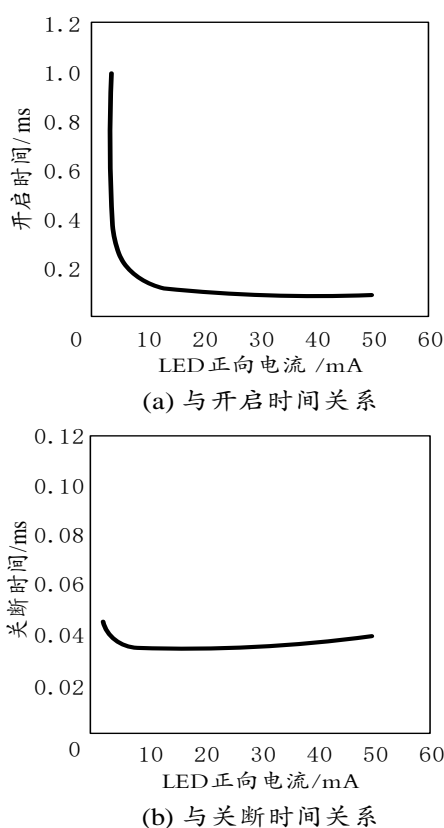


图 4-8 AQW210EH 开启关断时间与正向电流关系

Fig. 4-8 Relationship between on-off time of AQW210EH and forward current

$$I_{F2} = I_{OUT} \times \frac{R}{3k\Omega + R_F + R} \quad (4-9)$$

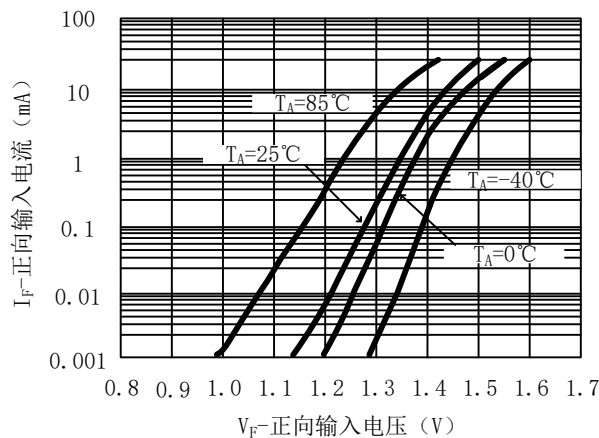


图 4-9 HCPL-0631 正向输入电压与电流关系

Fig.4-9 Relationship between forward input voltage and current of HCPL-0631

将光耦集电极端的引脚作为回采信号指示端 ZK_0 接入 FPGA 引脚，并接 3.3V 电压上拉，上拉电阻选择 1kΩ，当光耦不导通时，ZK_0 为高，FPGA 引脚接收到高电平信号，当光耦受到 AOM0 端电量驱动导通时，ZK_0 被拉低，FPGA 引脚接收到低电平信号，FPGA 根据电平状态得到输出量回采结果。信号 ACK0_DR、ACK0_CH 和 ZK_0 的取值与电路工作状态的对应关系如表 1 所示，i 表示第 i 路，取值为 0~15。其余 15 路电路设计与此相同，每相邻两路共用一个光电耦合器传递回采信号。

表 4-1 电路工作状态对应表

Tab.4-1 Working table corresponding circuit status

序号	ACKi_DR	ACKi_CH	ZK_i 电平	电路状态
1	0	1	高	指令开启
2	1	1	高	指令关断
3	0	0	低	开启自检
4	1	0	高	关断自检

4.2.2 逻辑设计

开关指令输出模块基于上文所示的硬件基础，配合上位机及 FPGA 实现了指令信号的配置输出、脉冲输出及模块的自检及输出状态查询等功能。其中，配置输出的工作流程如图 4-10 所示。

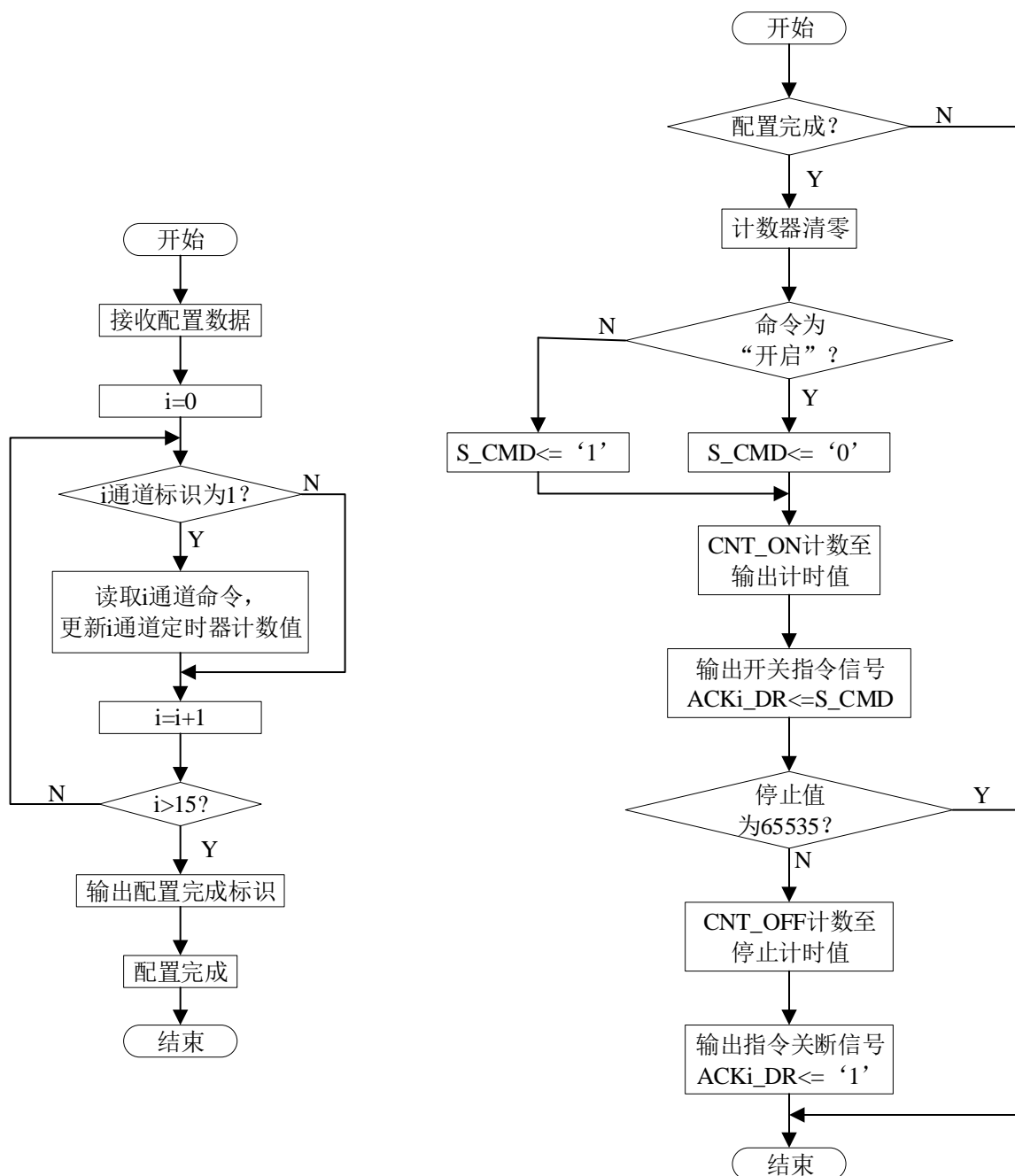


图 4-10 配置输出模式逻辑流程

Fig.4-10 Configure output mode logic flow

配置输出模式是指 16 路开关指令按照预先配置好的参数信息进行输出。配置信息包括输出时刻计时、停止时刻计时、输出通道选择、开启/关断命令类型，通过上位机软件预设，配置数据的格式及说明见表 4-2，可以通过该模式实现 16 路开关指令信号的

定时通断。当 FPGA 确认接收到上位机下发的配置信息及启动指令后，首先依次识别 16 个通道的配置数据，更新各通道的定时寄存器计数值，当 16 路数据更新完毕后输出配置完成标识，如左图所示；配置完成后各路根据命令类型及定时信息输出开关指令信号，如右图所示：判断完配置完成标识后首先将待输出的通道中的定时计数器清零，然后判断配置信息中的命令类型，依据开启或关断命令将 S_CMD 赋值“0”或“1”，同时 CNT_ON 开始计数，计数至配置信息中的输出时刻计时值后将 S_CMD 赋予该通道驱动信号 ACKi_DR 以输出开关信号，接着对停止时刻计时值判断，若该值为 65535 时，保持当前电路状态；若小于 65535 则 CNT_OFF 开始计数，计数至设定值后将驱动信号 ACKi_DR 赋值逻辑“1”输出，即输出指令关断信号，以上计数时间间隔均为一秒。

脉冲输出无需配置，在上位机下发脉冲输出指令后激活，FPGA 在接收命令后控制 16 路控制指令同时开启，同时对 40 M 系统时钟开始计数，满 200 ms 后指令关断、计数归零，完成脉冲输出。

表 4-2 配置数据格式及说明

Tab.4-2 Configure data format

字节数	指令描述	备注
1~2	起始标识	帧起始标识(EB90)
3~4	通道更新标识	每位代表一路，最低位为第一路
7~8	指令输出时刻 1	第一路指令输出计数值
9~10	指令停止时刻 1	第一路指令关断计数值
11~12	指令代号 1	0A0A:开启, 0505: 关断
13~14	指令输出时刻 2	第二路指令输出计数值
15~16	指令关断时刻 2	第二路指令关断计数值
17~18	指令代号 2	同第一路
.....

自检功能目的是在模块使用前对各路指令输出通道进行开关测试，并将各路测试结果上传上位机显示，据此结果检验模块是否有故障。自检的逻辑流程如图 4-11 所示，当判别到自检命令时，FPGA 令各路的 ACKi_DR、ACKi_CH 信号依次输出表 4-1 中开启自检与关断自检时对应的逻辑值并对 ZK_i 回采电平进行判别，如此进行 2 轮，若 4 次判别结果与表中电平值一一对应，则表示该路自检通过，返回“AA”，若其中有一次不对应，则中止判断并返回“55”，表示该路自检不通过。自检动作结束后，将 16

路的自检返回值打包编码上传至上位机显示。

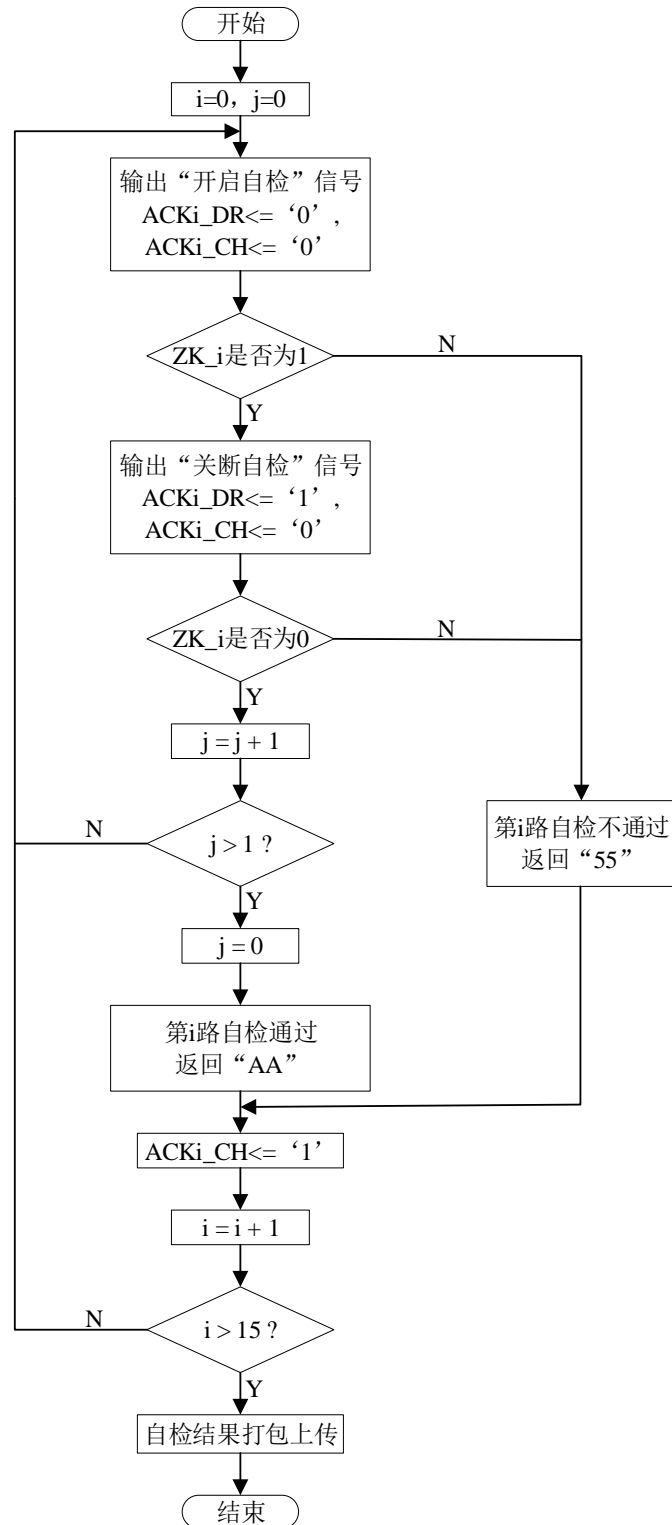


图 4-11 模块自检逻辑流程

Fig.4-11 Module self-test logic flow

状态查询命令旨在检查当前各路输出状态，当 FPGA 判别到此命令时即令所有 ACK_i_CH 信号为零，接通 16 路回采电路，FPGA 根据此时 ZK_i 电平判断指令输出状态，为高返回“55”表明该路此时关断，为低返回“AA”表明开启，同样将 16 路查询结果打包上传上位机显示。

4.3 数字量通信模块设计

4.3.1 RS-422 通信接口电路设计

RS-422 是由美国电子工业 EIA 制定并发布的一种串行物理接口标准^[38]。RS-422 数据信号采用差分形式通过双绞屏蔽线传输，发送端压差在+2V~+6V 之间时为逻辑“1”，在-6V~-2V 时为逻辑“0”；接收端压差大于+0.2V 时，判定为“1”，小于等于-0.2V 时，判定为“0”^[39]。

此通信模块包含 4 路同步 RS-422 接口，每路各包含一路时钟与一路数据接口。图 4-12 为其中两路的差分信号收发电路。

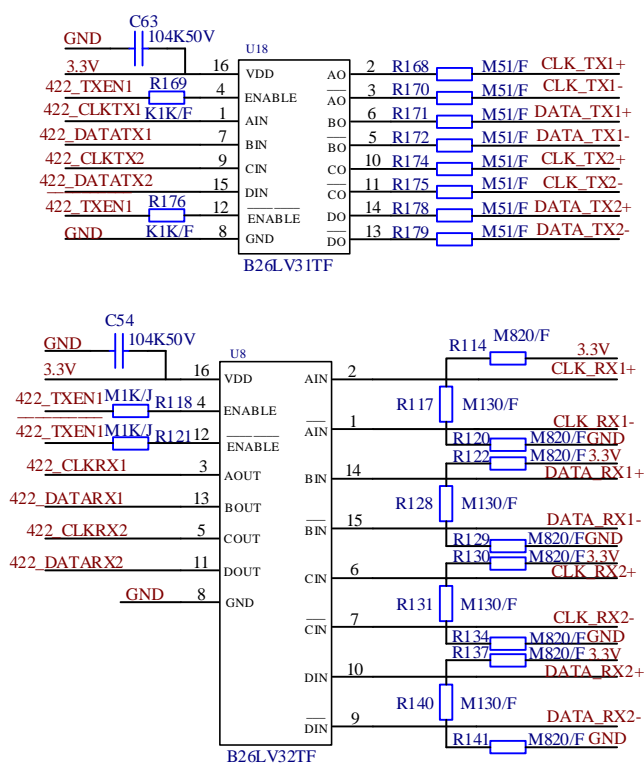


图 4-12 RS-422 数据收发电路

Fig. 4-12 RS-422 data transceiver circuit

差分信号的生成与接收采用北京微电子的 B26LV31TF 与 B26LV32TF 芯片，该系列芯片为 3.3V 电平接口的四通道差分信号收发器^[40]，其 3.3VCOMS 的数字接口电平可匹配 FPGA 的 IO 口，节省了额外的电平转换电路。

由 FPGA 产生的发送信号经 B26LV31TF 处理后以差分形式送出，在每支差分信号线后串接 51 Ω 阻抗匹配电阻；接收端接收由外部输入的差分信号，该信号经 B26LV31TF 转换为单端信号后传入 FPGA，由 FPGA 进行识别存储。其中，接收端的上下拉电阻均选择 820 Ω 为引脚提供网络失效保护，外接连接线通常采用双绞屏蔽线，在两支差分信号接收线之间接入 130 Ω 电阻进行阻抗匹配，以有效减小信号传输的反射^[41]。

模块自检电路如图 4-13，自检时将对应通道的收发信号相连，判断链路发送与接收的数据是否相一致，根据判断结果判断链路功能是否正常并上传自检结果。自检功能用以测试前对通路完整性进行判断，RS-422 模块的工作状态真值表如表 4-3 所示。

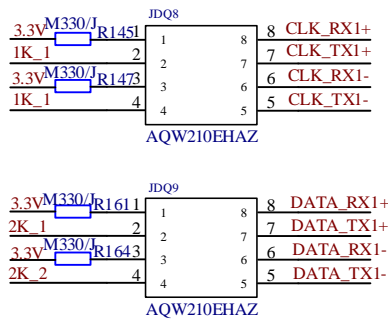


图 4-13 RS-422 自检电路

Fig. 4-13 RS-422 self test circuit

表 4-3 工作状态真值表

Tab. 4-3 Truth table of working state

序号	1K_1/1K_2	2K_1/2K_2	工作状态
1	0	0	正常工作
2	1	1	链路自检

4.3.2 UART 通信接口电路设计

数字量通信模块包含 8 路 UART 接口，每路接口由 1 路差分发送接口 1 路和 1 路光耦接收接口组成，差分发送接口设计与 RS-422 的接口硬件电路设计一致，光耦接收电路设计如图 4-14 所示。通道自检电路与 RS-422 自检原理相同，不再赘述。其中的光

耦接收电路选择高速双通道 GH0631 型号，可完成 UART 通信电路的隔离接收，传输速率可达 10Mb/s，可承受长时间的瞬态干扰。每路接收端的两支差分信号线并联电容滤去杂波，并联二极管防止信号线反接保护电路。UART 的自检电路与 RS-422 设计一致，不再重复。

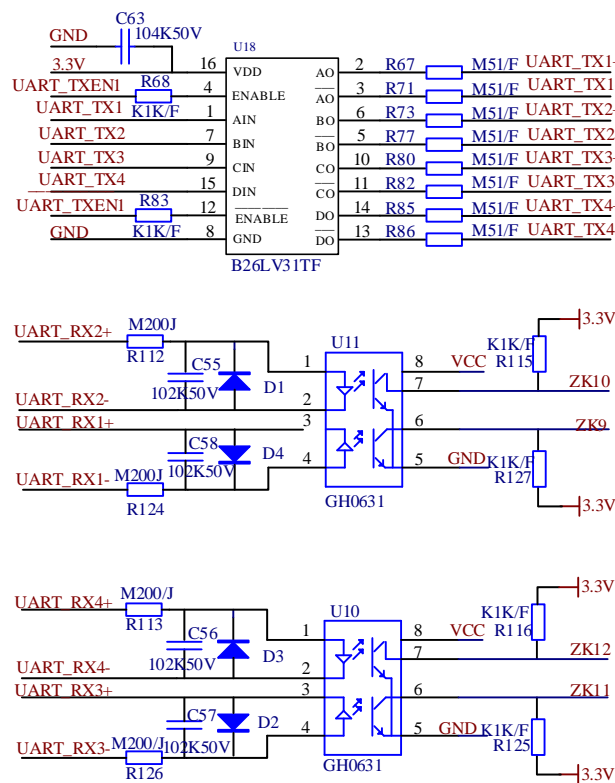


图 4-14 UART 通信接口电路图

Fig. 4-14 UART communication interface circuit diagram

4.3.3 RS-422 和 UART 传输逻辑设计

数字量通信模块基于 RS-422 和 UART 硬件接口电路设计了多种工作模式。测试设备上电之后，由上位机下发配置信息，可配置周期发送、脉冲握手、取数指令握手 3 种工作模式。上位机可通过配置选择递增数、常数和文件三种数据格式。其中递增数为长度和初始值可预设的一串逐次加一的十六进制数据；常数即为预设的某一常数数据，长度可预设且添加帧计数和包计数。文件是指数据传输前预先编辑好的数据文件，数据按长度分包，可添加包计数。

周期发送模式下的通信双方不握手，数据传输前需通过上位机软件配置界面设置配

置信息，FPGA 以收到的配置信息中的周期和数据内容完成数据发送，图 4-15 为该模式下的数据发送流程图。

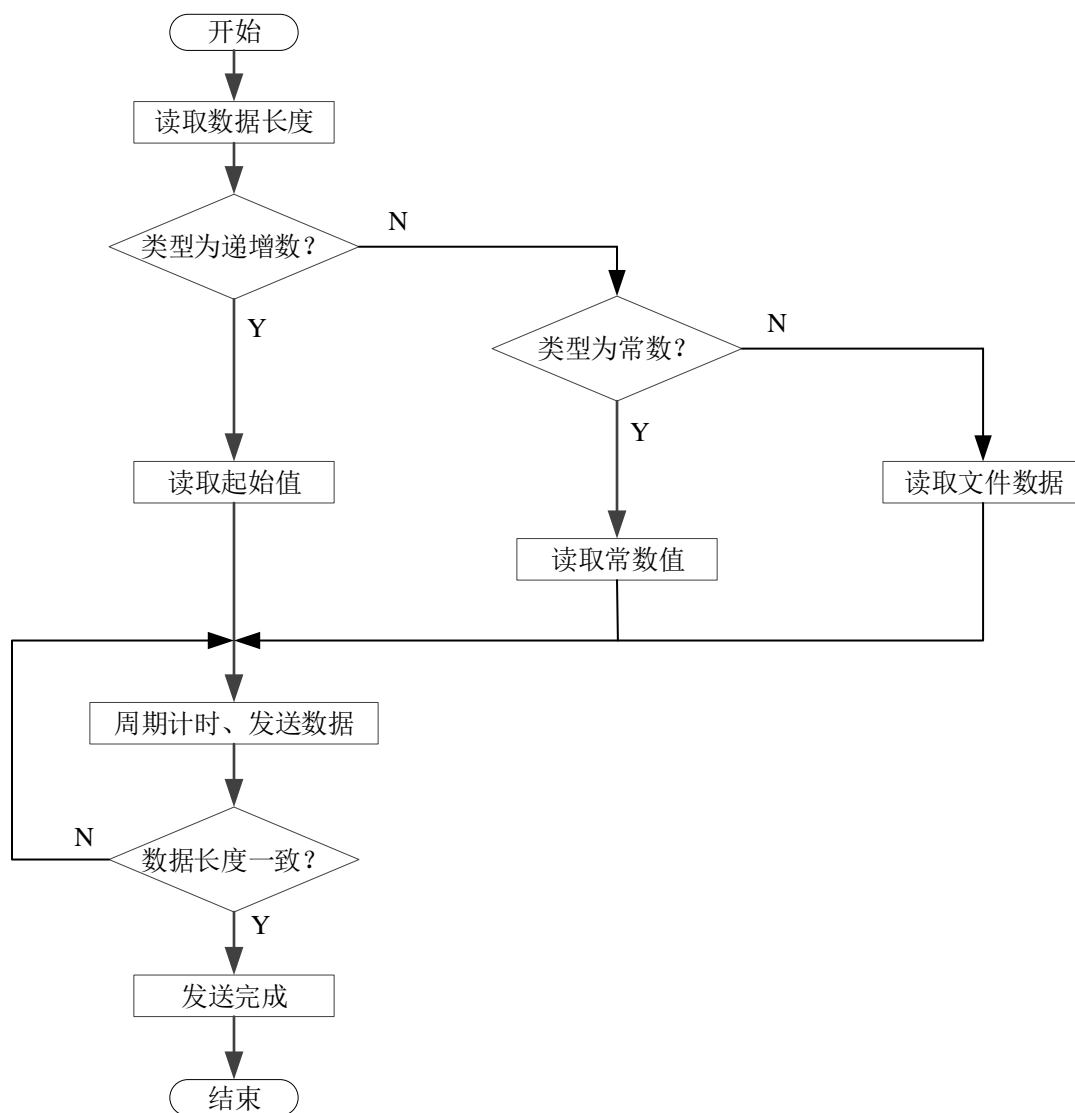


图 4-15 周期发送模式逻辑流程

Fig. 4-15 Cycle sending mode logic flow

取数指令握手通信模式工作方式为：当测试设备为主设备时，发送在上位机软件预先设置的取数指令作为请求通信信号，当收到从设备的响应时，启动通信流程。脉冲握手通信模式即测试设备作为主设备发送一定宽度的脉冲作为握手信号，待从设备响应后开始数据传输，数据传输流程与取数指令握手通信类似，不再赘述。

RS-422 通信接口采用 HDLC 协议，可通过上位机下发的配置信息包括：接口工作

模式、接口时钟极性、接口高低位顺序、是否添加包计数、帧头帧尾设置。其中，时钟极性分为“上升沿发送上升沿接收”和“下降沿发送下降沿接收”，数据高低位顺序分为低位在前和高位在前，帧头和帧尾可选 1-4 个“7E”组合的数据格式。模块每次工作前应先通过上位机下发配置信息，然后再下发启动命令，若没有下发配置信息则按默认配置工作。FPGA 首先解析上位机发送的配置信息，识别包括工作模式在内的全部配置，然后再响应启动命令，将数据按既定模式以帧为单位发送。

UART 通信接口采用标准 UART 协议，数据格式为起始位+数据位+停止位，可选的配置包括波特率（921.6 kbps、460.8 kbps、230.4 kbps、115.2 kbps）、数据位长度（5~8 位）、校验类型（无校验、奇校验、偶校验）、停止位长度（1、1.5、2 位）。UART 通信接口的逻辑流程与 RS-422 相似，不再赘述。

4.3.4 PCM 解调模块设计

4.3.4.1 PCM 调制原理

PCM 解调模块基于一路同步 RS-422 的硬件接口电路，电路设计一致，不再赘述，该部分主要阐述模块的应用场景及逻辑实现。

PCM（Pulse Code Modulation）即脉冲编码调制，主要用于遥测系统传输系统测量参数和外部环境信息，此方式将在时间和取值上皆连续的模拟信号转换为离散数字信号后通过信道传输^[42]。其实现方式主要包括抽样、量化、编码三个过程。PCM 的概念最早在 1937 年由里夫斯 (A. H. Reeves) 提出，是数字通信基础理论，如今理论系统日益完善，应用趋于成熟，常见于同轴电缆通信、数字微波通信、光纤通信、卫星通信、信号处理等军事及民用电子等领域^[43]。

由于其具有很强的抗干扰能力，数据在传输中造成的失真较小，传输信号的噪声不会受传输距离的增加而积累变大，对远距离传输的场景非常适用。在遥测系统的实际应用中，PCM 常结合数据压缩、纠错和加密等技术以提高系统的安全可靠性^[44]。图 4-18 示意了 PCM 系统的通信流程。

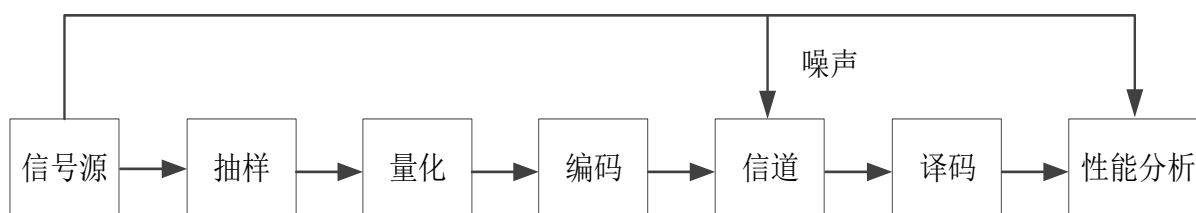


图 4-16 PCM 数字通信一般流程

Fig.4-16 General flow of PCM digital communication

为解决量大且复杂的数据传输需求与有限的信道资源之间日益突出的矛盾,多路复用的数据传输手段应运而生。频分复用和时分复用是现代通信技术最常用的两种方式。频分复用应用于广播电台和电视的信号传输,此方式中信道的带宽被分为若干个相互不重叠的频段,每路信号占用其中一个频段^[45],在信号接收端设计带通滤波器即可将多路信号选择出来,从而恢复原信号,该方式主要用于模拟信号传输;时分复用是将不同信号分时段在同一物理连接上传输,即各信号在时间轴上不重叠,接收端据此将各时段信号提取以还原信号。

本设计中综合测试设备接收的 PCM 数据是采用数字复接技术而生成的群信号。数字复接技术属于时分复用技术的一种,即把若干个低速数字信号合并成高速数字信号,合理地利用有限的传输信道进行传输,实现遥测的高精度测量。通常情况下,遥测系统的参数主要分为模拟量、数字量、开关量三种,本设计中遥测系统中间装置将传送的此三类信号以数字复接技术转换为群信号后由综合测试设备接收,测试设备负责将 PCM 通道接收到的群信号解码并上传至上位机显示,从而使测试人员直观便捷地通过显示数据判断此时中间装置的工作状态并据此对设备性能进行评估,因此 PCM 解调是综合测试设备的重要功能模块。

4.3.4.2 PCM 码型简介

PCM 信号可以采用 NRZ-L、NRZ-M、NRZ-S、BI Φ -L、BI Φ -M、BI Φ -S 等多种码型进行调制,依据 IRIGB-106 标准,PCM 各种码型波形如图 4-17 所示。调制简单、应用广泛且技术成熟的 NRZ 码(非归零调制码)的逻辑电平特性如表 4-4 所示。

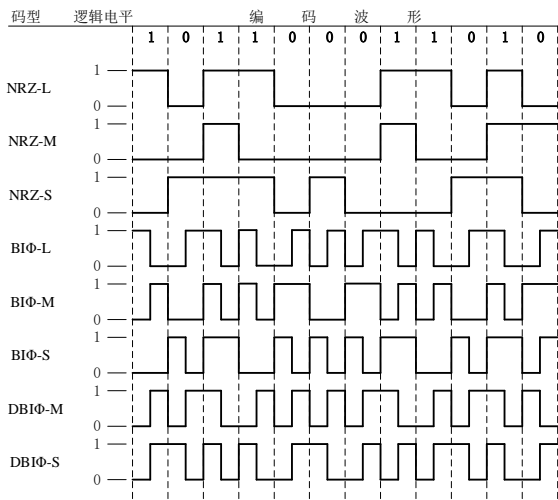


图 4-17 PCM 码型

Fig.4-17 Code type of PCM data stream

表 4-4 NRZ 逻辑电平特性

Tab.4-4 NRZ logic level characteristic

码型	逻辑 “1”	逻辑 “0”
NRZ-L	高电平	低电平
NRZ-M	电平变化	电平不变
NRZ-S	电平不变	电平变化

4.3.4.3 PCM 模块逻辑设计

PCM 模块通过如 RS-422 的硬件电路接收 PCM 信息。PCM 码型为 NRZ-L（逻辑特性见表 4-4），码率为 8.192Mbit。被测设备发来的 PCM 信息通过外部线缆接入数字量模块，经 B26LV32TF 后输入 FPGA 进行解调。测试设备可编辑产生 PCM 信号通过自检电路对链路功能进行检验，由上位机软件显示数据解调结果。接收到的信号分为码同步信号，路同步信号和群信号三种，当对方码率未知时，可根据同步信号解码：码同步信号针对单码位的解调，路同步信号负责字节解调，解码分为移位和取数两个步骤。模块采用差分传输的方式避免了单端信号传输过程中由于电源和地的噪声干扰而导致码元的误判从而影响接码效率的问题，此外，为保证对信号的持续接码，模块预留有足够的缓存空间，防止数据在传输中丢失。

为防止上位机在处理 PCM 数据时消耗过多时间和内存空间，设计使 FPGA 在接收

端预先对数据帧头进行判断，将数据保存后再依据全帧结构分解数据。由于数据传输速率为 8.192Mbps，若令上位机实时处理全部数据时，会增加工作负荷，且接收线程将滞留大量数据，为了兼顾数据的实时性，因此令上位机每隔 100ms 刷新一次数据，对数据进行解包、提取并转换后显示，PCM 模块工作流程如图 4-18 所示。

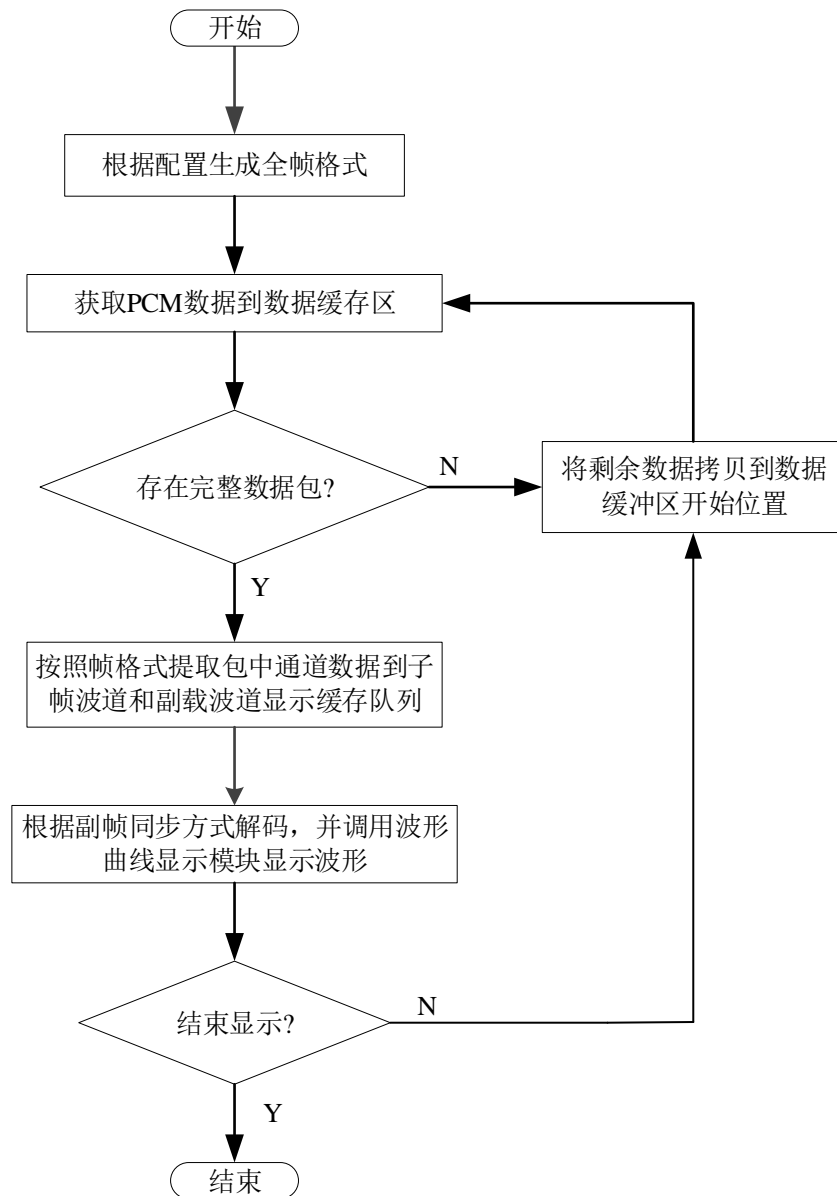


图 4-18 PCM 模块工作流程

Fig.4-18 PCM demodulation flow chart

4.4 模拟量采集监测模块设计

该模块完成对控制器电源接口电量状态的监测，包括对 1 路输入接口处的工作电压及电流的采集监测和 4 路输出接口处的工作电压及电流的采集监测。全部电压量由电缆从控制器输入输出接口接入经线性光电耦合器隔离后采集；电流量选用输入输出隔离的霍尔传感器进行采集，为完成系统的功能自检，设计了控制器负载模拟电路及继电器开关阵列。

4.4.1 模块总体结构设计

图 4-19 为综合型地面测试设备模拟量采集监测模块的整体结构图。

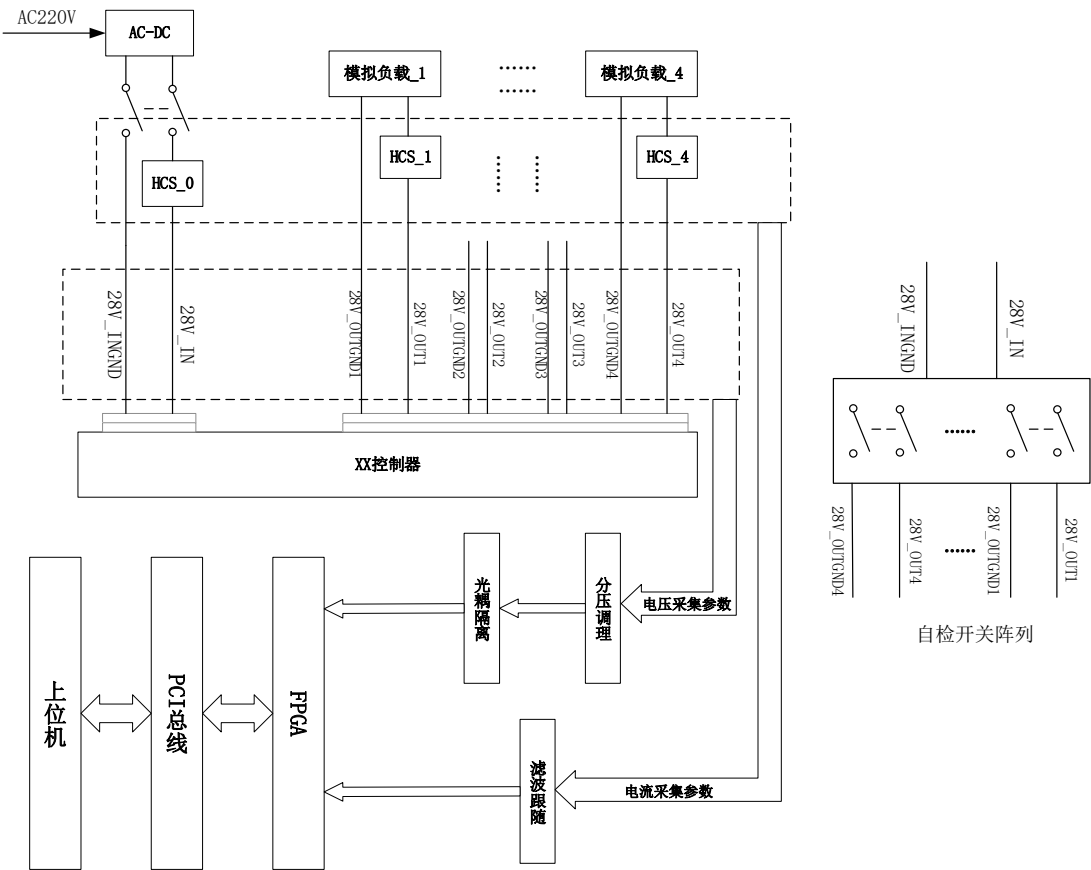


图 4-19 模拟量采集监测模块

Fig.4-19 Analog acquisition and monitoring module

测试设备供给控制器的输入电压 28V_IN 为+28V，范围在 25~33V 之间，控制器总输出电流大于等于 30A，该电压由 220V 市电经 AC-DC 模块转换而来并由继电器控制输出。28V_OUT1~28V_OUT4 为控制器输出电压，控制器的 4 路输出电压连同 1 路输

入电压通过外部电连接器与线缆接入模块，每一路电压经过分压调理电路和光耦隔离电路后送入 FPGA；模块对控制器电流的采集通过串接霍尔电流传感器（HCS_0~HCS_4）实现，为完成模块内部电流采集的功能验证，需要对控制器外接负载进行模拟，即为控制器的 4 路输出设计模拟负载，将模块输出给控制器的 28V 电压经继电器开关阵列选通后串接霍尔电流传感器再连接模拟负载构成回路，由此完成 4 路输出接口的电流采集及功能自检，由 5 个霍尔电流传感器得到的输出电压在进行滤波跟随后送入 FPGA。模块最终采集到的模拟量由 FPGA 内部 ADC 进行模数转换，再通过 FPGA 将数据打包后经 PCI 总线传输给上位机。

4.4.2 电压采集设计

4.4.2.1 开关器件选型

电压采集电路中的开关电路用来对 28V 电源输出进行通断控制，以确保整个系统上电时序合理。在设计开关电路时，除了上文开管控制模块介绍的继电器和 MOS 管外，常见的用于开关电路设计的元器件还包括三极管。三极管可用来设计开关电路与 FPGA 相连，以较小的驱动电流来为继电器控制端提供通断回路。不同于开关控制模块选用的固态光继电器，该模块使用的继电器触点应当能够承受较大电流，有较大的切换电流和切换功率，所以优先考虑电磁继电器。

如前文开关模块所述，磁保持继电器相较常规继电器有突出优点，其依赖内部永久磁铁或具有高剩磁特性的零件，使电磁继电器的衔铁在其线圈电流消失后仍能保持在原先通电时的位置上，也即其触点的开合状态由永久磁铁产生的磁力所保持^[46]，不需持续通电激励，开关转换仅需一定宽度的直流脉冲电信号触发就可完成，可单线圈、双线圈工作。此外，磁保持继电器还具有体积小、功耗低、负载能力强、安全可靠，寿命长等优点^[47]。

单线圈磁保持继电器在正向直流脉冲电压作用下动作并保持，反向电压作用下复归原状态；双线圈磁保持继电器其中一个线圈控制动作，另一个线圈控制复位。图 4-20~图 4-22 为双线圈磁保持继电器的工作原理示意图。图 4-20 显示继电器为复位状态也即初始状态，当继电器的触点需要置位改变状态时，只需像图 4-21 提供正直流电压脉冲

激励线圈 J2，线圈 J2 受到激励而产生的磁极与永久磁铁的磁极相互作用，同极性相互排斥，异极性相互吸引，继电器依靠此性质在瞬间完成了状态的变化，图 4-22 中显示了继电器从复位到置位的转换过程，当激励脉冲消失，继电器依赖永久磁铁的磁性保持现状态不变，如图 4-23 所示。当需要复位时对 J1 线圈作同样激励即可。

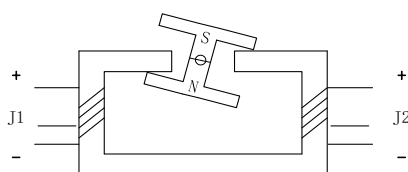


图 4-20 继电器复位状态

Fig.4-20 Relay reset status

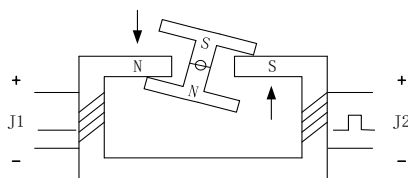


图 4-21 J2 线圈脉冲激励瞬间

Fig.4-21 J2 coil pulse excitation moment

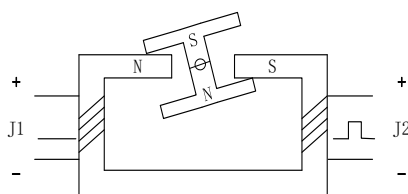


图 4-22 J2 线圈脉冲激励瞬间

Fig.4-22 J2 coil pulse excitation moment

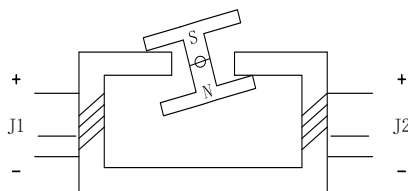


图 4-23 继电器置位成功

Fig.4-23 Relay set successfully

综合以上分析，结合电路电流电压的设计需求和简便节能的考虑同时为了节省 PCB 布板空间，设计选用小体积大功率的磁保持继电器用作电路的开关控制器件最为合适。

4.4.2.2 开关电路设计

综合考虑体积大小、触点负载和切换功率，选用的继电器为宏发生产的 HF115F 系列的 HF115F/5-2H4L2TF 型号，该型号为两组常开的小型大功率双线圈磁保持继电器，接线原理图如图 4-24 和 4-25 所示。该继电器为双刀单掷型开关，两个线圈分别控制着触点断开与闭合，当动作线圈脉冲激励时，两组触点闭合并保持，电路接通；当复归线圈脉冲激励时，两组触点断开并保持，继电器两组触点默认处于常开状态。

HF115F/5-2H4L2TF 的负载电流为 8A，最大切换电流为 10A，最大切换功率为 2000VA。电路的输出电压为 28V 总电流为 20A，为满足电路的切换要求，设计电路时将两组触点并联以提供单只继电器 16A 的负载电流，再将两只继电器并联到电路分流，如此保障了总电流 20A 应用需求。

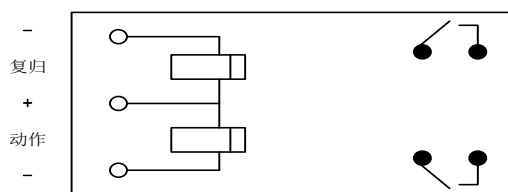


图 4-24 HF115F/5-2H4L2TF 复归状态示意图

Fig. 4-24 Schematic diagram of HF115F/5-2H4L2TF reset state

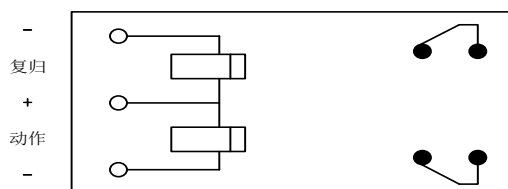


图 4-25 HF115F/5-2H4L2TF 置位状态示意图

Fig. 4-25 Schematic diagram of HF115F/5-2H4L2TF reset state

模拟量采集模块的电源开关电路如图 4-26 所示，电磁继电器作为感性器件，其中的线圈在通断时会产生较高反向电动势^[48]，若将继电器与 FPGA 的 IO 口直接相连，该电动势会直接作用于 FPGA 接口，可能造成损害，而且直接驱动继电器导致电路功耗很大，难以实现多路开关驱动，而使用三极管驱动可以降低电路功耗，FPGA 通过改变 K₁₊、K₁₋ 端口电平来使三极管导通或截止，进而控制继电器的通断。应当用三极管的集电极连接继电器的控制端口以提供足够驱动电流，当 K₁₊ 或 K₁₋ 为高时三极管导

通，HF115F 两组触点闭合，电源电压输入至电路，当 K_1+或 K_1-为高时三极管截止，继电器触点打开，电源向模块的输入通道关闭。二极管为电路工作状态切换时继电器线圈产生的感应电动势提供释放回路，以免该电动势冲击前端电路造成损坏。K_1+、K_1-为 FPGA 的 IO 口送出的控制信号，串接 200Ω 的电阻限流。电源开关电路工作状态真值表如表所示，当 K_1+、K_1- 逻辑取值为 ‘1’、‘0’ 时，此时继电器闭合，28V 的电源电压向外输出，当 K_1+、K_1- 逻辑取值为 ‘0’、‘1’ 时，继电器复归原位，处于关断状态，电源电压停止输出。K_1+、K_1-的默认初始取值为 ‘0’、‘1’，不与电源电压接通。

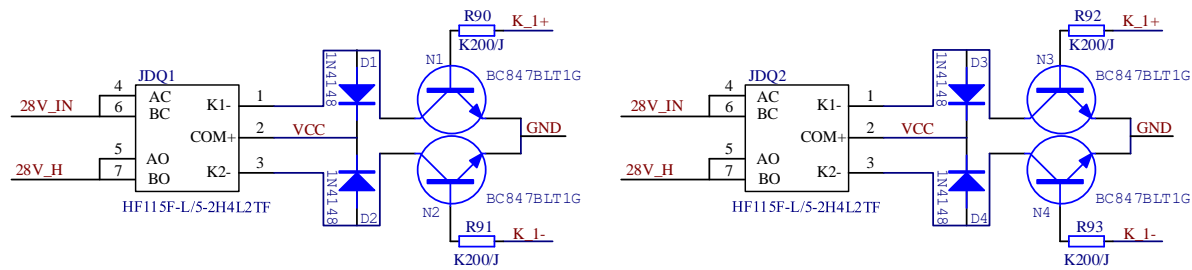


图 4-26 电源开关控制电路

Fig.4-26 Power switch control circuit

表 4-5 电源开关电路工作状态真值表

Tab.4-5 Truth table of working state of power switch circuit

序号	K_1+	K_1-	电源接通状态
1	0		断开
2		0	接通

4.4.2.3 电压采集电路设计

为防止信号干扰，电压采集需设计隔离电路。变压器是隔离电路中的常用器件，但一般用在高频交流的模拟信号电路中，不适用于直流信号^[49]；使用隔离放大器也是设计隔离电路的一种选择，如 ADI 的 AD202，能够在 0 到几 K 的频率内提供 0.025% 的线性度，其在内部完成了电压-频率-电压的隔离转换过程，虽然这类隔离方式线性度极好，但由于其内部电路复杂、体积较大且成本偏高，故而难以适应大规模应用；光隔离是电子电路中常用的一种信号隔离形式，光隔离电路通常由光电耦合器及其外围器件组成。

普通的光耦输入输出线性度较差且易受温度影响，线性光耦相较于普通光耦来讲，其在结构上增加了一个用于反馈的光接收电路，用于反馈的光电二极管在工艺制造上与输出端的光电二极管几近相同，也即二者的物理特性近似相同，因此两个光接受回路就具有了一致的非线性特性^[50]，进而原先输出端的非线性由此时反馈通路的非线性抵消，由此实现了线性隔离的目的。由于线性光耦高压耐受力强、响应时间快、能有效抑制尖脉冲和干扰信号且体积小、成本较低，因而广泛应用于隔离电路中。

以 Avago 公司 HCNR201 为例，该光耦的线性度可达 0.01%，其内部框图如图 4-27 所示，由一只发光二极管和两只光电二极管组成。光电二极管与普通二极管不同，具有较大的 PN 结面积用于接收入射光，其工作在反向电压下，反向电流会随着光强增大。图中 1、2 引脚作为隔离信号的输入，3、4 引脚用于反馈，5、6 引脚输出。通过发光二极管的电流记作 I_F ， I_{PD1} 、 I_{PD2} 分别为两只光电二极管电流，当 LED 通过驱动电流 I_F 时发光，PD₁ 受光产生 I_{PD1} ，该电流作为反馈用来调节 I_F ， I_{PD1} 、 I_{PD2} 与 I_F 成线性关系，线性系数分别为 K_1 、 K_2 ，HCNR201 的该值为 0.48%，参数 K_3 定义为实二者的比值，该值典型值为 1，表示输入输出 1: 1 线性传输。其中，

$$K_1 = \frac{I_{PD1}}{I_F}, K_2 = \frac{I_{PD2}}{I_F} \quad (4-5)$$

$$K_3 = \frac{K_2}{K_1} \quad (4-6)$$

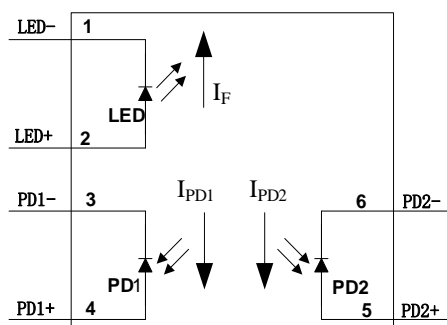


图 4-27 HCNR201 内部结构示意图

Fig.4-27 HCNR201 internal structure diagram

用该光耦设计的隔离电路原理图如图 4-28 所示，电路的输入部分由运放 A_1 、PD₁、LED 组成，PD₂ 及运放 A_2 组成电路的输出部分，输入电压为 V_{IN} ，输出电压为 V_{OUT} ， R_1 、 R_2 作限流电阻， C_1 起反馈作用的同时滤除电路中的毛刺信号，避免芯片内部结构

受到意外冲击， C_2 稳定输出电压。 PD_1 的存在使电路接入了负反馈，当电压 V_{IN} 输入时，运放 A_1 的输出 V_O 使得光耦的 LED 有驱动电流 I_F 产生，同时 PD_1 接收 LED 发出的光使反馈回路产生电流 I_{PD1} ，如此输入电压 V_{IN} 经过电压到电流的转化，且其变化与 I_F 和 I_{PD1} 相关，若将运算放大器视为理想状态，也即增益 G 为无穷大，近似处理后此时得到该电路 I_F 的表达式：

$$I_F = \frac{V_{IN}}{K_1 R_2} \quad (4-7)$$

则输入电压与输出电压的关系为：

$$V_{OUT} = I_{PD2} R_3 = K_2 I_F R_3 = \frac{K_2 R_3}{K_1 R_2} V_{IN} = K_3 \frac{R_3}{R_2} V_{IN} \quad (4-8)$$

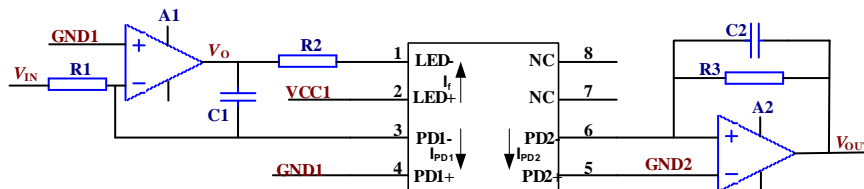


图 4-28 HCNR201 隔离电路原理图

Fig. 4-28 HCNR201 isolation circuit schematic diagram

可见，在上述电路中，输出和输入成正比，并且比例系数只由 K_3 和 R_3 、 R_2 确定。一般设计使 $R_3=R_2$ ， K_3 又称增益系数，该值为 $\pm 5\%$ ，达到只隔离不放大的目的。电压采集电路如图 4-28 所示，接口的输入电压先经过一级运放分压跟随后作为隔离电路的输入电压，根据光耦隔离电路原理选电阻 R_{100} 和 R_{95} 相等，使输入输出端 1:1 传输，取推荐值 $180K\Omega$ 。隔离后的电压再经一级运放跟随输出，前后跟随电路的设计，目的在于缓冲电压信号，消除前后级电路的互相影响。

根据电路设计需要，运放选择双通道的 AD8606ARZ，该运放单电源供电，供电范围为 $2.7V-5.5V$ ，可实现轨到轨的输入输出，具有极低的失调电压， R_{101} 为运放输出端 51Ω 的阻抗匹配电阻。 C_{109} 为输入电压进行滤波，选取值为 $0.1\mu F$ ，反馈电容 C_{110} 取经验值 $10pF$ ，为保障采集精度，所有电阻的精度选为 1% ，此外，隔离电路的输入输出两端取不同的参考地，最终的输出电压 V_D0 由 FPGA 内部 ADC 进行数模转换。图 4-29 为其中一路电压采集电路。

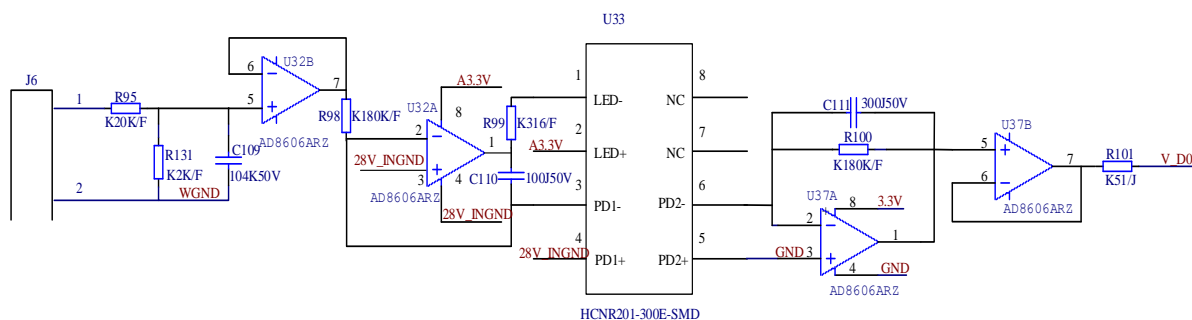


图 4-29 电压采集电路

Fig. 4-29 Voltage acquisition circuit

4.4.3 电流采集设计

4.4.3.1 电流采集方法分析

电流采集的思路一般是将电路中的电流信号转换为电压信号后采集。目前电流采集方法中常用的器件有罗科夫斯基线圈、电流互感器、检流电阻和霍尔传感器等。由这几种器件组成的电流检测电路各有优劣。

罗科夫斯基线圈是一种空心环形线圈，分为柔性和硬性两种，主要作为交流电流传感器来使用，使用时套在被测量的导体上，当被测电流沿轴线通过罗科夫斯基线圈中心时，环形绕组所包围的体积内产生相应变化的磁场，依据法拉第电磁感应定律和安倍环路定律可计算电流^[51]。主要针对高频、大电流的应用场景，其线性度好，标定容易，但对于小电流、非正弦或频率未知的电流来讲，会带来精度较差，电路复杂等问题。

电流互感器基于电磁感应的原理，由铁心、一次绕组、二次绕组和接线端子等组成，两个绕组相互绝缘，匝数较少的一次侧绕组使用时直接串接在测量电路中，通过一次绕组的电流因交变磁通感应会产生按比例减小的二次电流，匝数较多的二次绕组则与仪表串联形成闭合回路^[53]。其成本低、测量结构简单，但体积大、精度一般、只能测交流是此类方法的显著弊端。

串接检流电阻和使用霍尔传感器是自动测试系统中最常用的两种方法。检流电阻法即在测量回路中串接小电阻，选择小阻值精密电阻，串接到电路中用差分放大器电路采集电阻的两端的电压差，结合阻值计算出电流^[52]。所测电流大小不同，所选电阻的阻值

也不同。测大电流时适用小电阻值的电阻器，测小电流时则适用大电阻值的电阻器。测量方法分为高侧感测与低侧感测两种，如图 4-31 所示，检流电阻 R 放在电源与负载之间时为高侧电流感测，放在负载和接地端之间时为低侧电流感测。两种测量方法各有侧重，低边电阻在接地通路中增加了额外阻抗；高边电阻则要求电路承受很大的共模信号。低侧感测法的共模电压趋于零，给电路设计带来很大方便，同时也降低了器件选型的标准，当被测电路的电压较高或者电源电压易出现尖峰浪涌时，优先用低侧感测法来监测电流是较为合理的选择。该方法原理简单、成本很低，但是由于电阻为电路带来额外压降，因而精度较差。

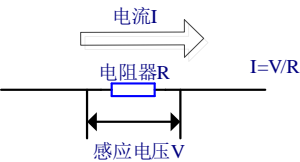


图 4-30 检流电阻法原理示意

Fig.4-30 Principle of current detecting resistance method

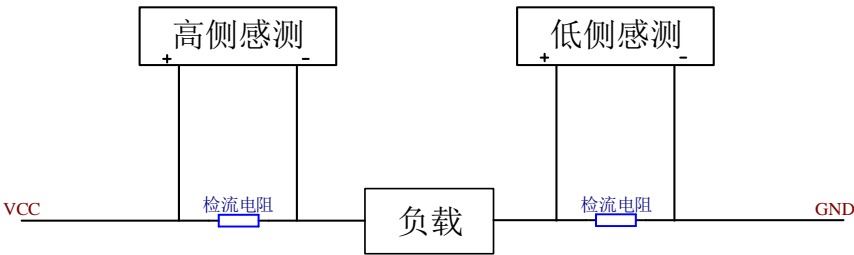


图 4-31 高低侧感测方法示意图

Fig.4-31 Schematic diagram of high and low side sensing method

4.4.3.2 霍尔传感器测量原理

霍尔传感器是根据霍尔效应的原理制成，其中的霍尔器件是可完成磁电转换的半导体器件，霍尔效应的原理可简述为：当载流导体法线方向上有一定强度的磁场时，垂直于电流和磁场的方向会产生一个电动势，而此电动势正比于导体电流和磁感应强度的乘积^[54]。

霍尔电流传感器内部完成了电到磁、磁到电的隔离转换过程，用之可实现电流的非接触测量：测量霍尔电势的大小即可推出载流导体电流的值。霍尔效应原理如图 4-32

所示，在输入端通输入电流 I_C ，若有一磁场 B 穿过该器件表面时，在输出端就会出现霍尔电势 V_H 。该霍尔电势 V_H 的大小与控制电流 I_C 和磁通密度 B 的乘积成正比，即：

$$V_H = K_H I_C B \sin \theta \quad (4-9)$$

其中， K_H 为霍尔系数； I_C 为控制电流； B 为磁感应强度； V_H 为霍尔电势。

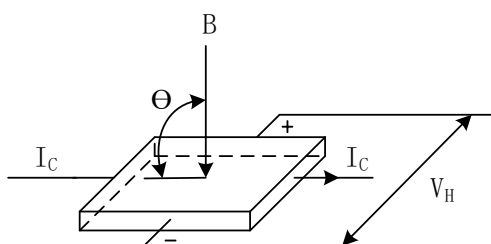


图 4-32 霍尔效应原理图

Fig.4-32 Schematic diagram of Hall effect

当系统对电流采集的精度要求不高时，串接检流电阻使用低侧感测法即可测得电流，当系统对采集精度有较高要求时，可以选择 ACS712, ACS714, MAX471, MAX 472 等常用的霍尔电流传感器，该类传感器的精度高、线性度好且搭建的电路简单，使用方便。

综合考虑测量精度与电路复杂程度，决定选用霍尔电流传感器测量电流。霍尔传感器分为输出数字量的开关型霍尔传感器和输出模拟量的线性型霍尔传感器^[55]。线性霍尔传感器可分为开环式和闭环式两种结构，可测量交直流电流和电压。

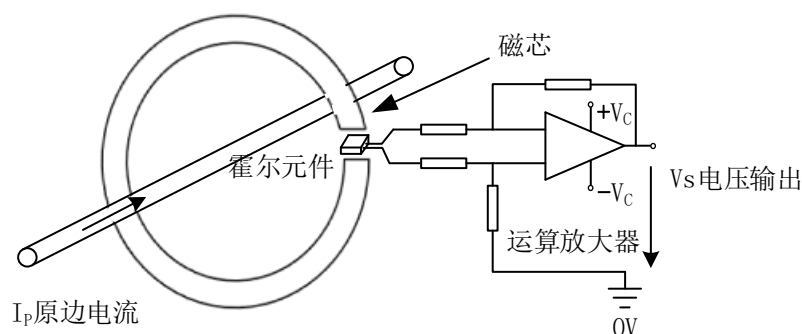


图 4-33 开环式霍尔电流传感器原理图

Fig.4-33 Principle diagram of open-loop Hall current sensor

图 4-33 为开环式霍尔传感器结构简图，包含磁芯、霍尔元件和放大电路三部分。霍尔元件置于如图所示磁芯的开口处，磁芯将原边电流流过导体所产生的正比于电流大小的磁场的磁力线聚集在开口处，霍尔元件产生与该处磁感应强度成正比的电压信号，将该信号经放大处理后计算可得到电流值。

闭环式霍尔电流传感器的原边电流 I_P 在磁环处产生的磁场通过一个次级线圈电流所产生的磁场进行补偿，该补偿电流 I_S 能够精确的反映原边电流 I_P 。理论上其精度和性能优于开环式电流传感器，闭环式霍尔电流传感器的电气测量范围宽、响应时间短，同时适用于交流和直流的测量，但由于体积限制，许多芯片级的霍尔电流传感芯片都是基于开环测量原理，如 ACS712、ACS758 等^[56]。

模块需测的最大电流为 20A，电流采集精度要求优于 2%，设计选用 ACS714LLCTR 型霍尔电流传感器，该电流传感器供电电压为 4.5V-5.5V，采集精度为 $\pm 1.5\%$ ，噪声低且具有极低的输出偏移电压。

4.4.3.3 电流采集电路设计

设计如图 4-34 所示的电路采集系统总电流，选用的 ACS714LLCTR-30A-T 霍尔电流传感器的灵敏度为 66mV/A，VIOUT 端输出电压经过分压后由运算放大器 AD8606ARZ 搭建的跟随电路输出，输出电压 I_D0 通过 FPGA 内部 ADC 模块进行采集。

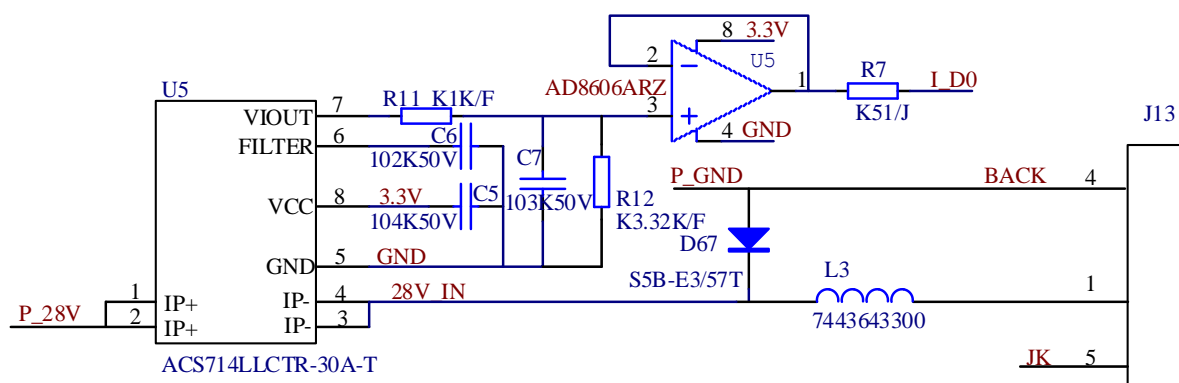


图 4-34 总电流采集

Fig.4-34 Total current acquisition

由继电器控制输出的电源电压接通后通过串接 ACS714LLCTR 霍尔电流传感器对

回路电流进行检测, 由于模块最大电流为 20A, 结合该传感器的灵敏度可知 VIOUT 端口最大输出电压为 1.32V, 经分压跟随后输出, 此时最大值为 1.01V (FPGA 内部 ADC 参考电压为 1.25V)。电容 C₅ 用以滤除供电电压的高频及脉冲干扰信号, C₇ 稳定输出电压。参考芯片手册知, C₆ 与芯片内部的电阻和缓冲放大器构成的电路能够较好消除由 R₁₁ 引起的输出信号衰减, 提高输出信号的信噪比和分辨率。电感 L₃ 起滤波作用, 平滑电压输出。二极管 D₆₇ 用来释放电路通断瞬间造成的感应电动势, 避免该电势冲击芯片造成损坏。

除了总电流以外, 模块还需对共四路支路电流进行检测, 为模拟控制器实际接负载工作时的电流, 以及上电瞬间或在电路由于偶然情况而出现的大于常态时的电流, 需要设计如图所示的 RLC 电路模拟负载特性, 已知负载正常工作时电流为 5A, 上电瞬时浪涌为 15A 左右 (1ms), 用 Multisim 对电路进行仿真, RLC 如图 4-35 所示取值时, 满足模拟条件。选用型号 ACS714LLCTR-20A-T 的霍尔电流传感器, 灵敏度为 100mV/A, 正常测试时, 四路输入由模块外部连接器接入, 通过霍尔传感器及模拟负载后接地。电流传感器周围电路与总电流检测电路相同, 不再赘述, 最终得到的输出电压 I_{D1} 送入 FPGA 内部 ADC 模数转换处理。

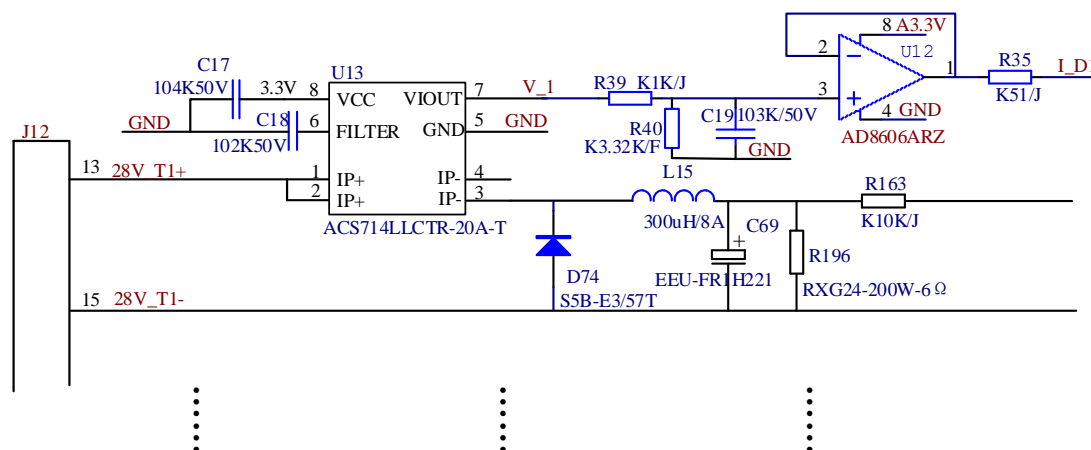


图 4-35 支路电流采集

Fig.4-35 Branch current acquisition

4.4.3.4 自检开关设计

为实现模块的自检功能，即在外接设备测试前先对系统功能进行自我测试，需要设置开关电路将电源输出的电压接入各支路电流检测电路，通过上位机检测输出结果判断电流采集功能是否正常。图 4-36 为自检开关阵列的设计原理图，设计思路与模块的开关控制部分相同，由于支路电流较小，只需将单只继电器的两组触点并联即可满足功率要求。当 FPGA 接收到自检指令时，控制信号分别使各路电压输入接通，依次采集各路电流参数，通过 FPGA 返回到上位机的数据判断此时该路电流检测功能是否正常，由此完成模块的功能自检。

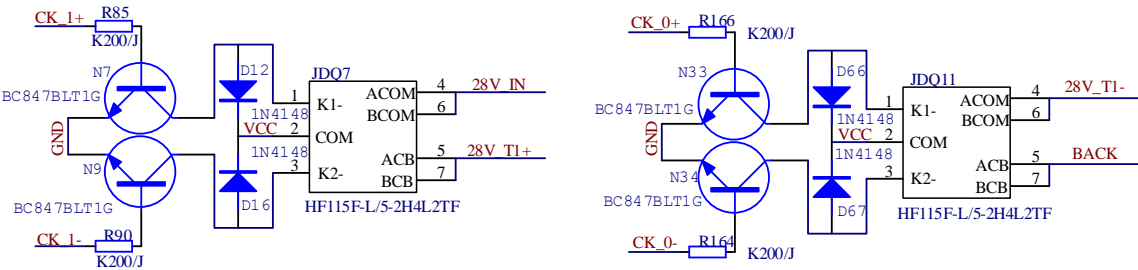


图 4-36 自检开关原理图

Fig.4-36 Schematic diagram of self inspection switch

4.5 本章小结

本章分节介绍了综合测试设备各模块功能板卡的设计原理和实现流程，重点对开关指令输出模块、RS-422 通信模块和模拟量采集监测模块的硬件电路进行了设计分析，并给出了相关电路图，在此基础上，结合上位机对各模块的逻辑设计进行了叙述。

5 测试与分析

对测试设备分模块进行了测试,包括对开关指令输出模块的逻辑功能测试及输出指标测试、数字量通信模块的数据验证和模拟量采集模块的电流采集精度验证。设备测试时通过上位机下发各模块板卡配置信息,各模块 FPGA 根据配置信息完成相应操作并上传测试结果。

5.1 开关指令输出模块测试

该模块在空载的情形下 16 路开关指令全部打开时输出电压值及恒流测试值如表 5-1 所示。由表中测试结果可知,恒流输出时该设计与任务要求的每路 40mA 驱动电流相比误差不超过 0.5%,当选择恒压输出时,模块输出电压与 28V 理论值的误差在 0.3V 以内,多次测量后的结果皆在此范围内,满足任务指标要求。

表 5-1 开关指令输出模块空载电量输出值测试结果

Tab. 5-1 Test results of power output value of switch command output module

通道	电流值/mA	误差/mA	电压值/V	误差/V
1	40.019	0.019	28.173	0.173
2	40.040	0.040	28.203	0.203
3	40.189	0.189	28.186	0.186
4	40.177	0.177	28.281	0.281
5	40.146	0.146	28.185	0.185
6	40.098	0.098	28.233	0.233
7	40.171	0.171	28.130	0.130
8	40.079	0.079	28.103	0.103
9	40.122	0.122	28.223	0.223
10	40.135	0.135	28.169	0.169
11	40.093	0.093	28.198	0.198
12	40.034	0.034	28.136	0.136
13	40.101	0.101	28.106	0.106
14	40.123	0.123	28.189	0.189
15	40.189	0.189	28.196	0.196
16	40.158	0.158	28.223	0.223

为检验开关指令输出模块恒流输出端带负载能力,在输出接口处串接电阻模拟被测设备负载,对不同阻值下模块的输出电流及电压进行测量,得到如表 5-2 所示的结果,

分析知，当负载电阻在 700 Ω 以内时，电流可保持恒定输出，偏差值小于 0.2mA，当负载电阻大于 700 Ω 时，输出电流会随电阻增大而减小，此时电流输出不再恒定。

表 5-2 开关指令输出模块带负载输出值测试结果

Tab. 5-2 Switch command module with load test results

电阻值/Ω	输出电流/mA	偏差值/mA	输出电压/mA
0	40.170	0.17	28.214
100	40.179	0.179	4.019
200	40.175	0.175	8.035
300	40.162	0.162	12.050
400	40.146	0.146	16.061
500	40.135	0.135	20.071
600	40.171	0.171	24.112
665	40.098	0.098	26.723
698	40.087	0.087	28.039
806	34.796	5.204	28.051
953	29.423	10.577	28.073
1k	28.084	11.916	28.094
1.2k	23.408	16.592	28.102
1.4k	20.106	19.894	28.162
1.69k	16.669	23.331	28.204
1.89k	14.940	25.06	28.237
2.39k	11.812	28.188	28.254
5k	5.554	34.446	28.276
7k	4.021	35.979	28.289
20k	1.405	38.595	28.294

图 5-1 为示波器抓取的模块脉冲指令的输出波形，满足脉冲宽度 200ms、电压值 28V 的设计需求。

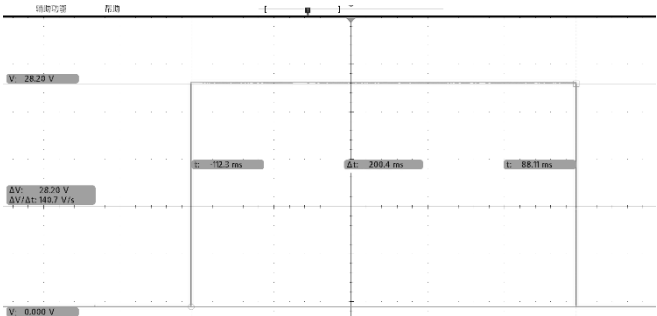


图 5-1 脉冲开关指令输出波形

Fig.5-1 Pulse switch command output waveform

图 5-2 为 FPGA 在线调试抓取和上位机软件界面显示的模块自检指令下达后传回的自检结果指示数据，此时 16 通道返回数据皆为“aa”，表明该模块 16 通道的开关指令输出正常。

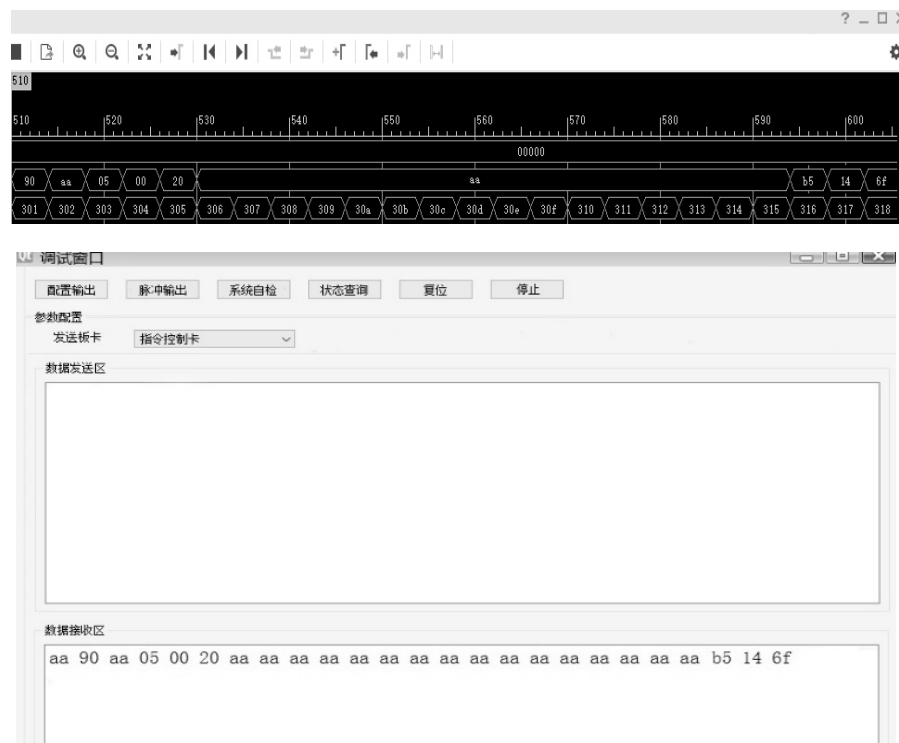


图 5-2 开关指令自检返回结果

Fig.5-2 Switch command self test return result

5.2 数字量通信模块测试

上位机软件界面展示了数字量通信模块的配置项，图 5-3 为 RS-422 和 UART 配置界面包含的配置项，图 5-4 为 PCM 模块配置项。将测试数据通过 PCM 接口传输，PCM 模块解帧处理后数据结果为 32×320 的一个大帧，320 为子帧的长度，图 5-5 截取了长帧结果中的部分帧尾数据，包含全帧计数、全帧同步字和子帧同步字，由该结果可知数据结果帧计数连续，且数据传输过程中未有丢数现象发生。图 5-6 为递增数类型的测试数据下发后 RS-422 和 UART 通道收到的数据结果，由该结果可知，两通道接收的数据完整。

配置项

模拟工作模式

模拟主设备

取数指令类型

双字指令

接口工作模式

周期发送

命令帧或周期长度

16

数据类别

增一码

接口类型

差分发送/差分接收

起始码

00

十六进制

接口波特率

921.6kbps

常数

00

十六进制

接口数据位长度

8bit

脉冲保持时间

50±5μs

接口校验类型

无校验

数据帧长度

496

1~1024字节

接口停止位长度

1bit

发送周期

2000

10ns

通道号

1

1,2,3;1-2

通道名称

Td1

配置项

模拟工作模式

模拟从设备

取数指令类型

双字指令

接口工作模式

周期发送

命令帧长度

7

数据类别

增一码

频率

1000

kbps: 10k~10Mb

起始码

00

十六进制

时钟极性

上升沿发送上升沿接收

常数

21

十六进制

接口高低位顺序

低位在前

脉冲保持时间

50±5μs

是否添加包计数

☒

数据帧长度

16

1~1024字节

帧头设置

1个7E

发送周期

2000

10ns

帧尾设置

4个7E

通道名称

td1

通道号

1

1,2,3;1-2

图 5-3 RS-422 和 UART 配置界面

Fig.5-3 RS-422 and UART configuration interface

配置项

码型

BiΦ-M

码率

4

kbps(10k-10M)

字长

16bit

子帧同步码组

6

副帧同步方式

ID副帧

子帧长

4

字节

副帧长

4

字节

副帧同步码组

4

保存

图 5-4 PCM 配置界面

Fig.5-4 PCM configuration interface

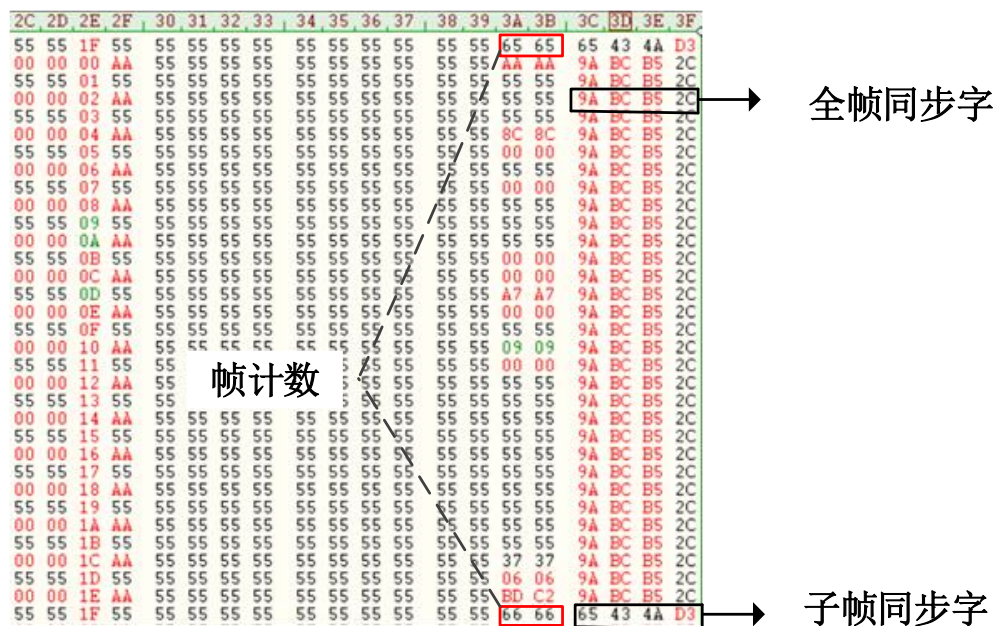


图 5-5 PCM 测试结果

Fig.5-5 PCM test results

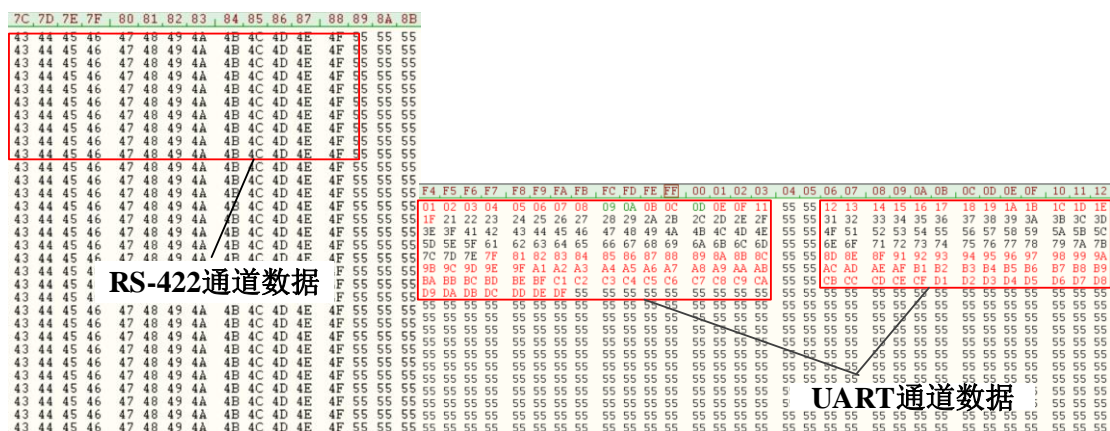


图 5-6 RS-422 和 UART 测试结果

Fig.5-6 RS-422 and UART test results

5.3 模拟量采集监测模块测试

采用高精度万用表对模块输入输出接口处电量进行测量，并对电压及电流输出值回采值进行记录。如表 5-3 所示，记录了电压值在 25~33V 范围内的测试情况，据表可知，输出的绝对误差小于 0.1V，采集精度优于 1%；控制自检开关接通 28V 输出电压到支路

电流采集电路，在 28V 电压下接不同负载电阻模拟被测设备对电流采集模块进行测试，采集和测试的结果表明电流采集误差不大于 2%，满足设计要求。

表 5-3 电压电流输出及回采值

Tab.5-3 Voltage and current output and recovery value						
电压			电阻值/ Ω	电流		
测量值/A	回采值/A	误差/A		测量值/A	回采值/A	误差/A
25.152	25.173	0.021	4.3	6.512	6.553	0.041
26.256	26.223	0.033	4.7	5.956	5.999	0.043
27.364	27.347	0.017	5.1	5.489	5.536	0.047
28.332	28.387	0.055	5.6	5.012	5.062	0.050
29.067	29.100	0.033	6.2	4.516	4.572	0.056
30.062	30.055	0.007	6.8	4.118	4.186	0.068
31.472	31.451	0.021	7.5	3.733	3.806	0.073
32.848	32.872	0.024	8.2	3.415	3.500	0.085

5.4 本章小结

本章结合测试仪器及上位机软件对各功能模块进行了逻辑功能和技术指标的测试，包括开关指令输出模块的电量输出精度、数字量通信模块的数据完整性以及模拟量采集监测模块电量采集精度等，实验测试表明系统各模块工作正常且可以达到各项指标要求。

6 总结与展望

6.1 总结

本设计完成了针对某飞行器控制设备的综合型多功能地面测试设备,设备以 PXI 架构的机箱为主要物理结构,配备了上位机显示设备及测试电缆以完成对该控制器的性能测试。根据实际测试需求,分模块设计了测试设备的开关指令输出模块、数字量通信模块及模拟量采集监测模块,着重阐述了各模块的硬件电路设计原理和逻辑实现流程。首先根据自动测试技术国内外的发展现状及趋势结合测试需求制定了以 FPGA 为主控芯片、PCI 为通信总线的测试设备总体结构方案。其次根据功能指标设计了 PCI 总线通信接口电路及各功能模块板卡,从器件选型、设计原理、安全可靠分析等方面对各板卡的硬件电路进行了详细设计,并辅以 FPGA 逻辑实现流程。最后对各功能模块进行了功能指标测试,对测试结果进行了分析,各模块预期功能均得以良好实现且模块输出及采集指标满足任务要求,表明综合测试设备可以完成对该控制器的性能测试任务。

6.2 展望

综合测试设备虽完成了控制器测试的任务指标,但由于开发成本和研发周期的限制,系统在诸多方面仍有一定提升空间,结合自动测试技术的发展趋势,未来可在以下几个方面优化设计:

(1) PCI 作为系统通信总线虽然满足要求,但 VPX 作为采用 RapidIO、PCIe 等高速串行通信技术的新一代总线标准更具优势,将来测试设备可选择更高速的 VPX 架构。

(2) 基于霍尔电流传感器的电流采集模块的设计虽然精度较高,但是其相比于串接检流电阻方法来讲成本较高,对于通道较多的应用场景还会带来体积空间占用较大的问题,将来可研究设计信号调理电路和其他补偿手段对检流电阻测试方法的精度进行改进后加以应用。

(3) 作为测试设备,系统的自动化程度和可扩展性还可再改进,以提高对不同被测设备的兼容性。

参考文献

- [1].黄兴,刘文波,郭佳.基于 PXI 总线的飞机接口控制盒自动测试平台设计研究[J].中国设备工程,2022(04):13-14.
- [2].徐建华,张瑞,张弛.自动测试过程控制实现方式分析[J].铁路通信信号工程技术,2022,19(01):16-19.
- [3].钱征文,谢玉丹,李帅. 国外军用飞机自动测试系统标准综述[C]//.2021 年中国航空工业技术装备工程协会,2021:574-578.
- [4].吴旷,周虎成.基于 STM32 的电流小信号采集系统设计与实现[J].电子制作,2021(19):3-5+60.
- [5].付盛坤,余海,刘施宇.小电流信号的高精度采集方法[J].工业仪表与自动化装置,2019(03):102-105.
- [6].张程.高电位电流采集系统设计及在间隙放电中的应用[D].华北电力大学(北京),2018.
- [7].桑尚铭,殷聪如,温星曦,张显,罗震,彭帅.多通道隔离电压采集板设计及验证[J].宇航计测技术,2020,40(01):73-78.
- [8].樊瑞瑞. 通用化单元测试设备的设计与实现[D].中北大学,2021.
- [9].程心怡. 模块化测量系统外系统模拟源的设计与实现[D].中北大学,2021.
- [10].张雪钰. 通用型综合等效设备的设计与实现[D].中北大学,2021.
- [11].刘广军. 遥测系统通用测试台等效测试电路的设计与实现[D].中北大学,2010.
- [12].Amin Malekizadeh,Hossein Afarideh,Mahdi Sahraeian,Vahid Esmaeili Sani,Masoumeh Mohamadian. A Precise Method to Improve the Mechanical Properties of the Mud Pulse Telemetry in Order to Manufacture a Positive Mud Pulse Telemetry System[J]. Arabian Journal for Science and Engineering,2021(prepublish).
- [13].Li Qing,Wang Yuqi,Ma Lingyong,Arıcı Müslüm,Li Dong,Yıldız Çağatay,Zhu Yongjian. Effect of sunspace and PCM louver combination on the energy saving of rural residences: Case study in a severe cold region of China[J]. Sustainable Energy Technologies and Assessments,2021,45.
- [14].Thonon Maxime,Fraisse Gilles,Zalewski Laurent,Pailha Mickael. Analytical modelling

of PCM supercooling including recalescence for complete and partial heating/cooling cycles[J]. Applied Thermal Engineering,2021,190.

[15].单文军,罗霄,李文华.一种基于 FPGA 的 PCM 检查器的实现[J].电子设计工程,2018,26(09):185-188+193.

[16].高志远,王亮.六种码型的 PCM 解码方法研究[J].中国科技信息,2017(06):71-72.

[17].Tomar Rime Raj Singh and Jain Kapil. Lossless Image Compression using Differential Pulse Code Modulation and Its Purpose[J]. International Journal of Signal Processing, Image Processing and Pattern Recognition, 2015, 8(9) : 249-256.

[18].Tyncherov K T,Mukhametshin V Sh,Rakhimov N. Selection and justification of efficiency parameters of a noise-resistant downhole telemetry system[J]. IOP Conference Series: Materials Science and Engineering,2021,1064(1).

[19].Batalov D A,Andreev V E,Mukhametshin V V,Kuleshova L S. Development regulation of oil and gas reservoirs based on effective geological and geophysical information[J]. IOP Conference Series: Materials Science and Engineering,2021,1064(1).

[20].Tyncherov K T,Mukhametshin V Sh,Rakhimov N. Theoretical basis for constructing special codes for a noise-resistant downhole telemetry system[J]. Journal of Physics: Conference Series,2021,1753(1).

[21].Davydov A Y,Yakhina I A. Downhole screw motor with integrated telemetry system[J]. Journal of Physics: Conference Series,2021,1753(1).

[22].Jia Chao,Geng Xiaoying,Liu Fudan,Gao Yanna. Thermal behavior improvement of hollow sintered bricks integrated with both thermal insulation material (TIM) and Phase-Change Material (PCM)[J]. Case Studies in Thermal Engineering,2021,25.

[23].Bhardwaj A.K.,Kumar Raj,Kumar Sushil,Goel Bhasker,Chauhan Ranchan. Energy and exergy analyses of drying medicinal herb in a novel forced convection solar dryer integrated with SHSM and PCM[J]. Sustainable Energy Technologies and Assessments,2021,45.

[24].Larwa Barbara,Cesari Silvia,Bottarelli Michele. Study on thermal performance of a PCM enhanced hydronic radiant floor heating system[J]. Energy,2021,225.

[25].Yu Zhang,Jie Cheng,Jianchang Su,Lei Zheng,Xudong Qiu,Wei Shang. Time-domain

resonant characteristics between the disturbances and the RS422 communication signals in Tesla pulse driver, and analysis on the caused RS422 communication interference[J]. IET Science, Measurement & Technology, 2020, 14(8).

[26].Ren Yongfeng, Wang Xiaobing, Zhang Kaihua. Research on RS422 telemetry communication technology based on 6B/10B encoding[J]. Dianzi Jishu Yingyong, 2019, 45(5).

[27].Xu Li, Chen Meng, Cheng Wang, Yu Liang Lu. Design of Multi-Bus Adaptive Information Acquisition System[J]. IOP Conference Series: Earth and Environmental Science, 2019, 252(5).

[28].Shi-ji MA, Feng LIU. Multi-interface Gateway Protocol Conversion Method for Nearspace-air-vehicle-ground Dedicated Network[A]. The Advanced Science and Technology Application Research Center (ASTARC). Proceedings of 2018 International Conference on Computer, Communication and Network Technology (CCNT 2018 Volume 2)[C]. The Advanced Science and Technology Application Research Center (ASTARC): Advanced Science and Technology Application Research Center, 2018: 7.

[29].郑润. 某存储器地面测试台的设计及关键技术研究[D]. 中北大学, 2018.

[30].陈伟雄. 惯性/星光导航系统星敏感器安装误差测试方法研究[D]. 中北大学, 2018.

[31].Tao Yang, Liren Chai, Gang Wang. Design of the UAV Digital Actuator Automatic Test System Based on Dual-core Microcontroller TMS320F28377D[A]. Science and Engineering Research Center. Proceedings of 2018 International Conference on Computer Science, Electronics and Communication Engineering (CSECE2018) [C]. Science and Engineering Research Center: Science and Engineering Research Center, 2018: 3.

[32].Bian He, Liu Guangsen, Wang Huawei, Feng Jia, Gao Bo, Yang Hongtao. Design of Multichannel Data Acquisition System Based on Ethernet[A]. IEEE Beijing Section、Sichuan Institute of Electronics. Proceedings of 2017 17th IEEE International Conference on Communication Technology (ICCT 2017)[C]. IEEE Beijing Section、Sichuan Institute of Electronics: IEEE BEIJING SECTION (跨国电气电子工程师学会北京分会), 2017: 4.

[33].郭佳欣. 基于 LVDS 的图像采集存储装置的设计与实现[D]. 中北大学, 2017.

[34].张静. 基于 FPGA 和 RS422 接口的数据采集存储测试技术[J]. 电子技术与软件工程, 2

022(02):87-90.

[35].李建翔,王洪凯,杨玉华,刘东海,李秋媛.基于 RS422+LVDS 高速长线通信的设计与实现[J].仪表技术与传感器,2021(03):40-44+96.

[36].苗守葵,叶明傲.SRIO 总线和 RS422 总线技术在雷达对抗控制系统中的应用[J].信息通信,2019(10):91-93.

[37].郭致港,焦新泉,贾兴中.基于恒流输出的指令控制设备的设计与实现[J].兵工自动化,2022,41(05):25-31.

[38].Fatima Faydhe AL-Azawi and Zainab Faydh AL-Azawi and Rafed shaker AL- Fartosy. Design and Simulation of Pulse Code Modulation Multiplexing (PCMM) and De-Multiplexing Technique in MATLAB[J]. International Journal of Innovative Technology and Exploring Engineering (IJITEE),2014,3(10):5-8.

[39].张彦军,刘龙飞,刘薇.基于 FPGA 的通用 PCM 测试仪的设计[J].火力与指挥控制,2013,38(01):145-148.

[40].马秀妮,李传伟,王坤宁,周宁侠,陈光建.曼彻斯特码和 PCM 码信号模拟板的设计与应用[J].石油仪器,2012,26(03):79-80.

[41].田宝泉,李国星.机载 PCM 数据流实时监控显示系统的设计[J].科学技术与工程,2013,13(19):5724-5727.

[42].Cirrus Logic International Semiconductor Ltd.; "Pulse Code Modulation (Pcm) Data-Marking" in Patent Application Approval Process (USPTO 20180240464)[J]. Computers, Networks & Communications, 2018,

[43].孙晓磊,王红亮,陈航.基于 FPGA 的双 FLASH 数据记录器设计与实现[J].电子测量技术,2021,44(23):36-41.

[44].孟令军,顾泽凌,任楷飞,王志国,张敏.基于 FPGA 与 Raspberry Pi 的 SEU 测试系统设计[J].电子器件,2018,41(05):1231-1236.

[45].梁永刚,张会新,崔永俊.基于 USB2.0 的数据记录器地面综合测试台设计[J].科学技术与工程,2013,13(30):9036-9040+9046.

[46].刘欣,张会新,庞俊奇.基于 W5300 的以太网嵌入式测试系统设计[J].计算机测量与控制,2014,22(04):1050-1052.

- [47].麻旭东,王文杰.基于 PCI 总线数字量测试台的研究与实现[J].科学之友,2010(03):4-6.
- [48].张祥,崔永俊,刘坤,李康康,杨卫鹏.基于 FPGA 的数字量变换器测试台研制[J].仪表技术与传感器,2018(12):46-49+53.
- [49].任勇峰,彭巧君,刘占峰.基于 FPGA 的 CPCI 高速读数接口设计[J].电子器件,2015,38(01):148-151.
- [50].刘欣,张会新,庞俊奇.基于 W5300 的以太网嵌入式测试系统设计[J].计算机测量与控制,2014,22(04):1050-1052.
- [51].修展,葛立.基于变步长 LMS 算法的 IMU 信号降噪研究[J].遥测遥控,2021,42(02):35-41.
- [52].马丽丽,张军,董兴佳,王晓峰,吕彦东.弹载遥测系统模块划分综合分析方法研究[J].遥测遥控,2021,42(02):48-53.
- [53].郝孟辰,赵岩岩.针对遥测系统下行数据的数据链模块设计[A]. 中国航天电子技术研究院科学技术委员会.中国航天电子技术研究院科学技术委员会 2020 年学术年会优秀论文集[C].中国航天电子技术研究院科学技术委员会:航天电子发展战略研究中心,2020:7.
- [54].罗颖,谢小军,朱才溢,谭鹏.基于霍尔传感器的直流电能计量装置设计[J].中国检验检测,2020,28(06):7-12.
- [55].李萍,罗云.霍尔传感器共性技术和产品的研究[J].江苏科技信息,2020,37(32):54-57.
- [56].郜世杰,陈颖,江壮贤.基于霍尔效应原理的船用大电流高过载直流传感器初步设计[J].船电技术,2020,40(10):14-18.

攻读硕士学位期间发表的学术论文及所取得的科研成果

一、发表论文

1. 基于恒流输出的指令控制设备的设计与实现.第一作者.兵工自动化
2. 基于冲击激励的力传感器的动态校准模型研究.第一作者.电子测量技术

二、研究成果

1.某型号压力传感器

采用压阻式压力敏感元件，将压力信号变换为 0-5V 的电压信号输出，用于测量压力参数，测量范围：0.1MPa~40MPa，精度优于 1%。

2.某型号测试工装

用于对某控制器进行电性能监测及等效控制器外系统功能，完成供电、负载模拟、数据通信、指令控制及用电监测功能。

3.某型号地面测试组合

测试组合基于 PXI 架构，搭载七张功能板卡，包括开关量输出、数字量通信、模拟量输出板卡。测试组合提供控制接口及通信接口，通过外部电缆与被测对象连接，实现对被测对象的控制和设备之间的数据传输。

4.某型号地面测试组合国产化

对测试组合进行 100%的国产化设计，包括上位机系统、机箱、主控芯片及各类电路元件的国产化，对应电路随之调整。使用国产以太网芯片设计接口电路，代替 PCI 实现上位机与主控卡的通信。

致谢

三年的求学生涯行将结束，三年来在老师及同学的帮助下成长了许多，在此向你们致以最诚挚的感谢。

感谢我的导师焦新泉教授一直以来在学业上和生活上的关心，焦老师爽快利落的行事风格、严谨务实的科研态度和深厚渊博的学识修养使我十分敬仰。老师对我的论文写作提出了许多中肯细致的建议，在整个读研期间给予了我很大帮助，衷心地感谢三年来焦老师对我的指导和培养，祝老师一切顺利！

感谢贾兴中老师在项目工作中给予的信任，贾老师耐心解答遇到的疑难问题，带领我成功完成了一个又一个项目，在贾老师的鼓励和帮助下，我的专业技能有了很大提升。贾老师对待工作认真负责，在繁忙的工作之余仍抽出时间不断学习新知识，是我们学习的榜样。亦师亦友的贾老师不仅是我学习的引路人，独特的人格魅力也使我在为人处世方面深受启发。

感谢樊瑞瑞师姐、程心怡师姐、张雪钰师姐、杜志美师兄和曹飞师兄在学习上对我无私的指导，使我能很好地适应实验室的工作环境。感谢李亚政、张岩、卫冠荣、杜凯旋、胡晓捷、李睿康、苏慧思、张昊宇、王达等同学在学习和生活上的关照，感谢姚宇、董康、李凯如、尚立信等师弟、师妹们的帮助，祝你们前程似锦！

感谢家人们对我的默默支持，你们的照顾和陪伴是我不断前进的动力。

感谢参与论文评审和答辩的各位专家老师，谢谢你们提出的宝贵意见。

中北大学研究生院监制