

컴퓨터구조 기말고사 (80점 만점)

2018. 12. 19

1. [프로그램 1]이 [그림 1]의 pipeline에서 실행된다. **sw** 명령어가 WB stage에 있을 때 (1)~(10)의 값을 십진수로 표시하라. 단 메모리 m 번지($0 \leq m < FE_{hex}$)의 값은 m+2이고, register $\$r(0 \leq r \leq 31_{ten})$ 에는 r*2가 저장되어 있다고 하자. 어떤 값이 될지 알 수 없는 경우는 '?'로 표시하라. (각 1점)

```

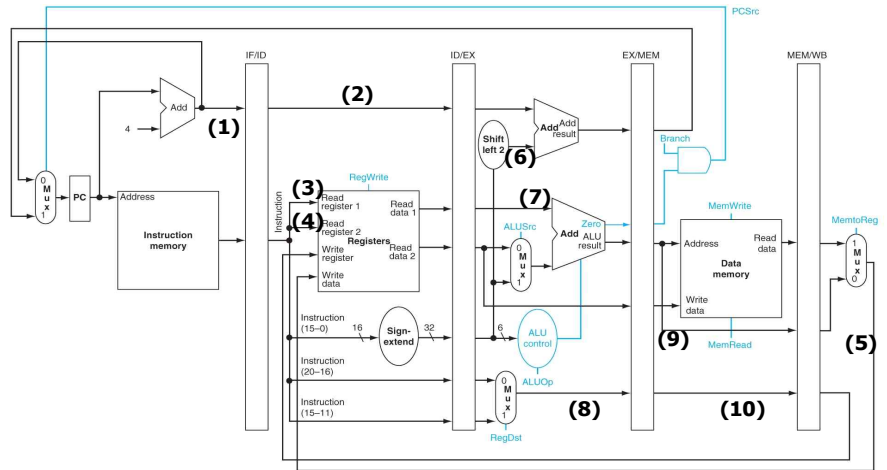
XX: 620ten: sw  $10,100($2)
    624ten: addi $11,$12,3
    628ten: lw  $13,2($3)
    632ten: beq $6,$7,XX
    636ten: and $1,$2,$3
    
```

[프로그램 1]

```

and  $5,$6,$4
or   $7,$5,$8
lw   $9,2($7)
slt  $10,$9,$8
sw   $4,8($22)
sub  $2,$10,$4
xor  $7,$6,$9
    
```

[프로그램 2]



[그림 1]

2. [프로그램 2]가 5-stage MIPS pipeline에서 실행된다. **and**가 IF stage에 있을 때를 CC0라 하자.
- (1) 이 프로그램의 data dependence graph를 그려라. (1점)
 - (2) Forwarding unit은 없는 pipeline에서 CC5, 10, 14에서 각 stage에 있는 명령어는? Opcode만 쓰되, bubble이 있는 경우에는 (b)로 표시하고, 알 수 없는 경우는 빈 칸으로 둔다. (3점)
 - (3) Forwarding unit이 있는 pipeline에서 CC5, 7, 9에서 각 stage에 있는 명령어는? (3점)
 - (4) (3)에서 CC5, 7, 9의 ForwardA, ForwardB 값은? Don't care는 X로 표기하라. (3점)

3. [프로그램 3]이 5-stage MIPS pipeline에서 실행될 때, 다음 clock cycle에서 각 stage에 있는 명령어는 무엇인가? 단 **and**가 IF stage에 있을 때를 CC0라 하고, Opcode만 쓰되, bubble이 있는 경우에는 (b)로 표시하고, 알 수 없는 경우는 빈 칸으로 둔다. Data hazard는 없다. (각 3점)

- (1) Branch는 EX stage에서 실행되며 assume-branch-taken prediction이고 no delay slot 일 때, CC6, CC9, CC12.
- (2) Branch는 ID stage에서 실행되며, assume-branch-taken prediction이고 no delay slot 일 때, CC6, CC10, CC13.
- (3) Branch는 ID stage에서 실행되며, assume-branch-not-taken prediction이고 no delay slot 일 때, CC6, CC8, CC10.
- (4) Branch는 ID stage에서 실행되며, delay slot을 하나 사용할 때, CC6, CC9, CC13.

```

L1: and  $1,$2,$3
    add  $4,$5,$6
    or   $7,$8,$9
    bne  $10,$11,L2 ; Not taken
    xor  $12,$13,$14
    slt  $15,$16,$17
    beq  $20,$3,L1 ; Taken
L2: lw   $21,8($0)
    sw   $22,20($0)
    mul  $23,$24
    
```

[프로그램 3]

4. [표 1]은 block size= 2^3 bytes이고 LRU를 사용하는 2-way set associative data cache의 초기상태이다.
- (1) 각 data 부분에 memory 몇 번지의 내용이 들어있는지 그 주소를 A30-A70과 같이 [표 1]에 표시하되 주소는 16진수로 표기하라. Valid한 data가 없을 때는 빈 칸 그대로 둔다. (4점)
 - (2) [표 2]를 완성하라. 단 H/M는 Hit일 때만 H로 표시하라. (8점)
 - (3) [표 3]에 cache의 최종 상태를 보이되, [표 1]과 달라진 부분만 표시하라. (5점)
5. [표 4]는 LRU를 사용하는 virtual memory system의 page table 초기상태이다. Page size는 $4KB=2^{12}B$ 이고, physical page 3에 들어 있는 page가 사용한지 가장 오래 된 것이고, 그 다음에 2, 1에 있는 것, physical page 0에 들어 있는 page가 가장 최근에 사용한 것이다. TLB의 초기상태는 [표 7]과 같고, TLB도 LRU를 사용한다.
- (1) Physical page 2에는 virtual address 몇 번지부터 몇 번지까지가 들어가 있는가? 16진수로 답하라. (2점)
 - (2) [표 5]를 완성하라. 단 Page fault일 때만 Y로 표기하고, page number는 10진수로 표시하라. (6점)
 - (3) [표 5]를 다 실행한 후의 final page table을 [표 6]에 보여라. (4점)
 - (4) [표 5]를 다 실행한 후의 TLB 최종 상태를 [표 8]에 보여라. (4점)
6. Processor clock=2 GHz, main memory access time=100 clocks. 풀이 과정도 보여라.
- L1 cache: miss rate=5%, hit time=1 clock
- L2 cache: global miss rate=1%, hit time=20 clocks
- (1) L1만 있을 때의 AMAT는 몇 초인가? (2점)
 - (2) L1과 L2가 있을 때의 AMAT는 몇 초인가? (3점)
7. Virtual address=35 bits, Physical address=27 bits, Page size=8K Bytes
- Physically indexed and physically tagged cache, cache size=16K Bytes(data 부분만), cache block=16 Words
풀이 과정도 보여라.(이 문제에서 $K=2^{10}$, $M=2^{20}$ 이다.) (각 2점)
- (1) Page table의 크기는 몇 M bits인가? Page table entry에는 valid bit과 page number만 있다.
 - (2) Direct cache라면 cache 전체의 크기는 몇 K bits인가?
 - (3) 8-way set associative cache라면 cache 전체의 크기는 몇 K bits인가?
 - (4) Fully associative cache라면 cache 전체의 크기는 몇 K bits인가?
 - (5) [표 8]과 같은 fully associative TLB가 있다면 TLB 전체 크기는 몇 Bytes가 될까? TLB entries는 8개이다.