

# 컴퓨터구조 기말고사-SW (70점 만점)

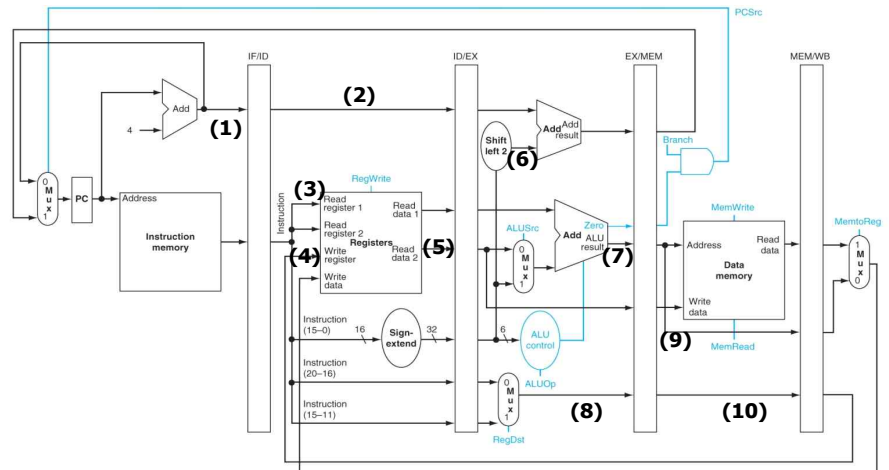
2018. 6. 18

1. [프로그램 1]이 [그림 1]의 pipeline에서 실행된다. **lw** 명령어가 WB stage에 있을 때 (1)~(10)의 값을 **십진수로** 표시하라. 단 메모리 m 번지( $0 \leq m < F_{E_{hex}}$ )의 값은 m+2이고, register  $\$r$  ( $0 \leq r \leq 31_{ten}$ )에는  $r*2$ 가 저장되어 있다고 하자. 어떤 값이 될지 알 수 없는 경우는 '?'로 표시하라. (각 1점)

```

308ten: lw $3,100($4)
XX: 312ten: sw $5,8($6)
316ten: addi $7,$8,3
320ten: slt $1,$2,$3
324ten: beq $9,$10,XX
    
```

[프로그램 1]



[그림 1]

2. [프로그램 2]가 5-stage MIPS pipeline에서 실행된다. **add**가 EX stage에 있을 때를 CC0라 하자.

- (1) 이 프로그램의 data dependence graph를 그려라. (2점)
- (2) Forwarding unit도 hazard detection unit도 없는 pipeline이라면 CC3과 CC5에서 각 stage에 있는 명령어는? Opcode만 쓰되, bubble이 있는 경우에는 (b)로 표시하고, 알 수 없는 경우는 빈 칸으로 둔다. (4점)
- (3) Forwarding unit과 hazard detection unit이 있는 pipeline이라면 CC2와 CC4에서 각 stage에 있는 명령어는? (4점)

```

add $1,$2,$3
mul $4,$5
lw $7,100($1)
and $8,$7,$6
sub $5,$6,$1
div $4,$2
    
```

[프로그램 2]

3. [프로그램 3]이 5-stage MIPS pipeline에서 실행될 때, 다음 clock cycle에서 각 stage에 있는 명령어는 무엇인가? 단 메모리 m 번지( $0 \leq m < F_{E_{hex}}$ )의 값은 m+2이고, register  $\$r$  ( $0 \leq r \leq 31_{ten}$ )에는  $r*2$ 가 저장되어 있다고 하자. **beq**가 IF stage에 있을 때를 CC0라 하고, opcode만 쓰되, bubble이 있는 경우에는 (b)로 표시하고, 알 수 없는 경우는 빈 칸으로 둔다. (각 4점)

```

LL: slt $1,$2,$3
mul $4,$5
beq $7,$8,LL
sub $20,$20,$1
add $7,$7,$1
div $5,$6
bne $10,$20,LL
or $11,$12,$13
xor $14,$15,$16
    
```

[프로그램 3]

4. Main memory =  $2^{25}$  bytes, cache memory =  $2^{14}$  byte (data 부분만)이다. 다음 각 경우에 cache memory의 전체 크기는 몇 Kibits인가? 답만 쓰면 0점이니, 반드시 계산과정을 함께 보일 것. (각 2점)
- (1) Block size =  $2^2$  bytes인 direct mapped cache
  - (2) Block size =  $2^6$  bytes인 direct mapped cache
  - (3) Block size =  $2^3$  bytes인 4-way set associative cache
  - (4) Block size =  $2^4$  bytes인 8-way set associative cache
  - (5) Block size =  $2^5$  bytes인 fully associative cache
5. [표 1]은 block size =  $2^4$  bytes인 2-way set associative cache의 초기상태이다. 이 cache의 replacement policy는 LRU이고, 초기상태 모든 set에서 오른쪽 block이 더 오랫동안 사용되지 않은 것이다.
- (1) Cache block 2에는 memory 몇 번지부터 몇 번지까지가 들어가 있는가? 16진수로 표기하라. (2점)
  - (2) [표 2]를 완성하되, tag와 index는 2진수로 표시하라. 단 H/M는 Hit일 때만 H로 표시하라. (5점)
  - (3) [표 3]에 cache의 최종 상태를 보이되, [표 1]과 **달라진 부분만** 표시하라 Data 부분은 표시할 필요없다. (3점)

[표 1] 초기 상태

	V	Tag	Data	V	Tag	Data
0	1	00010		1	11000	
1	1	00000		0		
2	1	00101		0		
3	0			0		

6. [표 4]와 [표 5]는 virtual memory system의 page table과 TLB 초기상태이다. Page size는  $2^{10}$  Bytes이고, page fault가 발생하면 virtual page number가 가장 큰 page를 victim으로 한다. TLB의 replacement algorithm은 LRU이다.
- (1) Physical page 2에는 virtual address 몇 번지부터 몇 번지까지가 들어가 있는가? 16진수로 답하라. (2점)
  - (2) [표 6]을 완성하라. 단 TLB는 hit일 때만 H로 표시하고, Page fault는 fault일 때만 Y로 표기하라. Page number는 10진수로 표시하라. (5점)
  - (3) [표 6]을 다 실행한 후의 final page table을 [표 7]에 보여라. (4점)
  - (4) [표 6]을 다 실행한 후의 final TLB를 [표 8]에 보여라. (4점)

[표 4] 초기 page table

	Valid	Physical Page Number
0	1	3
1	1	2
2	0	
3	0	
4	0	
5	0	
6	1	1
7	1	0

[표 5] 초기 TLB

Valid	Tag	Physical Page Number
1	0	3
0		

7. Virtual address space= $2^{35}$  bytes, physical address= $2^{30}$  bytes, page size= $2^{10}$  bytes 인 시스템에, virtually indexed and physically tagged 16-way set associative cache를 설치하려고 한다. Cache 크기는 최대 몇 KiBytes까지 가능한가? (3점)