

בס"ד

זיכרון

מטרות התרגיל

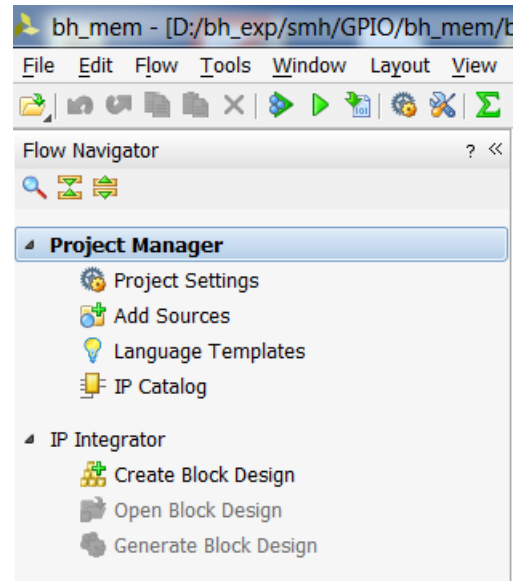
1. בניית זיכרון והתנסות בעבודה אתו-
2. הכרת סביבת עבודה IP CATALOG (הסביבה אתה אתם יוצרים הזיכרונות ושאר IP)
3. התנסות בשיקולי תכן דיגיטלי (בניית קונספט) ראו נקודות למחשבה
4. הכנת אבן בניין חשובה למיני פרויקט שתבצעו **בעתיד הקרוב**

שלב א

יצירת זיכרון מסוג ROM בעזרת IP CATALOG:

1. צור זיכרון מסוג ROM בגודל של 1024 תאים כל תא ברוחב של שמונה סיביות נא למלא הזיכרון בקובץ COE (לפי הקובץ ששלחתי במייל)

פתחו את IP CATALOG:



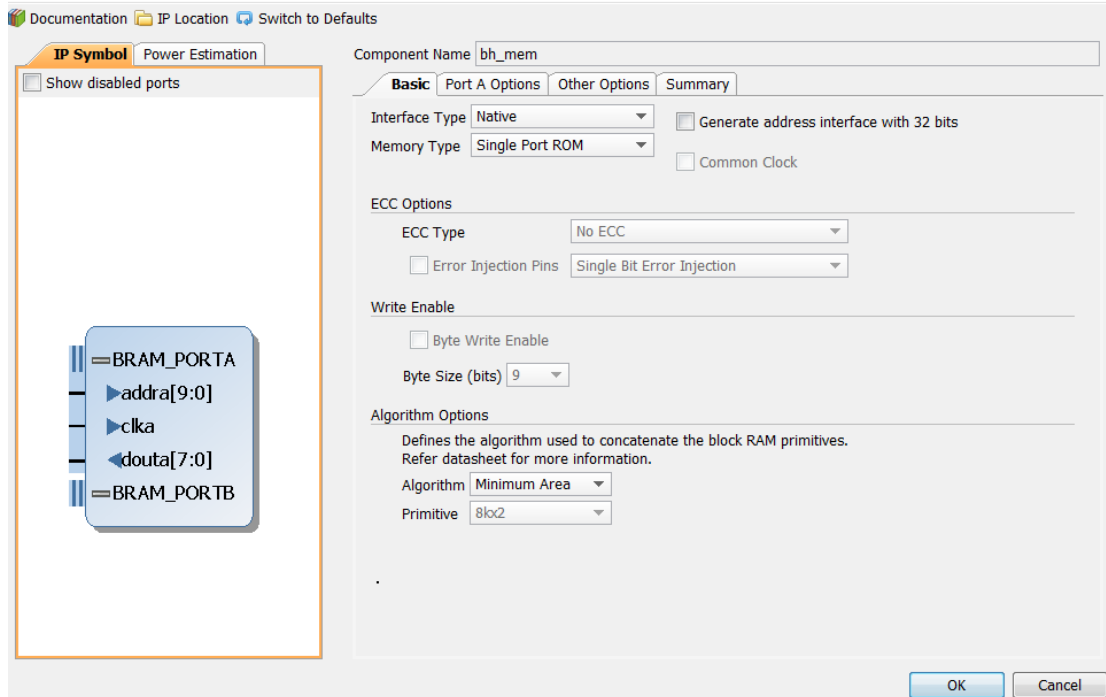
לאחר שנפתח החלון נא בחרו את הזיכרון הבא:

Cores		Interfaces				Search:
Name	AXI4	Status	License	VLN		
Vivado Repository						
Alliance Partners						
Automotive & Industrial						
AXI Infrastructure						
BaseIP						
Basic Elements						
Communication & Networking						
Debug & Verification						
Digital Signal Processing						
Embedded Processing						
FPGA Features and Design						
Math Functions						
Memories & Storage Elements						
ECC		Production	Included	xilinx.com:ip:ecc:2.0		
FIFOs						
Memory Interface Generators						
RAMs & ROMs						
RAMs & ROMs & BRAM						
Block Memory Generator	AXI4	Production	Included	xilinx.com:ip:blk_mem_gen:8.3		
Partial Reconfiguration						
SDAccel DSA Infrastructure						
Standard Bus Interfaces						

שאלות לחזרה

שימו לב בחרנו BRAM מה ההבדל בינם לבין distributed memory?

בלשונית BASIC נא הגדירו את הפרמטרים הבאים :



Documentation IP Location Switch to Defaults

IP Symbol Power Estimation

☐ Show disabled ports

Component Name: bh_mem

Basic Port A Options Other Options Summary

Interface Type: Native ☐ Generate address interface with 32 bits

Memory Type: Single Port ROM ☐ Common Clock

ECC Options

ECC Type: No ECC

☐ Error Injection Pins: Single Bit Error Injection

Write Enable

☐ Byte Write Enable

Byte Size (bits): 9

Algorithm Options

Defines the algorithm used to concatenate the block RAM primitives. Refer datasheet for more information.

Algorithm: Minimum Area

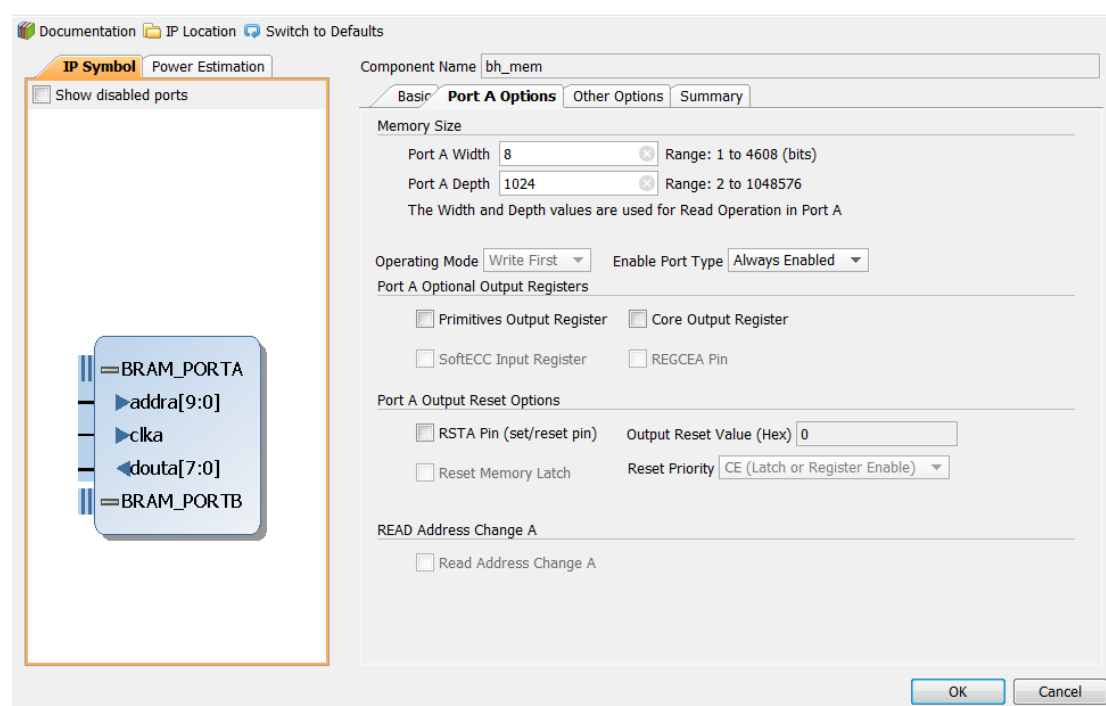
Primitive: 8x2

OK Cancel

דגשים

שימו לב לתמונה של הזיכרון התמונה הנ"ל משתנת בהתאם להגדרות שלכם

בלשונית PORT A options נא הגדירו את הפרמטרים הבאים :



Documentation IP Location Switch to Defaults

IP Symbol Power Estimation

☐ Show disabled ports

Component Name: bh_mem

Basic **Port A Options** Other Options Summary

Memory Size

Port A Width: 8 Range: 1 to 4608 (bits)

Port A Depth: 1024 Range: 2 to 1048576

The Width and Depth values are used for Read Operation in Port A

Operating Mode: Write First Enable Port Type: Always Enabled

Port A Optional Output Registers

☐ Primitives Output Register ☐ Core Output Register

☐ SoftECC Input Register ☐ REGCEA Pin

Port A Output Reset Options

☐ RSTA Pin (set/reset pin) Output Reset Value (Hex): 0

☐ Reset Memory Latch Reset Priority: CE (Latch or Register Enable)

READ Address Change A

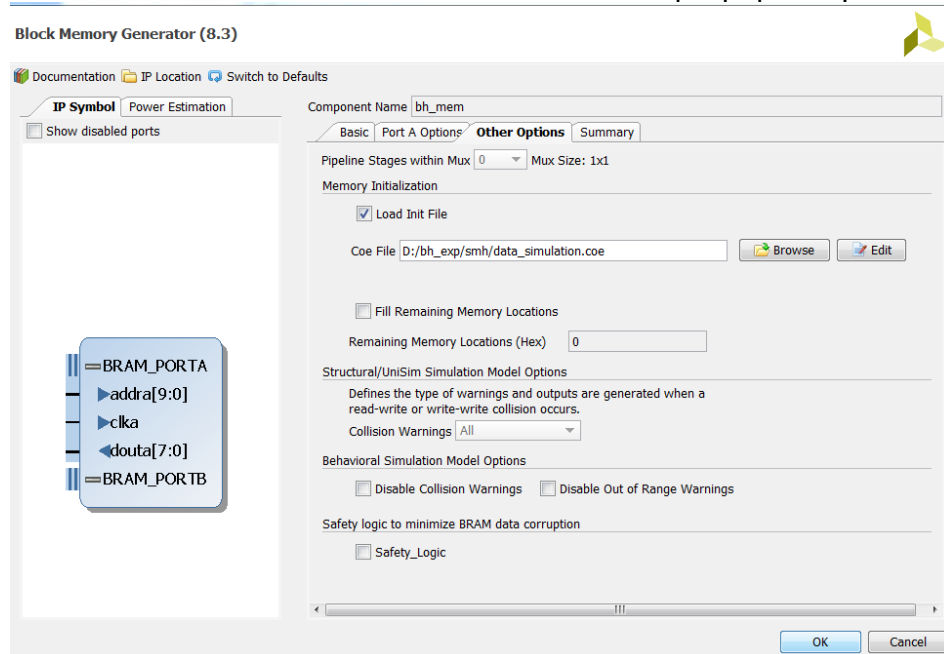
☐ Read Address Change A

OK Cancel

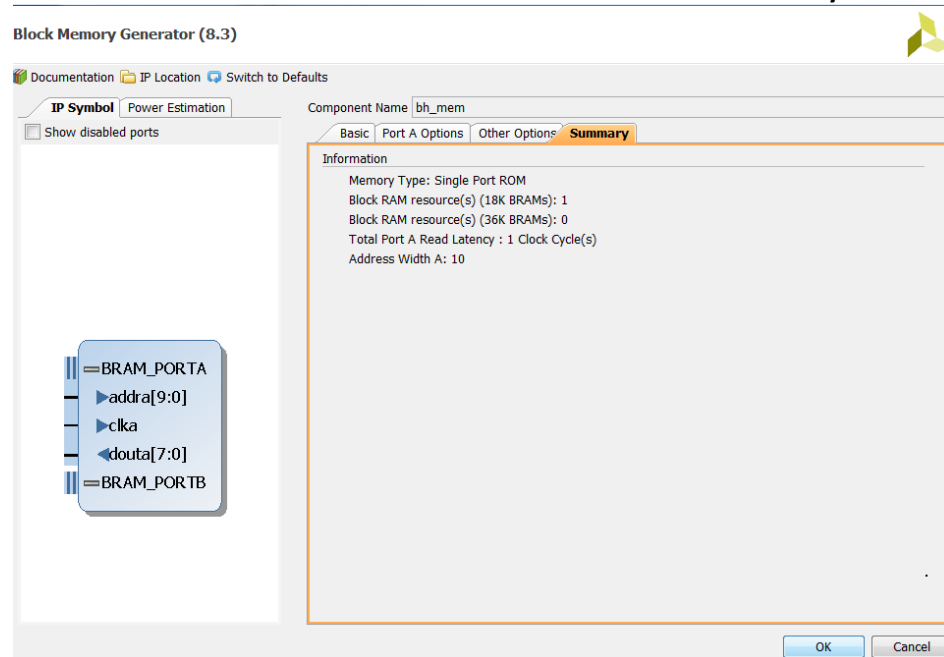
דגשים

שימו לב אתם נדרשים להוריד את V ב primitives output registers
מה משמעות החלופה הנ"ל ?

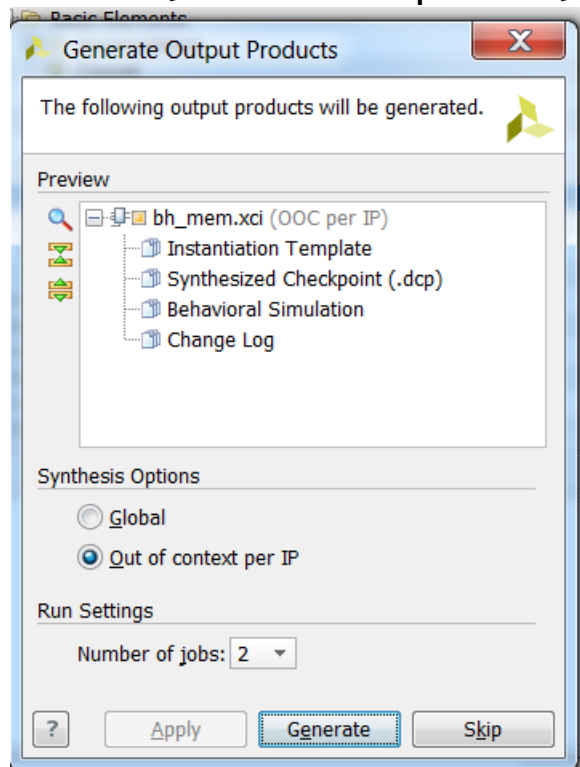
בלשונית other options נא הגדירו את הפרמטרים הבאים :
נא להטעין את הקובץ שקיבלתם ממני במייל



בלשונית summary נא בחנו את הפרמטרים הבאים :

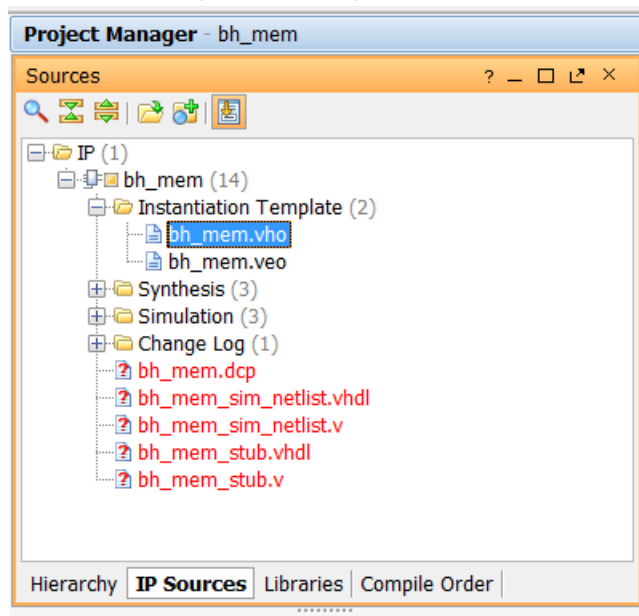


כעת תצרו בבקשה את ה IP לחיצה על GENERATE:

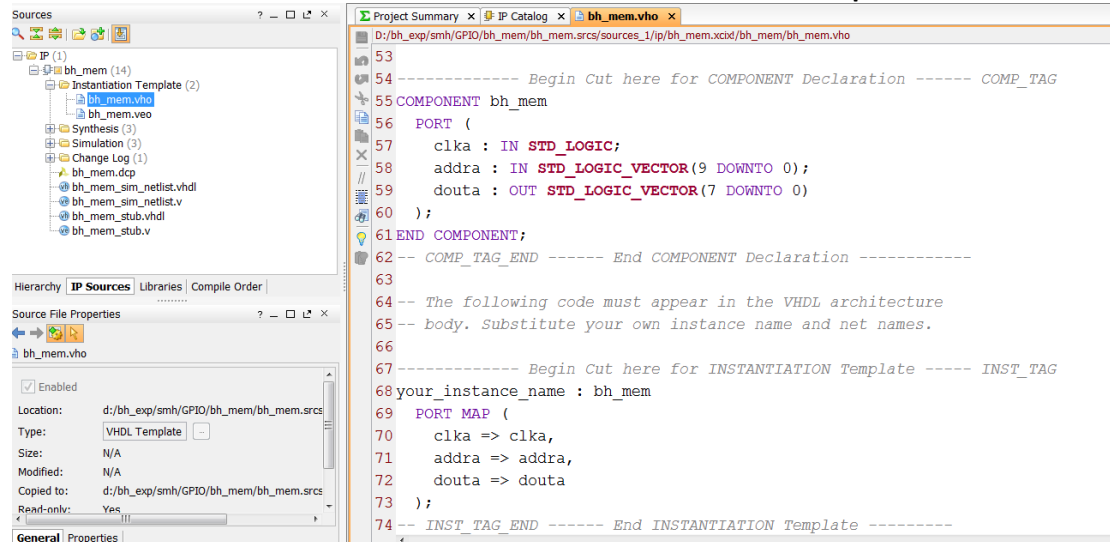


שלב ב בניית סימולציה לזיכרון שיצרנו

פתחו את הלשונית השנייה שנקראת IP SOURCES
שימו לב בד"כ סביבת העבודה תהיה על HIERARCHY



פתחו את לישונית Instantiation Template



צרו קובץ סימולציה חדש וסמלצו (אתם מצפים לראות את הערכים שיש בקובץ שטענתם data (simulation) דגשים :

1. entity ריקה
2. component בן ה architecture לbegin
3. לא לשכוח להגדיר ספריות UNSIGNED ו NUMERIC
4. לא לשכוח להגדיר את signals ולאחל אותם דגש על CLKA ועל ADDRA
5. Port map אחרי begin
6. צרו שרון לדוגמא :
7. בצעו קידום של סיגנל ADDRA בצורה הבאה

Process
begin

addra <= addra +1;
wait for 10 ns;

end process;

שלב ג יצירת SIMPLE DUAL PORT RAM וביצוע סימולציה של פעולות קריאה כתיבה

1. צרו זיכרון מסוג SIMPLE DUAL PORT RAM בגודל של 256 תאים כל תא ברוחב של עשרה סיביות בדומה למה שעשיתם בסעיף א

אותות הכניסה :

1. ADDRESS A-כתובת לכתיבה לזיכרון ברוחב של 8 סיביות
2. CLK A-שעון לPORT הכתיבה בתדר של 100 מגה
3. DATA IN A-המידע שנכתב לזיכרון ברוחב של 10 סיביות
4. WEA-אפשרות כתיבה לזיכרון(עובד פעם אחת בשני מחזורי שעון)
5. ADDRESS B-כתובת לקריאה מן הזיכרון ברוחב של 8 סיביות
6. CLK B-שעון לPORT הקריאה בתדר של 100 מגה

אותות היציאה:

- DATA OUT B-המידע שנקרא מן זיכרון ברוחב עשרה סיביות אחת לשני מחזורי שעון

2. צרו קובץ סימולציה שיבצע קריאה וכתיבת מידע מתוך הזיכרון בדומה לסעיף ב
3. הבלוק יכתוב לזיכרון לכל התאים מ0 עד 255 מספר כפול מערך הכתובת לדוגמא:
 - a. לתא שהכתובת שלו מס 1 הערך 2
 - b. לתא מספר 2 ערך 4
 - c. לתא מספר 3 ערך 6 וכו
4. לאחר סיום הכתיבה אתם תבצעו קריאה של כל התאים ותוודאו שהערכים שכתבתם אכן נכתבו
5. דגשים
 - a. PORTA משמש לכתיבה
 - b. PORTB משמש לקריאה
 - c. את הכתיבה מבצעים ע"י WEA כאשר שמים את ערך הסיגנל '1' להנ"ל שימו לב WEA מוגדר בתור BUS את ההשמה תבצעו בצורה הבאה :
 - d. $Wea(0) \leq '1'$;

שלב ד

התממשקות ל זיכרון מסוג ROM דרך כתיבת תכן

1. השתמשו בזיכרון מסוג ROM בגודל של 1024 תאים כל תא ברוחב של שמונה סיביות שיצרת בסעיף א
2. קודד בלוק שישלוט על קריאת המידע מתוך הROM (כעת הכוונה היא לא לקובץ סימולציה אלא לקוד שעובר סינתזה ז"א תצטרכו לקודד COUNTER שעובר סינתזה)
3. הבלוק יקרא מן הROM בקצב של 100 מגה

אותות הכניסה :

1. CLK -שעון המערכת בתדר של 100 מגה
2. RESET-RST של המערכת

אותות היציאה:

2. DATA-המידע היוצא מROM ברוחב שמונה סיביות (סה"כ 1024 נתונים בקצב של 100 מגה)
- לאחר סיום הקידוד כמובן יש לסמלץ ולראות שהכול תקין!

שלב ה

התממשקות SIMPLE DUAL PORT RAM וביצוע פעולות קריאה כתיבה

1. השתמש בזיכרון מסוג SIMPLE DUAL PORT RAM בגודל של 256 תאים כל תא ברוחב של עשרה סיביות שיצרת בסעיף ג
2. קודד בלוק שישלוט על קריאת וכתיבת מידע מתוך הזיכרון (כעת הכוונה היא לא לקובץ סימולציה אלא לקוד שעובר סינתזה ז"א תצטרכו לקודד COUNTER שעובר סינתזה)
3. הבלוק יקרא ויכתוב לזיכרון בקצב של 100 מגה (ז"א שעון יקרא בלבד שעון יכתוב בלבד וכן חוזר חלילה)
4. לדוגמא באם נכתב לתא שכתובתו 5 את הערך 10 עליכם במחזור שעון הבא לקרוא מהתא שכתובתו 5 את הערך 10
5. דגשים:
 - שימו לב הCOUNTER יהיה איטי פי 2 מתדר השעון ז"א 50 מגה למה ???
 - שימו לב WEA יתנדנד בן 1 ל 0 בתדר השעון ז"א 100 מגה למה ??

אותות הכניסה :

- CLK -שעון המערכת בתדר של 100 מגה
- RESET-RST של המערכת

אותות היציאה:

- DATA-המידע היוצא מ SIMPLE DUAL PORT RAM ברוחב עשרה סיביות (סה"כ 256 נתונים בקצב של 100 מגה)
- 6. לאחר סיום הקידוד כמובן יש לסמלץ ולראות שהכול תקין!

בהצלחה

נִיר בלולו

החומרים לשימוש פנימי בלבד אין להשתמש או להעביר ללא רשות מפורשת מנִיר בלולו