Clock Crossing FIFO

1. צור FIFO (ה-FIFO מבוסס על-BRAM) ומשני שעונים בלתי תלויים בתצורה הבאה :



- 2. צור מונה 16 ביט ודוחף את הערך לFIFO (הערך נשלף מהצד של הקריאה) 2.
 - 3. צור סימולציה בתצורה הבאה:

שעון כתיבה: 200MHz שעון קריאה: 100MHz

									140 ns
0001 0002	0003 0004	0005 0006	0007 0008	0009 000a	000ъ (000с	000d 000e	000f 0010	0011 0012	0013
			0000				0001	0002	0003
	0001 \ 0002	0001 \ 0002 \ 0003 \ 0004	0001 0002 0003 0004 0005 0006						

תחילת העבודה לאחר יציאה מ-RST.

ניתן לראות כתיבה בקצב של 200MHz ומחזור שעון קריאה אחד לאחר ירידת ה-empty מתחילות קריאות בקצב של 100MHz.



כאשר הFIFO מלא נא הורידו את אות ה-wr_en (והמונה יעצר) בירידת ה-FULL החזירו את מניית המונה והכתיבה לFIFO מניית המונה והכתיבה לFIFO כמובן בזמן זה תמשיך פעולת הקריאה ברצף ללא הפרעה למה ??

4. צור סימולציה בתצורה הבאה:

שעון כתיבה: 100MHz שעון קריאה: 200MHz

Name	Value		50 ns	60 ns	70 ns	80 ns	90 ns	100 ns	110 ns	120 ns	130 ns	140 ns
¹la wr_clk	1											
™ rd_clk	1											
¹‰ rst	0											
> 🕶 din[15: 0]	1	0	1		3	4	5	6	7	8	9	10
¹a wr_en	1											
¹∰ full	0											
> = dout_1[15:0]	o				0			1	2	3	4	5 (6
¹a rd_en	0											
¹∰ empty	1											

שימו לב במקרה זה, מלכתחילה, אות ה-empty ירד ויעלה לסירוגין למה?

החומרים לשימוש פנימי בלבד אין להשתמש או להעביר ללא רשות מפורשת מניר בלולו