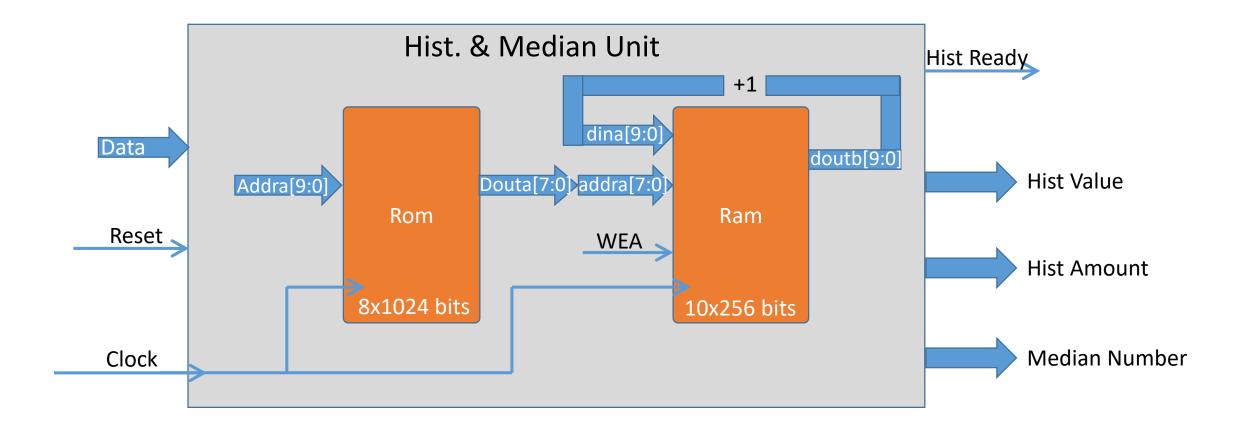
Block Diagram



זיכרון ROM

- BRAM_PORTA
 - addra[9:0]
 - clka
 - douta[7:0]

גודל: 1023 תאים

רוחב תא: 8 סיביות

טעינת זיכרון בקובץ נתונים

מנגנון קריאה מתוך הזיכרון

קצב קריאת נתונים: 50 MHz

אותות כניסה: RESET ,CLK

DATA :אות מוצא

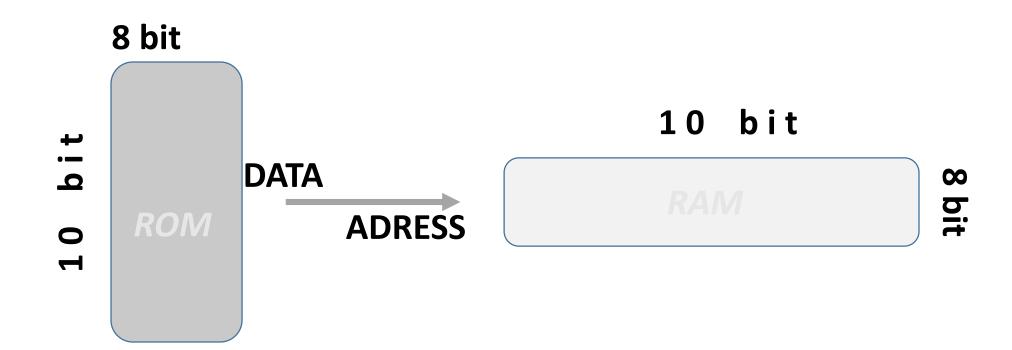
זיכרון SPDRAM

- BRAM_PORTA
 - addra[7:0]
 - clka
 - dina[9:0]
 - wea[0:0]
- BRAM_PORTB
 - addrb[7:0]
 - clkb
 - doutb[9:0]

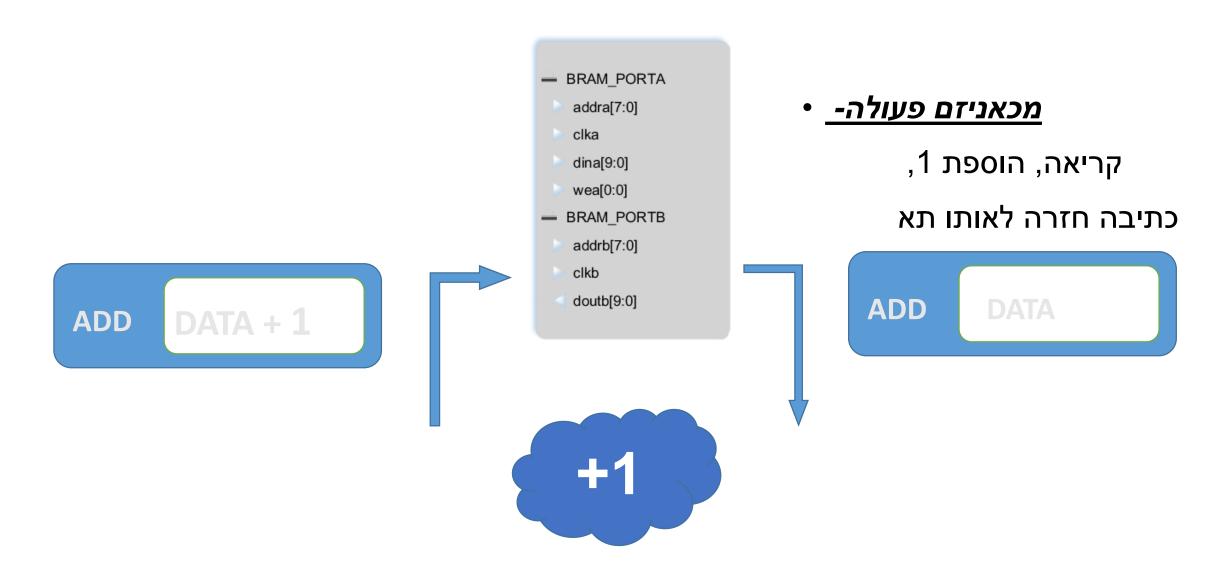
- סוג הזיכרון: SIMPLE DUAL PORT RAM
 - גודל: 256 תאים
 - רוחב תא: 10 סיביות
 - מנגנון קריאה וכתיבה אל הזכרון
 - קצב קריאה וכתיבה
- DATA-A, ADRESS-A, CLK-A, :אותות כניסה: ADRESS-B, CLK-B, DATA-B, WEA
 - DATA OUT B :אות מוצא

שיקולי תכך דיגיטלי

עקרון היצירתיות זיכרון העומד בביצועים ולא יקר

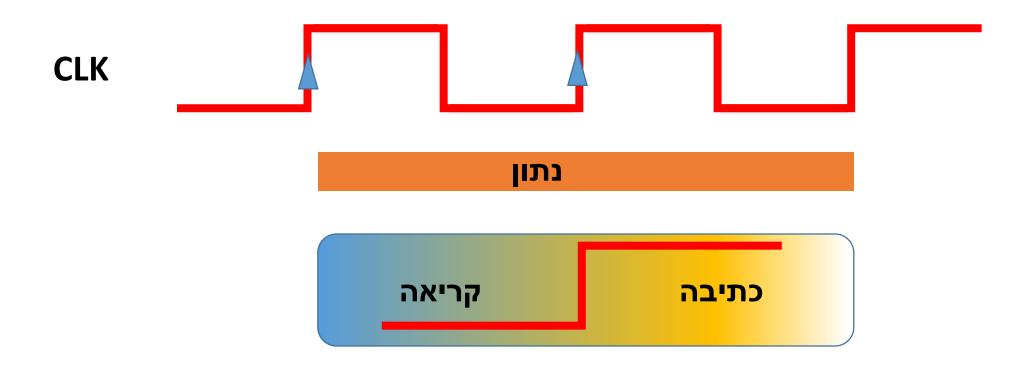


שיקולי תכך דיגיטלי



שיקולי תכן דיגיטלי

עקרון האיזון- סך כל הפעולות המתקיימות על נתון חייבות לא לחרוג מקצב העברת הנתונים (קריאה וכתיבה מתבצעות באותו זמן שבו כל נתון(כתובת) מועבר)



Summary

- Process total clocks = 2558
- Process total time = 25.58usec
- Rom Size 8x1024 bits
- Ram Size 10x256 bits

	Read	Write	Clocks
Collection and summing	V	V	2046
Show histogram	V		256
Erase Histogram		V	256

שיקולי תכך דיגיטלי

סך הפעולות המתבצעות

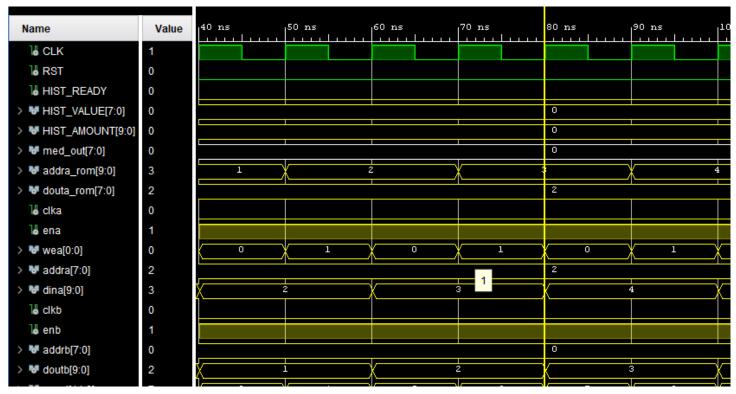
איפס הזיכרון - איפוס כל תא בזיכרון

איסוף נתונים – קריאה, הוספת 1, כתיבה

הצגת הסטוגרמה

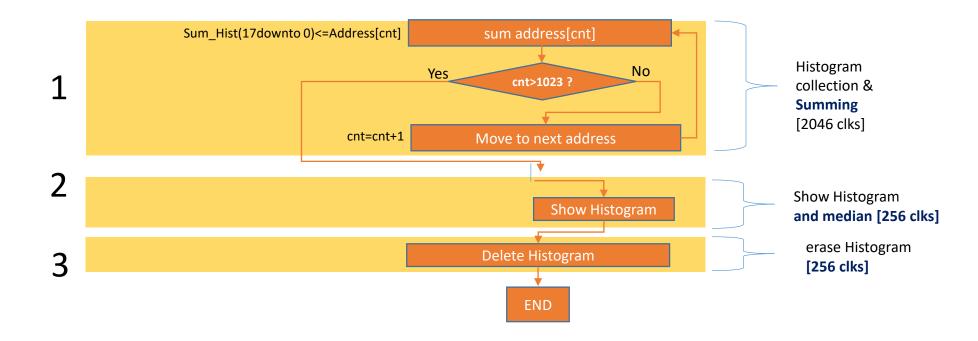
Process

- Concept external Data [weights] acts as a pointer to the address in Ram memory and apply +1 per each pointed address
- During data collection each data is been and read and immediately pushed into the Ram therefore working in clk/2



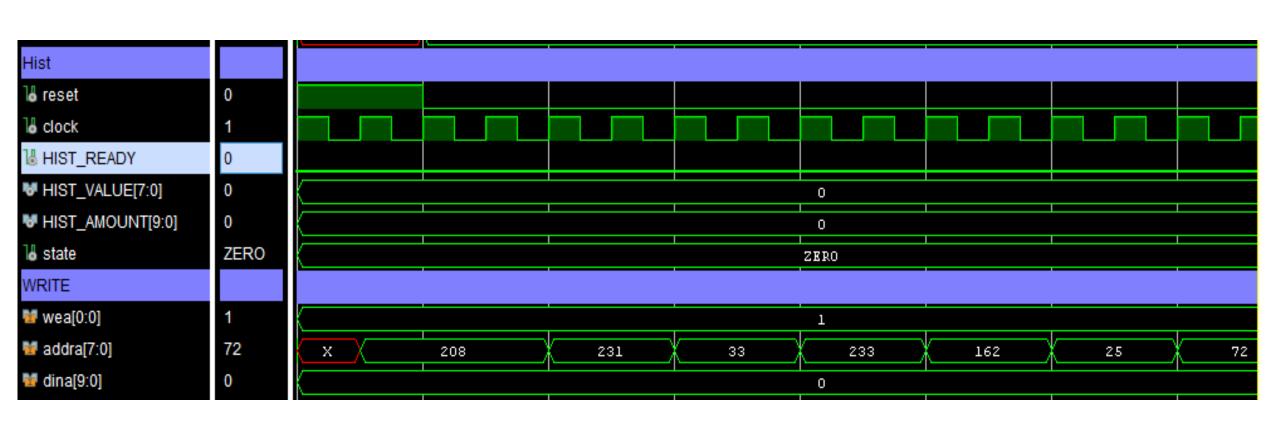
• During collection process, all data is being summed into a signal which can contain all values [18bits vector], after collection completed, an average is being applied, closest number to average is the median number.

Algo. Flow chart



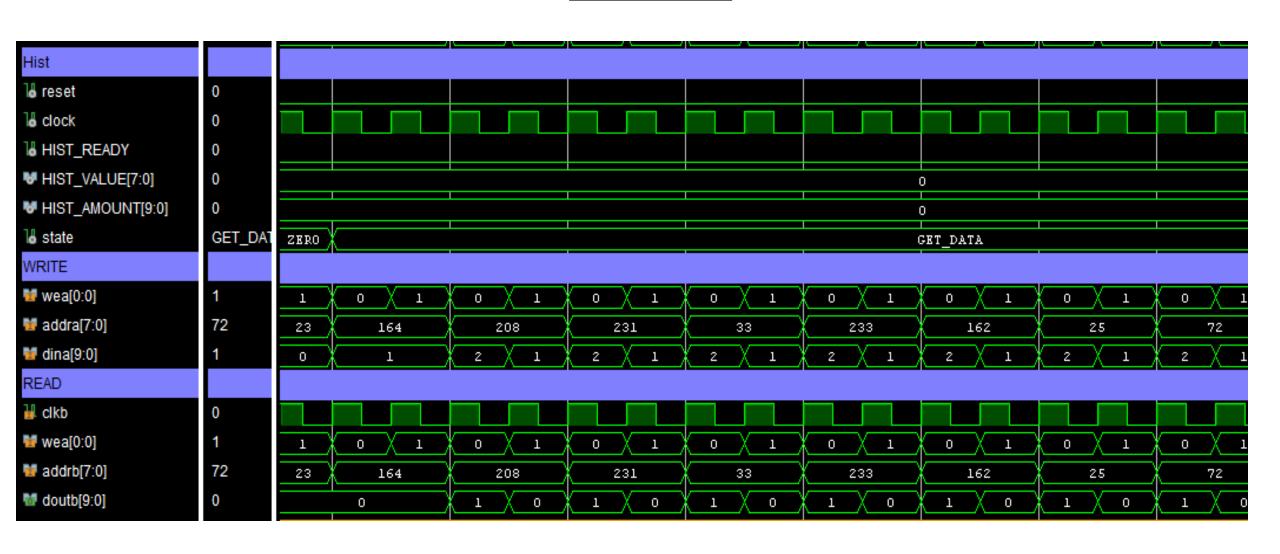
סימולציה

• <u>איפוס</u>



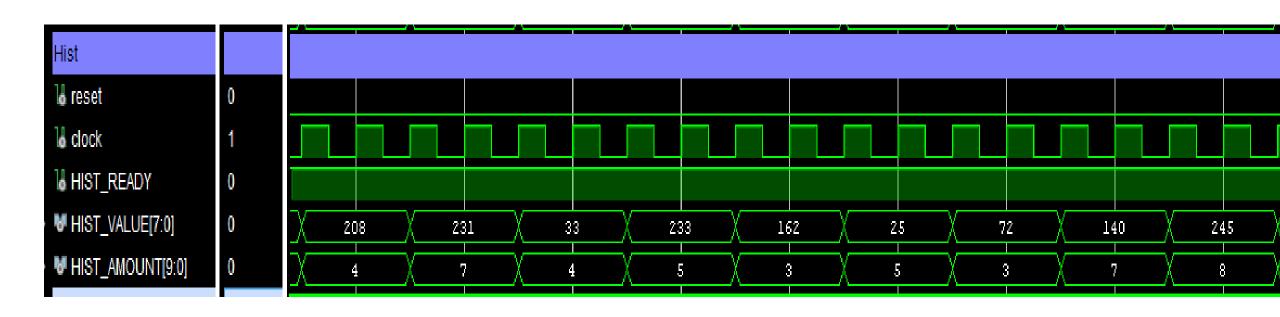
סימולציה

• <u>עיבוד נתונים</u>



סימולציה

• <u>הצגת הסטוגרמה</u>



החומרים לשימוש פנימי בלבד אין להשתמש או להעביר ללא רשות מפורשת מניר בלולו