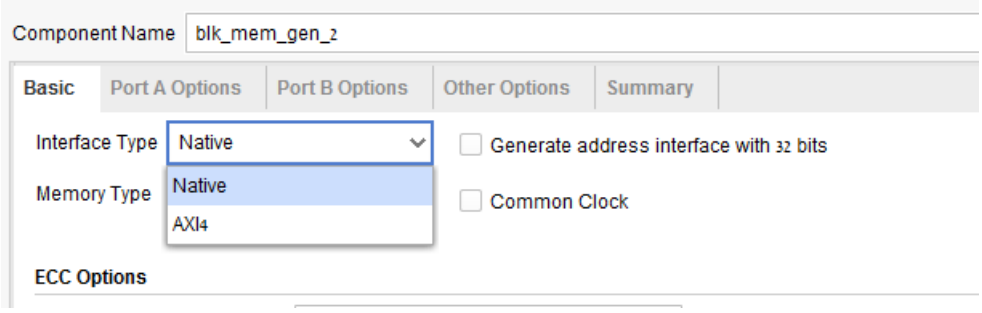
בס"ד

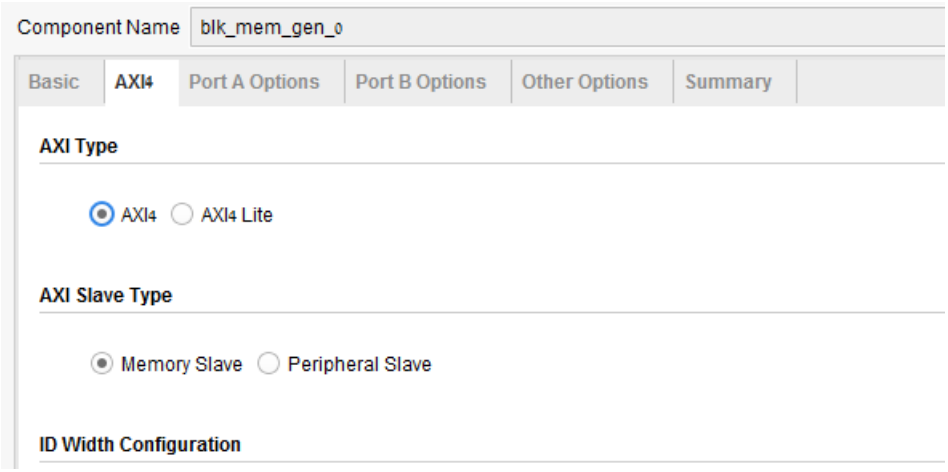
הכרות ותפעול עם ממשק AXI

שלב א יצירת CORE וביצוע סימולציה:

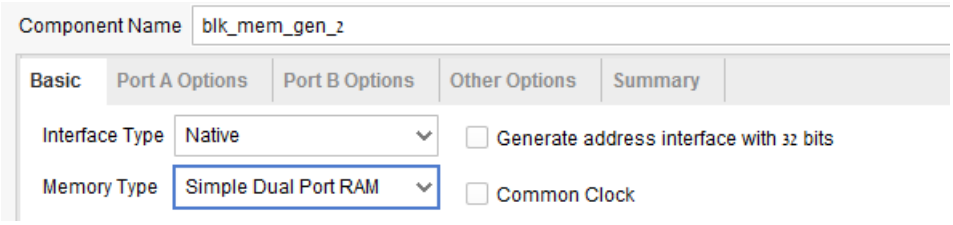
1. פתח פרויקט חדש
2. פתח את IP CATLOG
3. הגדר את זיכרון עם תצורת ממשק AXI לפי הפרמטרים הבאים:
4. בחר את הממשק לזיכרון כ- AXI



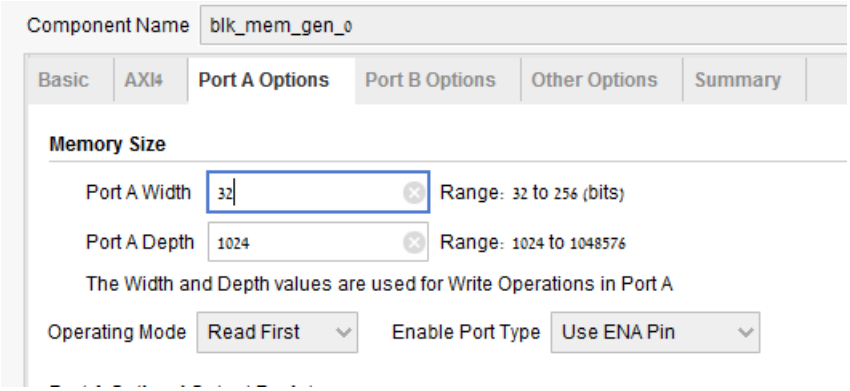
5. לטובת הסימולציה בחר את הממשק כ- AXI (שימו לב בתרגיל בפועל בשלב ב נעבוד AXI4LITE)



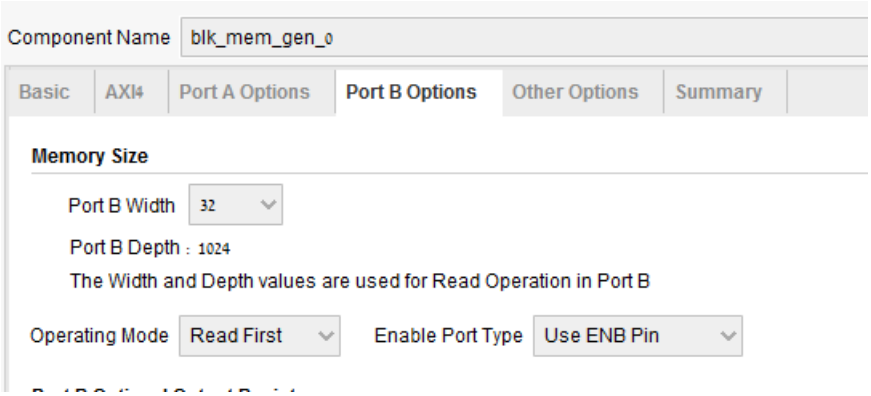
1. הגדר את הזיכרון כ-simple dual ram



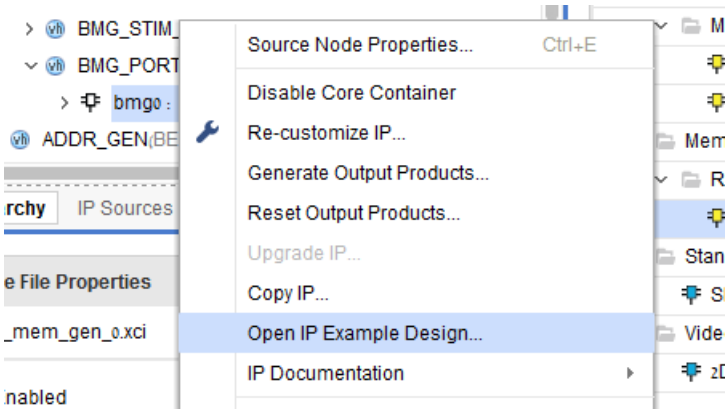
2. הגדר אתPORTA כרוחב 32 ביט ל1024 תאים



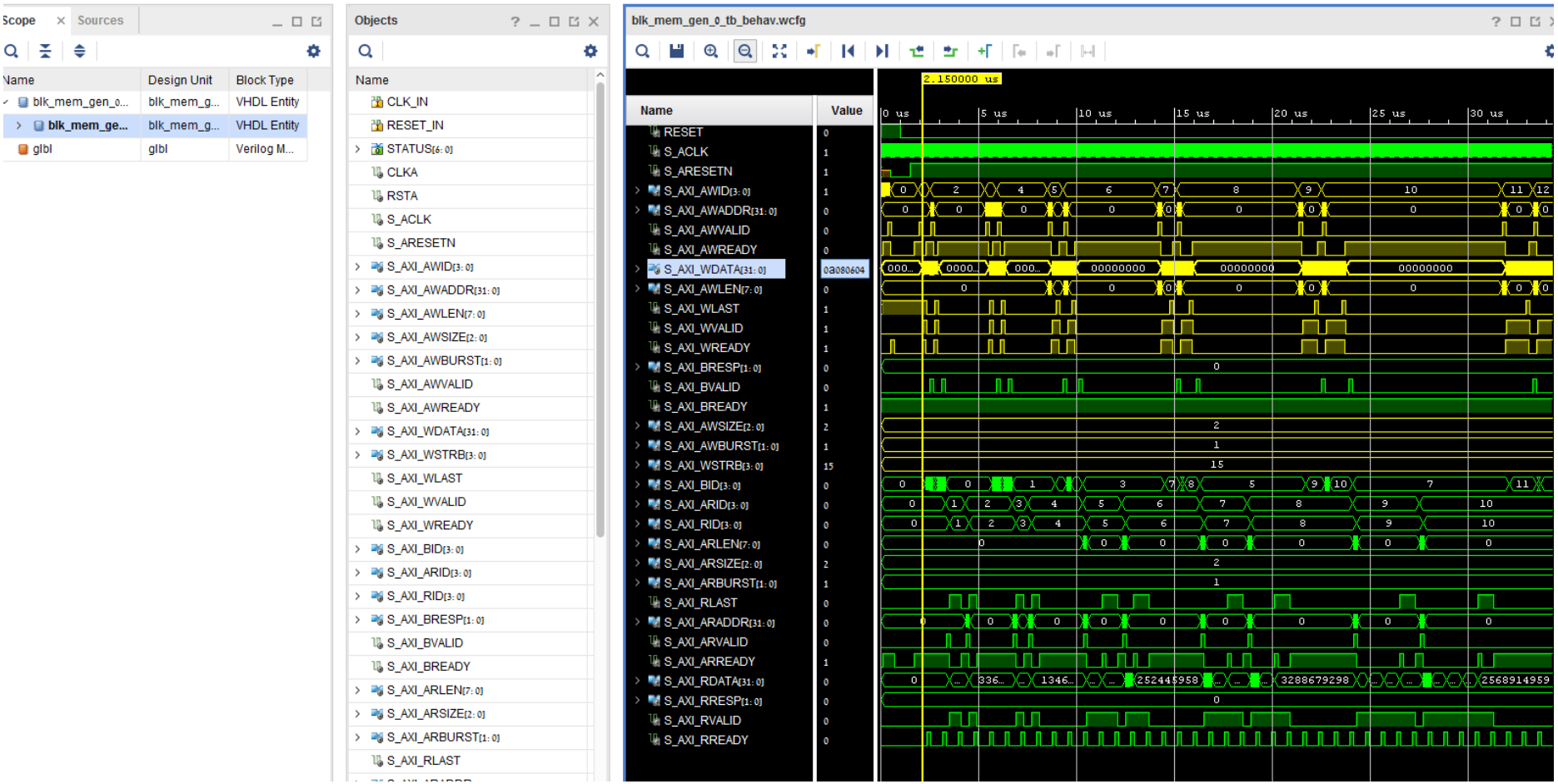
3. הגדר אתPORTB כרוחב 32 ביט ל1024 תאים



4. עמוד על CORE שיצרת והרץ את OPEN IP EXMAPLE(הגדל זמן ריצה בצורה ניכרת ל- 1MS)



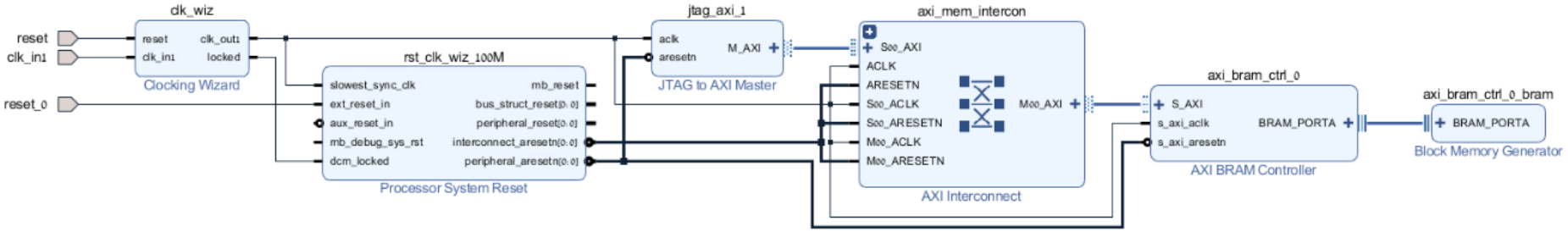
בחר צורות גלים שמתארות את ממשק ה AXIלפי הרשימה לעיל והרץ שוב


Scope
Sources
Name
Design Unit
Block Type
blk_mem_gen_0...
blk_mem_g...
VHDL Entity
blk_mem_ge...
blk_mem_g...
VHDL Entity
glbl
glbl
Verilog M...
Objects
Name
CLK_IN
RESET_IN
STATUS[6:0]
CLKA
RSTA
S_ACLK
S_ARESETN
S_AXI_AWID[3:0]
S_AXI_AWADDR[31:0]
S_AXI_AWLEN[7:0]
S_AXI_AWSIZE[2:0]
S_AXI_AWBURST[1:0]
S_AXI_AWVALID
S_AXI_AWREADY
S_AXI_WDATA[31:0]
S_AXI_WSTRB[3:0]
S_AXI_WLAST
S_AXI_WVALID
S_AXI_WREADY
S_AXI_BID[3:0]
S_AXI_ARID[3:0]
S_AXI_RID[3:0]
S_AXI_BRESP[1:0]
S_AXI_BVALID
S_AXI_BREADY
S_AXI_ARLEN[7:0]
S_AXI_ARSIZE[2:0]
S_AXI_ARBURST[1:0]
S_AXI_RLAST
blk_mem_gen_0_tb_behav.wcfg
2.150000 us
Name
Value
0 us
5 us
10 us
15 us
20 us
25 us
30 us
RESET
S_ACLK
S_ARESETN
S_AXI_AWID[3:0]
S_AXI_AWADDR[31:0]
S_AXI_AWVALID
S_AXI_AWREADY
S_AXI_WDATA[31:0]
03080604
S_AXI_AWLEN[7:0]
S_AXI_WLAST
S_AXI_WVALID
S_AXI_WREADY
S_AXI_BRESP[1:0]
S_AXI_BVALID
S_AXI_BREADY
S_AXI_AWSIZE[2:0]
S_AXI_AWBURST[1:0]
S_AXI_WSTRB[3:0]
S_AXI_BID[3:0]
S_AXI_ARID[3:0]
S_AXI_RID[3:0]
S_AXI_ARLEN[7:0]
S_AXI_ARSIZE[2:0]
S_AXI_ARBURST[1:0]
S_AXI_RLAST
S_AXI_ARADDR[31:0]
S_AXI_ARVALID
S_AXI_ARREADY
S_AXI_RDATA[31:0]
S_AXI_RRESP[1:0]
S_AXI_RVALID
S_AXI_RREADY
336...
1346...
252445958
3288679298
2568914959

בס"ד

שלב ב

1. בנה בעזרת ה-IP INETGARTOR את התכנון הבא

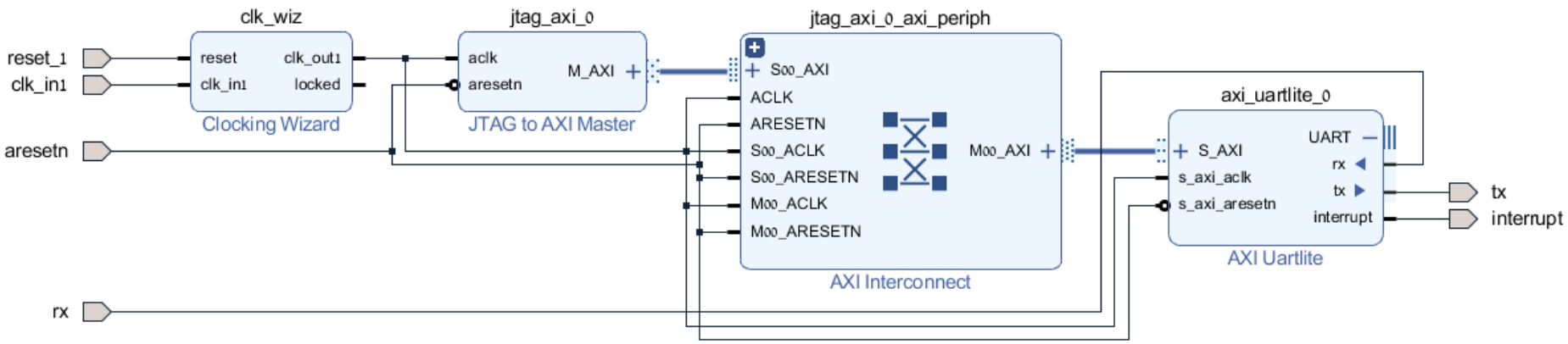


2. נא וודא שאין טעויות תכן בעזרת VALIDATE
3. נא הוסף את קובץ XDC בהתאם (bh)
4. ב chip scope נא להוסיף את הסיגנלים של ממשק AXI-4 LITE
5. הרץ את SCRIPT הבא (bh_demo)

בס"ד

שלב ג

1. בנה בעזרת ה-IP INETGARTOR את התכנון הבא

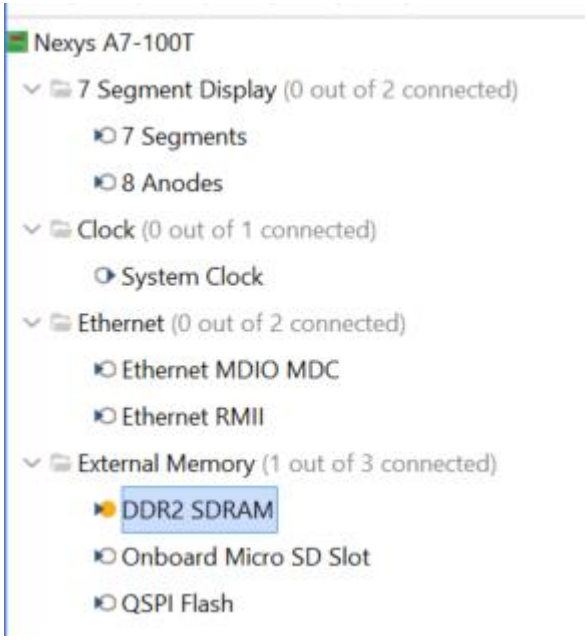


2. נא וודא שאין טעויות תכן בעזרת VALIDATE
3. נא הוסף את קובץ XDC בהתאם (bh_llb)
4. הרץ את SCRIPT הבא:(bh_demo_uart_transsmit)
5. נא בדוק בטרנימל שאכן מתקבל השידור ששלחת (ABCDE)

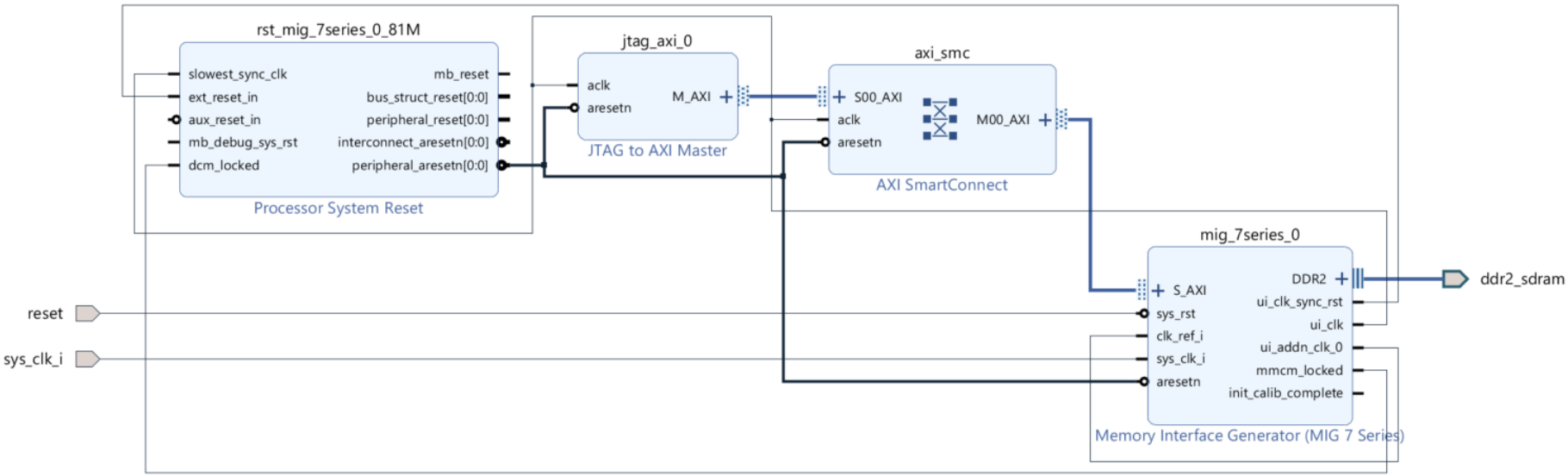
בס"ד

שלב ד

1. בנה בעזרת ה-IP INETGARTOR את התכנון הבא
2. נא הוסף את ממשק DDR2 בעזרת הTAB הבא



3.


rst_mig_7series_0_81M
slowest_sync_clk
ext_reset_in
aux_reset_in
mb_debug_sys_rst
dcm_locked
mb_reset
bus_struct_reset[0:0]
peripheral_reset[0:0]
interconnect_aresetn[0:0]
peripheral_aresetn[0:0]
Processor System Reset
jtag_axi_0
aclk
aresetn
M_AXI
JTAG to AXI Master
axi_smc
S00_AXI
aclk
aresetn
M00_AXI
AXI SmartConnect
mig_7series_0
S_AXI
sys_rst
clk_ref_i
sys_clk_i
aresetn
DDR2
ui_clk_sync_rst
ui_clk
ui_addn_clk_0
mmcm_locked
init_calib_complete
Memory Interface Generator (MIG 7 Series)
reset
sys_clk_i
ddr2_sdram

1. נא וודא שאין טעויות תכן בעזרת VALIDATE
2. נא בדוק למול הקובץ XDC בהתאם (bh_ddr_demo_warpper)
3. הרץ את SCRIPT הבא:(bh_demo_DDR2)
4. נא בדוק

חומרים לשימוש פנימי בלבד אין להעביר ללא רשות מניר בלולו