

# Rockchip DP 信号测试指南

文件标识: RK-KF-YF-C13

发布版本: V1.0.0

日期: 2024-05-31

文件密级: ☐绝密 ☐秘密 ☐内部资料 ☒公开

## 免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

## 商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自拥有者所有。

版权所有 © 2024 瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

Rockchip Electronics Co., Ltd.

地址: 福建省福州市铜盘路软件园A区18号

网址: [www.rock-chips.com](http://www.rock-chips.com)

客户服务电话: +86-4007-700-590

客户服务传真: +86-591-83951833

客户服务邮箱: [fae@rock-chips.com](mailto:fae@rock-chips.com)

前言

概述

本文提供为 RK3576 RK3588 DP PHY 信号测试提供寄存器配置指导。

产品版本

芯片名称	内核版本
RK3576/RK3588	Linux-5.10/Linux-6.1

读者对象

本文档（本指南）主要适用于以下工程师：

技术支持工程师

软件开发工程师

修订记录

版本号	作者	修改日期	修改说明
V1.0.0	张玉炳	2024/5/31	初始版本

# 目录

## Rockchip DP 信号测试指南

1. DP PHY 简介
2. DP 信号Tuning
  - 2.1 DP Amplitude Control
    - 2.1.1 DP TX driver main-tap level
    - 2.1.2 DP TX pmos current control
  - 2.2 DP Equalization
    - 2.2.1 DP TX De-emphasis
    - 2.2.2 DP TX Preshoot Level
  - 2.3 DP TX Slew Rate
    - 2.3.1 DP Faster Slew Rate Control
    - 2.3.2 DP Slower Slew Rate Control
  - 2.4 DP TX SSC Control
    - 2.4.1 PLL SSC modulation deviation
    - 2.4.2 PLL SSC modulation frequency
  - 2.5 DP TX AUX Amplitude Control
3. 代码参数配置调整

# 1. DP PHY 简介

RK3576 和 RK3588 DP PHY 为 DP 和 USB 共用的 PHY(USBDP PHY)，本文介绍 USBDP PHY 作为 DP 功能使用时的信号指标调整方法。

RK3576 和 RK3588 USBDP PHY 的基地址如下：

USBDP PHY	USBDP PHY 基地址
RK3588 USBDP PHY0	0xfed88000
RK3588 USBDP PHY1	0xfed98000
RK3576 USBDP PHY	0x2b018000

配置寄存器时，寄存器地址需要选择对应的 PHY 基地址加上寄存器偏移。

## 2. DP 信号Tuning

- 本文 IO 命令以 RK3588 PHY0 的 Lane0 为例，Tuning 其它 Lane 需要修改寄存器偏移；Tuing RK3588 PHY1 和 RK3756 PHY 需要修改基地址。
- PHY 的一个寄存器通常都是用于多个功能配置，如果需要多个 Tuning 项联合调整，寄存器的值需要先读出来，再根据新的 Tuning 的 bits 或操作后再写入，否则前面 Tuning 好的指标会被覆盖。

### 2.1 DP Amplitude Control

#### 2.1.1 DP TX driver main-tap level

调电压，建议优先调此寄存器

- 寄存器偏移

```
// bit5为使能位, default={0x0f}
lane0: 0x0810[5:0]
lane1: 0x1010[5:0]
lane2: 0x1810[5:0]
lane3: 0x2010[5:0]
```

- 调整及范围
- 以下io命令用于Lane0, 其它Lane请更改寄存器偏移，如lane1地址为0xfed89010 (0xfed88810 + 0x800)

幅值	命令 [ reg offset 0x0810, bit 5:0]
4'b1010 : 1200mv (max)	io -4 0xfed88810 0x2a
4'b1001:	io -4 0xfed88810 0x29
4'b1000:	io -4 0xfed888100x28
4'b0111:	io -4 0xfed88810 0x27
4'b0110 :	io -4 0xfed88810 0x26
4'b0101:	io -4 0xfed88810 0x25
4'b0100:	io -4 0xfed88810 0x24
4'b0011:	io -4 0xfed88810 0x23
4'b0010 :	io -4 0xfed88810 0x22
4'b0001:	io -4 0xfed88810 0x21
4'b0000: 400mv (min)	io -4 0xfed88810 0x20

## 2.1.2 DP TX pmos current control

调电流，建议在调压不满足时，再设置此寄存器

- 寄存器偏移

```
// 使能 bit[1:0], default={0x1, 0xe7}
lane0: 使能: 0x0818[1:0]; 调整: 0x081c[7:5]={3'b000 ~ 3'b111}
lane1: 使能: 0x1018[1:0]; 调整: 0x101c[7:5]
lane2: 使能: 0x1818[1:0]; 调整: 0x181c[7:5]
lane3: 使能: 0x2018[1:0]; 调整: 0x201c[7:5]
```

- 调整及范围

幅值	命令 [ reg offset 0x081c, bit 7:5]
3'b111:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0xe5
3'b110:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0xc5
3'b101:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0xa5
3'b100:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0x85
3'b011 :	io -4 0xfed88818 0x03 io -4 0xfed8881c 0x65
3'b010 :	io -4 0xfed88818 0x03 io -4 0xfed8881c 0x45
4'b001:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0x25
4'b000:	io -4 0xfed88818 0x03 io -4 0xfed8881c 0x05

## 2.2 DP Equalization

### 2.2.1 DP TX De-emphasis

- 寄存器偏移

```
// bit4 为使能位, default=0x0, 即 0dB
lane0: 0x0814[4:0]
lane1: 0x1014[4:0]
lane2: 0x1814[4:0]
lane3: 0x2014[4:0]
```

- 调整及范围

Level	命令 [ reg offset 0x0814, bit 4:0]
5'b10000: 0 dB	io -4 0xfed88814 0x10
5'b11011: -5 dB (Recommend to use over 5 Gbps speed)	io -4 0xfed88814 0x1b
5'b10101: -2.8 dB (Recommend to use over 10 Gbps speed)	io -4 0xfed88814 0x15
5'b11001: -6.9 dB (Not recommend to use)	io -4 0xfed88814 0x19

## 2.2.2 DP TX Preshoot Level

- 寄存器偏移

```
// bit6 为使能位, default=0x0
lane0: 0x0818[6:2]
lane1: 0x1018[6:2]
lane2: 0x1818[6:2]
lane3: 0x2018[6:2]
```

- 调整及范围

注意：该寄存器与TX pmos current control 复用

以下io命令用于Lane0, 其它Lane请更改寄存器偏移, 如lan1地址为0xfed89018 (0xfed88818 + 0x800)

Level	命令 [ reg offset 0x0818, bit 6:2]
5'b1000000: 0 dB (default, Recommend to use over 5 Gbps speed)	io -4 0xfed88818 0x40
5'b1011000: -1.6 dB (Recommend to use over 10 Gbps speed)	io -4 0xfed88818 0x58
5'b11001: -6.9 dB (Not recommend to use)	io -4 0xfed88818 0x64

## 2.3 DP TX Slew Rate

### 2.3.1 DP Faster Slew Rate Control

- 寄存器偏移

```
// default={0xe7, 0x60}
lane0: 使能: 0x081c[1:0]={2'b11}; 驱动强度: 0x0820[5:3]={3'b111 ~ 3'b000}
lane1: 使能: 0x101c[1:0]; 驱动强度: 0x1020[5:3]
lane2: 使能: 0x181c[1:0]; 驱动强度: 0x1820[5:3]
lane3: 使能: 0x201c[1:0]; 驱动强度: 0x2020[5:3]
```

- 调整及范围 (以下io命令用于Lane0, 其它Lane请更改寄存器偏移)

以下io命令用于Lane0, 其它Lane请更改寄存器偏移, 如lan1地址为0xfed8901c (0xfed8881c + 0x800)

幅值	命令 [ reg offset 0x081c, bit 7:5]
3'b111:	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x78
3'b110:	io -4 0xfed8881c 0xe7 io -4 0xfed888200x70
3'b101:	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x68
3'b100:	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x60
3'b011 :	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x58
3'b010 :	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x50
4'b001:	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x48
4'b000:	io -4 0xfed8881c 0xe7 io -4 0xfed88820 0x40

### 2.3.2 DP Slower Slew Rate Control

- 寄存器偏移

```
// default={0xe7, 0x60}
lane0: 使能: 0x081c[1:0]={2'b10}; 驱动强度: 0x0820[5:3]={3'b111 ~ 3'b000}
lane1: 使能: 0x101c[1:0]; 驱动强度: 0x1020[5:3]
lane2: 使能: 0x181c[1:0]; 驱动强度: 0x1820[5:3]
lane3: 使能: 0x201c[1:0]; 驱动强度: 0x2020[5:3]
```

- 调整及范围 (以下io命令用于Lane0, 其它Lane请更改寄存器偏移)

**注意:** 该寄存器与TX pmos current control 复用

以下io命令用于Lane0, 其它Lane请更改寄存器偏移,如lan1地址为0xfed8901c (0xfed8881c + 0x800)



幅值	命令 [ reg offset 0x081c, bit 7:5]
3'b111:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x78
3'b110:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x70
3'b101:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x68
3'b100:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x60
3'b011 :	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x58
3'b010 :	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x50
4'b001:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x48
4'b000:	io -4 0xfed8881c 0xe6 io -4 0xfed88820 0x40

## 2.4 DP TX SSC Control

### 2.4.1 PLL SSC modulation deviation

- 寄存器偏移

```
// default=0x19
RBR: 调整: 0x03F0[5:0]
HBR: 调整: 0x03F4[5:0]
HBR2: 调整: 0x03F8[5:0]
HBR3: 调整: 0x03FC[5:0]
```

- 调整及范围

Level	命令 [ reg offset 0x03F0, bit5:0]
6'b000000:	io -4 0xfed883f0 0x00
6'b000001:	io -4 0xfed883f0 0x01
...	...
4'b111110:	io -4 0xfed883f0 0x3e
4'b111111:	io -4 0xfed883f0 0x3f

## 2.4.2 PLL SSC modulation frequency

- 寄存器偏移

```
// default=0x0f
RBR: 调整: 0x0404[4:0]
HBR: 调整: 0x0408[4:0]
HBR2: 调整: 0x040c[4:0]
HBR3: 调整: 0x0410[6:2] (default=0x3c)
```

- 调整及范围

Level	命令 [ reg offset 0x0400, bit4:0]
5'b00000:	io -4 0xfed88400 0x00 (HBR3: io -4 0xfed88410 0x00)
5'b00001:	io -4 0xfed88400 0x01 (HBR3: io -4 0xfed88410 0x04)
...	...
5'b11110:	io -4 0xfed88400 0x1e (HBR3: io -4 0xfed88410 0x38)
5'b11111:	io -4 0xfed88400 0x1f (HBR3: io -4 0xfed88410 0x3c)

HBR3需要左移两位

## 2.5 DP TX AUX Amplitude Control

- 寄存器偏移

```
// default=0x36
aux swing: 0x0024[6:3]
```

- 调整及范围

Level	命令 [ reg offset 0x0024, bit6:3] (bit[2:0] = 0x6(default))
4'b0000: 0 mVpp	io -4 0xfed88024 0x06
4'b0001:	io -4 0xfed88024 0x0e
4'b0010:	io -4 0xfed88024 0x16
4'b0011:	io -4 0xfed88024 0x1e
4'b0100:	io -4 0xfed88024 0x26
4'b0101:	io -4 0xfed88024 0x2e
4'b0110:	io -4 0xfed88024 0x36
4'b0111: 390 mVpp	io -4 0xfed88024 0x3e
4'b1000:	io -4 0xfed88024 0x46
4'b1001:	io -4 0xfed88024 0x4e
4'b1010:	io -4 0xfed88024 0x56
4'b1011:	io -4 0xfed88024 0x5e
4'b1100:	io -4 0xfed88024 0x66
4'b1101:	io -4 0xfed88024 0x6e
4'b1110:	io -4 0xfed88024 0x76
4'b1111: 880 mVpp	io -4 0xfed88024 0x7e

### 3. 代码参数配置调整

Kernel 驱动代码位置:

```
drivers/phy/rockchip/phy-rockchip-usbdp.c
```

U-boot 驱动代码位置:

```
drivers/phy/phy-rockchip-usbdp.c
```

swing 和 pre-emphasis 的调整寄存器定义如下:

```
struct dp_tx_drv_ctrl {
    u32 trsv_reg0204;
    u32 trsv_reg0205;
    u32 trsv_reg0206;
    u32 trsv_reg0207;
};
```

不同的 lane 对应的配置寄存器偏移如下:

	trsv_reg0204	trsv_reg0205	trsv_reg0206	trsv_reg0206
lane0	0x0810	0x0814	0x0818	0x081C
lane1	0x1010	0x1014	0x1018	0x101C
lane2	0x1810	0x1814	0x1818	0x181C
lane3	0x2010	0x2014	0x2018	0x201C

DP 的 link rate 有 4 个等级，分别是 RBR, HBR, HBR2, HBR3, 针对这 4 个等级，定义了如下的几个 swing 和 pre-emphasis 的配置数组：

DP标准口输出时：

	RK3576 配置	RK3588 配置
RBR	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec	rk3588_dp_tx_drv_ctrl_rbr_hbr
HBR	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec	rk3588_dp_tx_drv_ctrl_rbr_hbr
HBR2	rk3588_dp_tx_drv_ctrl_hbr2	rk3588_dp_tx_drv_ctrl_hbr2
HBR3	rk3588_dp_tx_drv_ctrl_hbr3	rk3588_dp_tx_drv_ctrl_hbr3

Type-C 接口输出时：

	RK3576 配置	RK3588 配置
RBR	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec
HBR	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec	rk3588_dp_tx_drv_ctrl_rbr_hbr_typec
HBR2	rk3588_dp_tx_drv_ctrl_hbr2	rk3588_dp_tx_drv_ctrl_hbr2
HBR3	rk3588_dp_tx_drv_ctrl_hbr3	rk3588_dp_tx_drv_ctrl_hbr3

上述每个数组大小均为4x4, 用于保存不同等级 swing 和 pre-emphasis 组合的寄存器配置参数。

SSC 代码配置位置如下：

```
static const struct reg_sequence rk3588_udphy_24m_refclk_cfg[] = {
    . . . . .
    {0x03f0, 0x0a}, {0x03f4, 0x07},
    {0x03f8, 0x07}, {0x03fc, 0x0c},
    {0x0404, 0x12}, {0x0408, 0x1a},
    {0x040c, 0x1a}, {0x0410, 0x3f},
    . . . . .
};
```

AUX 幅值代码配置位置如下：

```
static const struct reg_sequence rk3588_udphy_init_sequence[] = {  
    .....  
    {0x0024, 0x6e},  
};
```